面向强辐照环境的CMOS图像传感器

从损伤模型到多层级协同加固

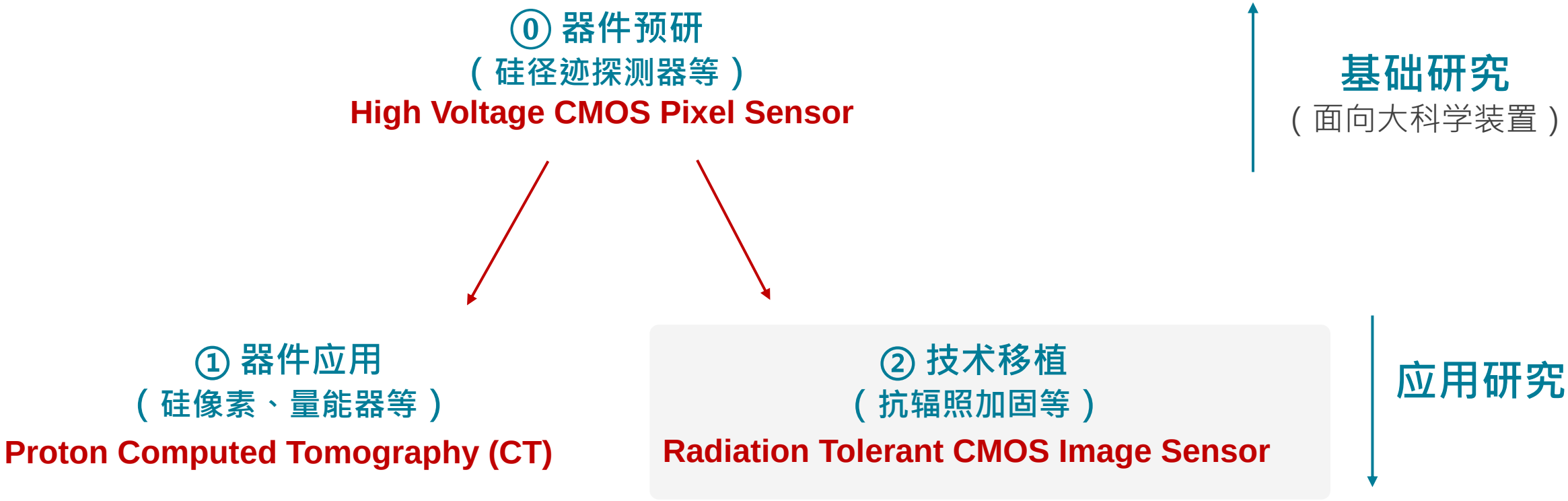
朱宏博（浙江大学）

浙江大学、华中师范大学、中国科学技术大学、中国原子能科学研究院、杭州宇称电子

2026年11月20日，中国科学技术大学

研究背景

2013年回国入职高能物理研究所，从事ATLAS硅径迹探测器升级和CEPC硅像素探测器预研。
2021年入职浙大后，继续从事核探测与核电子学相关研究工作，拓展应用研究。



应用背景

福岛核事故

- 2011年3月11日，日本福岛县附近海域发生9.0级地震并引发特大海啸，导致重大核泄漏事故，福岛第一核电站1至3号机组堆芯熔毁，熔化核燃料与周边物质形成极强辐射性的核燃料碎片。在高剂量条件下，送入的机器人很快“阵亡”，搭载的**CCD失效**无法抓回图像。



2017年：研究人员把照相机附在15米长的杆子上面，深入到2号反应堆机组中进行探查。



2026年3月17日：福岛第一核电站3号机组反应堆压力容器底部存在孔洞的影像，由超小型无人机的摄像头拍摄。

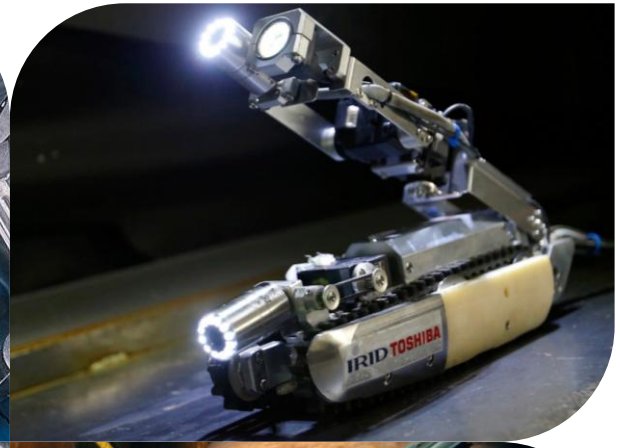
强辐照环境下的成像应用

- 抗辐照图像传感器可用于核设施监控、聚变堆维修/监控、救援机器人探路以及深空探测，能在核工业极端辐射环境和深空长期辐照条件下，为设施安全运维与无人装备探路提供关键视觉感知保障的核心价值。
- 相对于CCD，**CMOS图像传感器**集成度更高，也更容易实现抗辐照加固设计（+工艺可用性）。

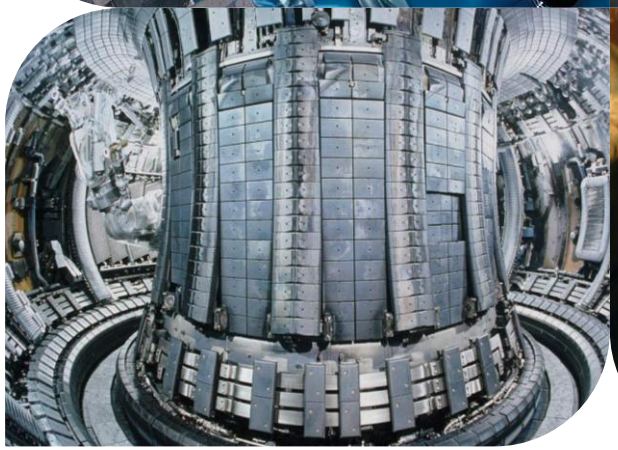
核设施监控



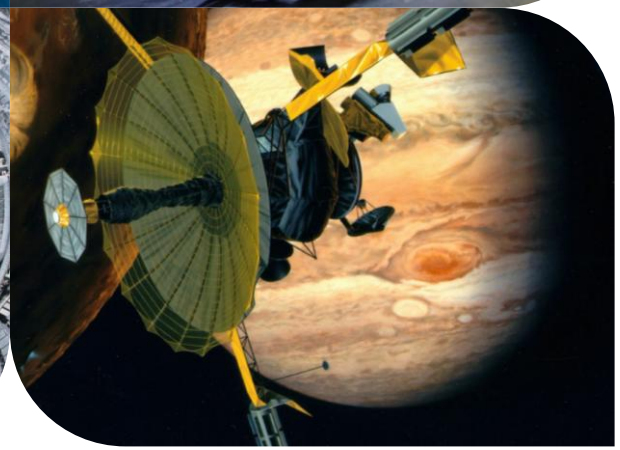
救援机器人探路



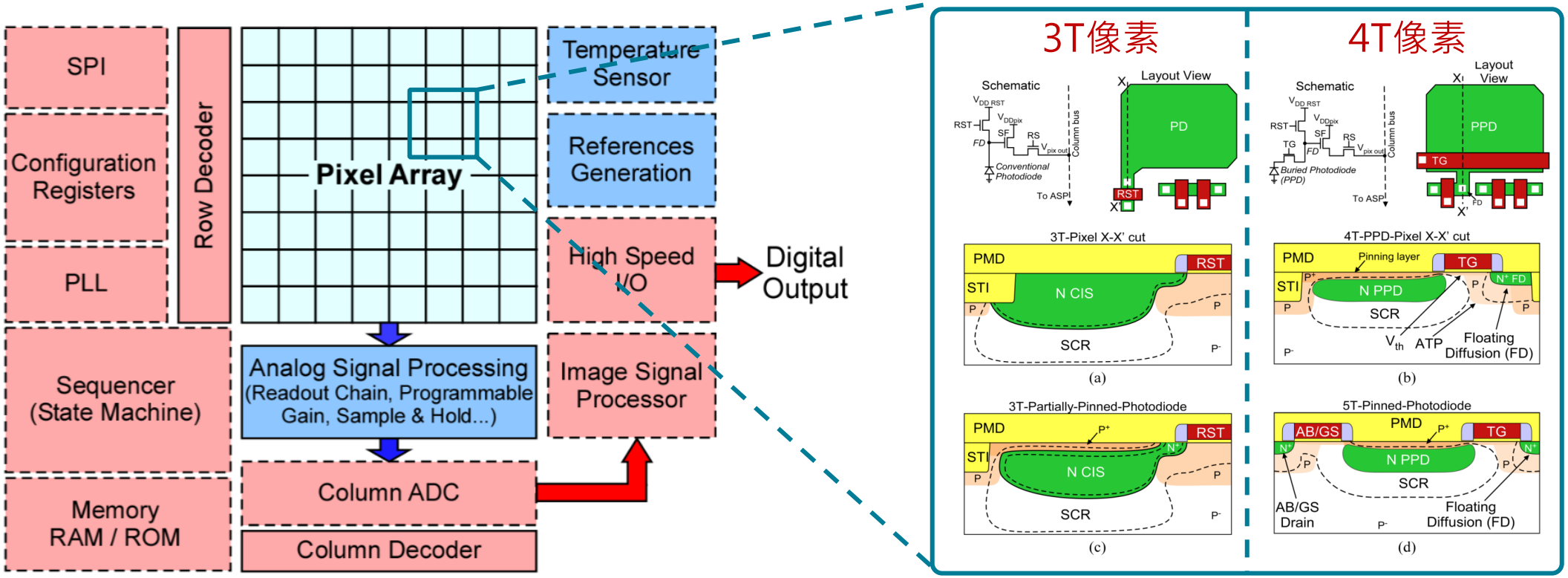
聚变堆维修/监控



深空探测



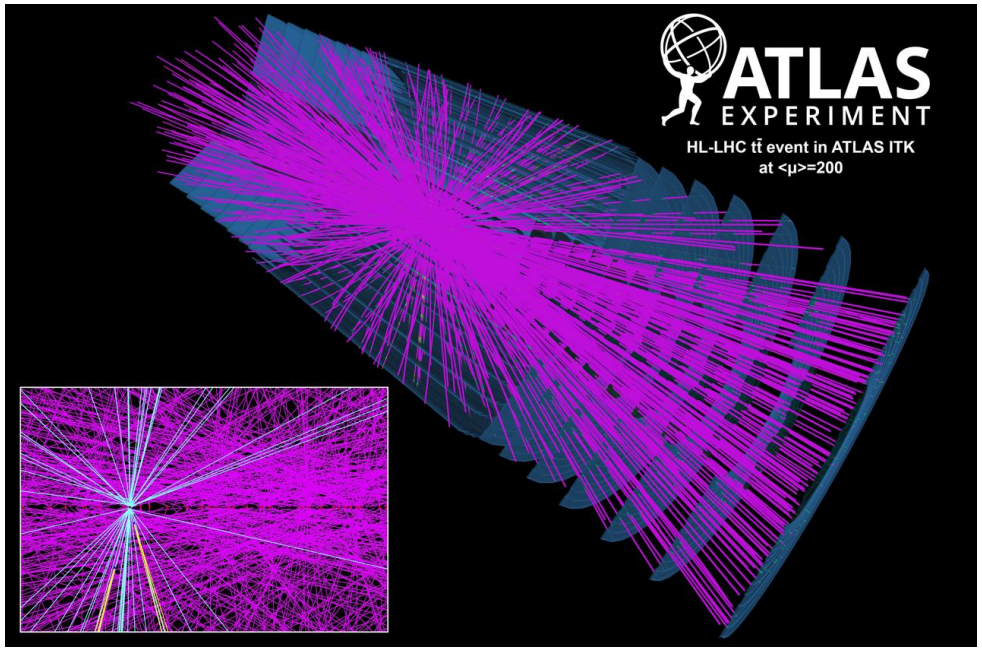
CMOS图像传感器基本架构



早期研究表明，**4T像素结构（主流）**中的钉扎层（抑制暗电流）在经受辐照后容易被耗尽，丧失隔离能力；浮置扩散区（FD）也极易因电离辐照而失效。**3T像素结构简单（传统）**，便于调整结构实现抗辐照加固，作为后续重点研究对象（缺点：无法实现相关双采样、全局快门等功能）。

辐照损伤

- **硅探测器辐照损伤**是指硅探测器（+电子学）在受到高能粒子（如质子、中子、电子、光子等）辐照后，其物理结构和性能发生退化或改变的现象。损伤会影响探测器的灵敏度、分辨率、暗电流、噪声等关键性能指标，从而降低其在高能物理实验、医学成像、工业检测等领域的应用效果。

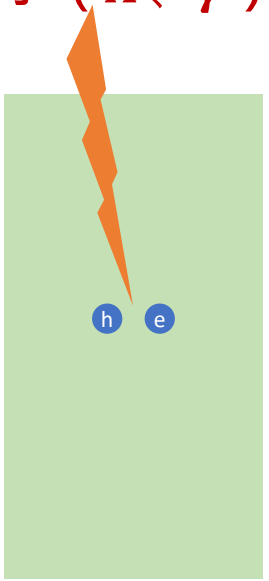


对撞机实验中，半导体探测器要具备极高探测性能（位置分辨、时间分辨等），更要具备抗强辐照能力，应对严苛的束流环境。

粒子与物质相互作用

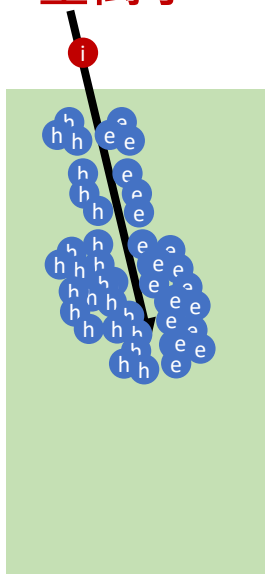
- 高能粒子与硅/二氧化硅（现代半导体工艺涉及的主要材料）发生相互作用

光子（X、γ）



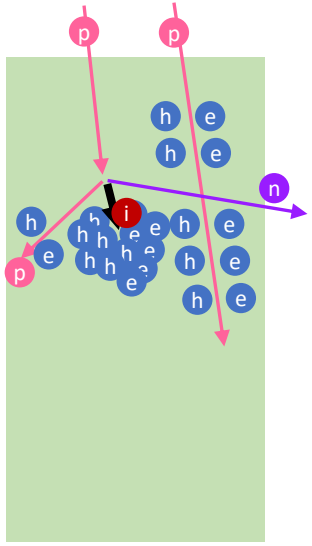
稀疏的电子-空穴对

重离子

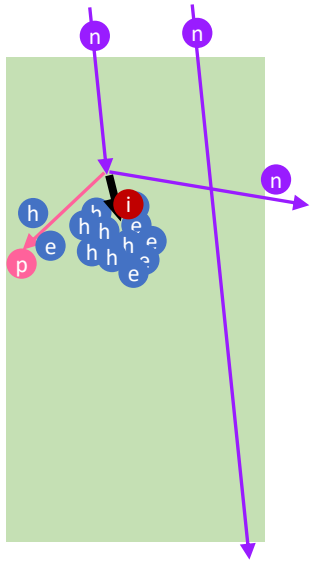


高密度的电子-空穴对

质子

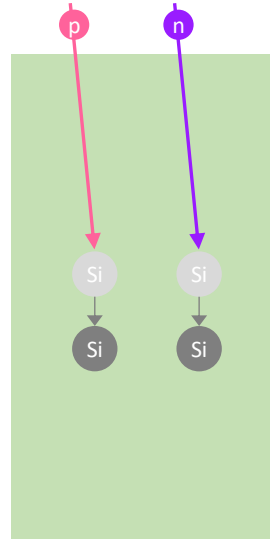


中子



相对稀疏的电子-空穴对（质子）或不发生直接电离（中子）；可能产生高密度电子-空穴对（核反应产生次级重离子）

强子



晶格错位

辐照损伤简要分类

重点关注

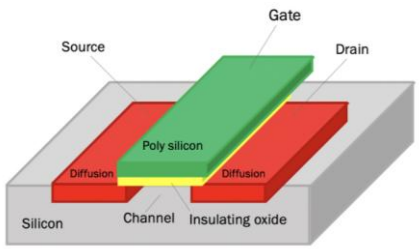
- **电离能损（Ionization Damage）**
  - 电离总剂量（TID）：高能光子或带电粒子入射半导体器件，电离产生电子空穴对，产生辐照损伤。主要体现为隔离二氧化硅层中电荷累积、产生俘获态（如MOS结构栅氧化物、隔离氧化物），影响为阈值电压漂移、漏电流增加、载流子迁移率降低等。
  - 单粒子效应（SEE）：集成电路受到高能粒子入射后逻辑器件发生状态翻转、存储数据改变或发生永久性损伤等现象，分为非破坏性效应（如单粒子翻转等）和破坏性效应（如单粒子闩锁等）。

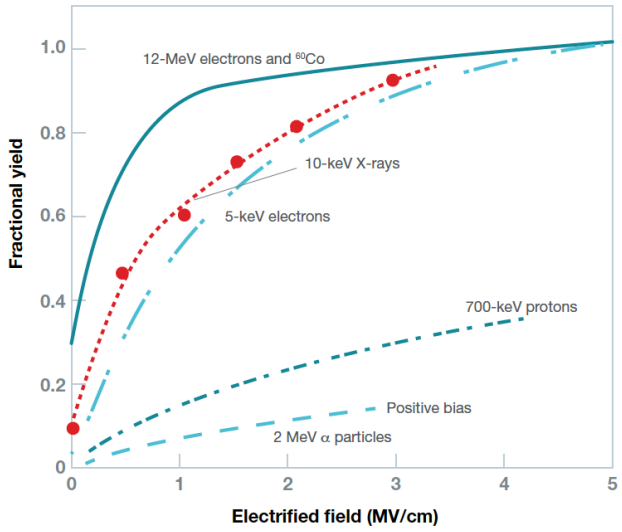
- **非电离能损（Nonionization Energy Loss）**
  - 高能粒子击中器件，发生弹性碰撞，破坏晶格结构，形成缺陷俘获载流子。主要影响为信号幅度降低、暗电流/暗噪声增加等。也称位移损伤（Displacement Damage）或体损伤（Bulk Damage）

晶体管总剂量效应

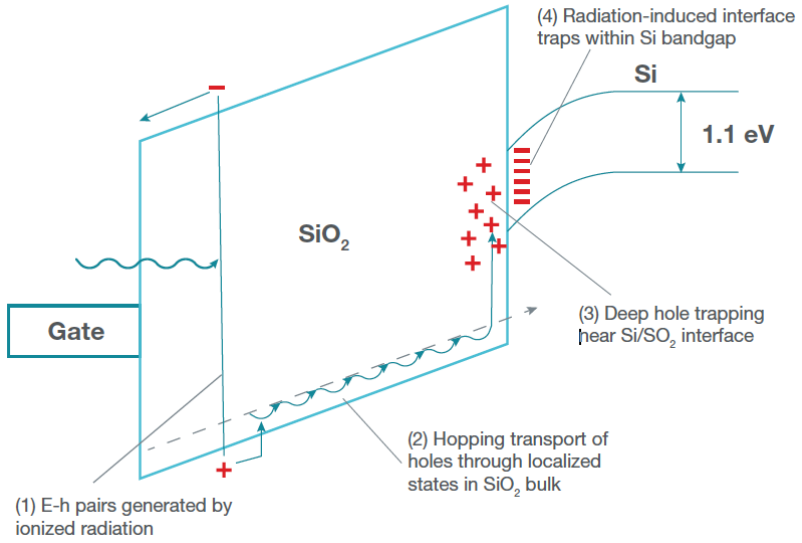
- 晶体管经受电离辐照后，正电荷在Si-SiO_2界面累积（Oxide Charge Traps）以及界面缺陷态（Interface States）俘获载流子，MOS器件出现**阈值电压漂移**、**漏电流增加**等变化。
- 正电荷累积（产额）与逃逸系数（$f(E_{ox})$）、初始电荷对产额（g_0单位剂量、体积产生的电子-空穴对密度，材料相关），总剂量（D）和二氧化硅层厚度（t_{ox}）有关。

正电荷产额：$N_h = f(E_{ox})g_0Dt_{ox}$



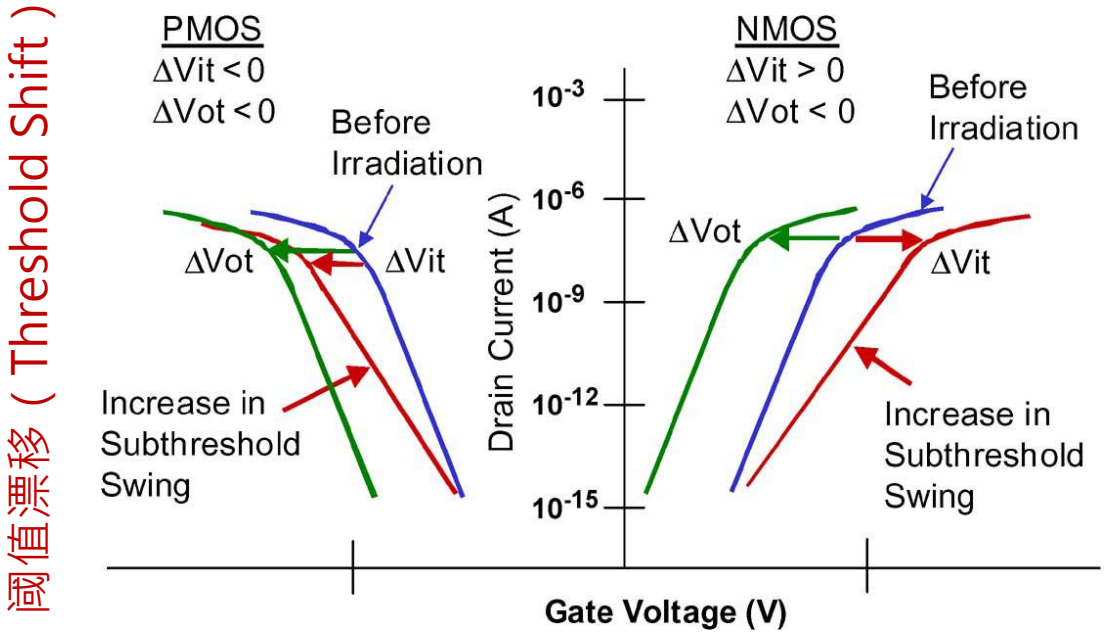


正电荷累积及界面缺陷态

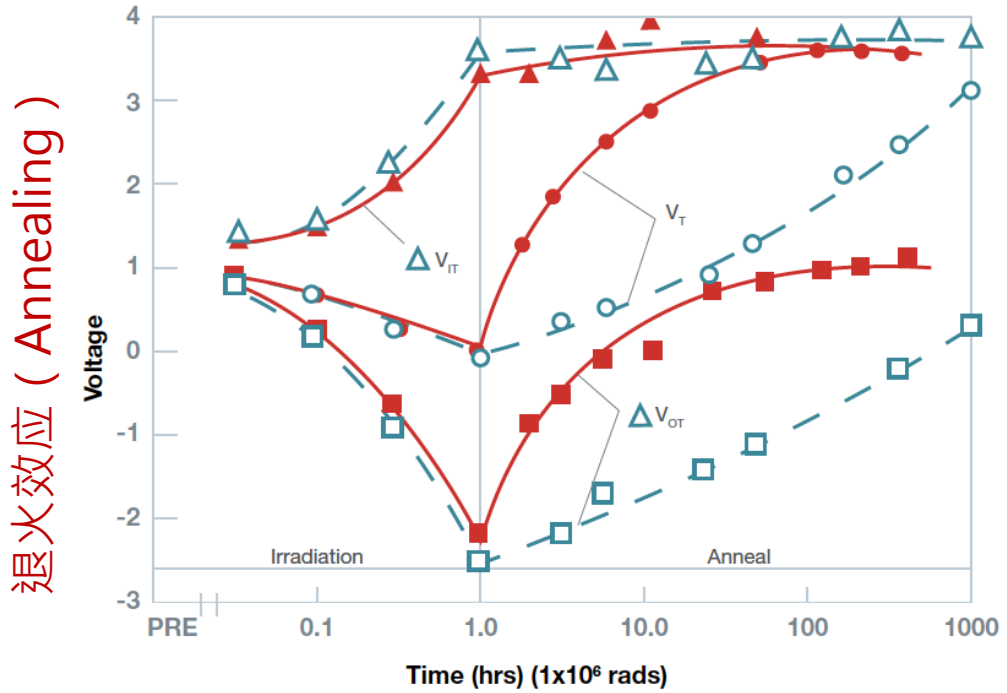


晶体管阈值电压漂移

- 正电荷累积（Oxide Charge Traps）以及界面缺陷态（Interface States）会使得晶体管出现阈值电压漂移、漏电流增加等变化，性能出现劣化甚至失效。



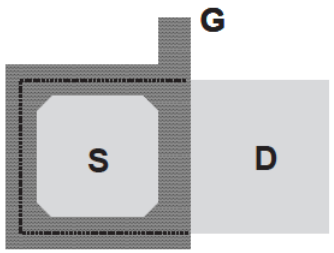
注意：正电荷累积与界面缺陷态对NMOS和PMOS阈值漂移的不同影响。



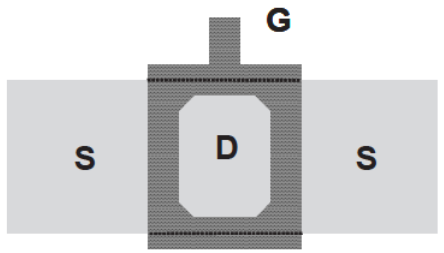
注意：退火效应对正电荷累积与界面缺陷态的不同影响。

晶体管抗辐照加固设计

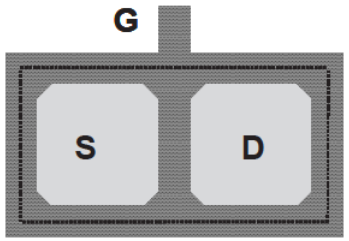
- 调整晶体管结构，切断源-漏之间的漏电通道，采用**环栅结构**等特殊结构提升晶体管耐辐照性能。借鉴对撞机实验抗辐照电子学设计，深亚微米CMOS工艺经过合理设计后，抗总剂量能力可提高至**O(100 Mrad)**。



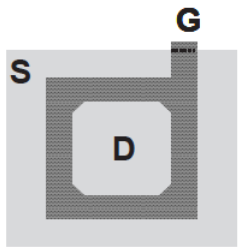
Ringed Source



Ringed Interdigitated

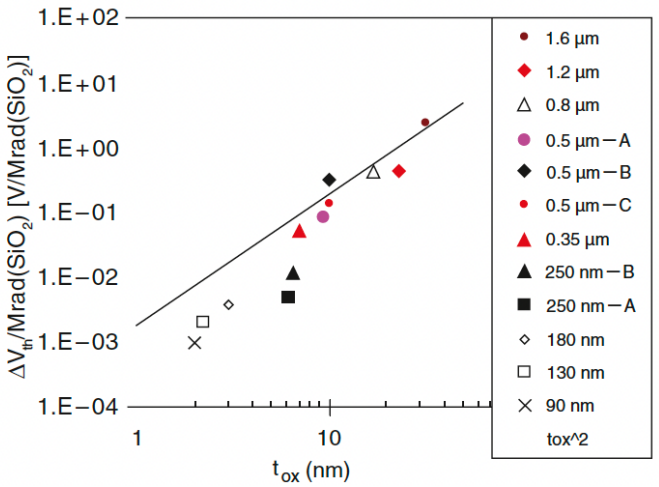


Butterfly



Enclosed Layout Transistor (ELT)

- **不利之处：**相比标准结构晶体管，为实现相同W/L环栅结构需要占用更多面积；晶体管开关速度下降；
- 标准单元库→**定制抗辐照单元库（设计、验证）**



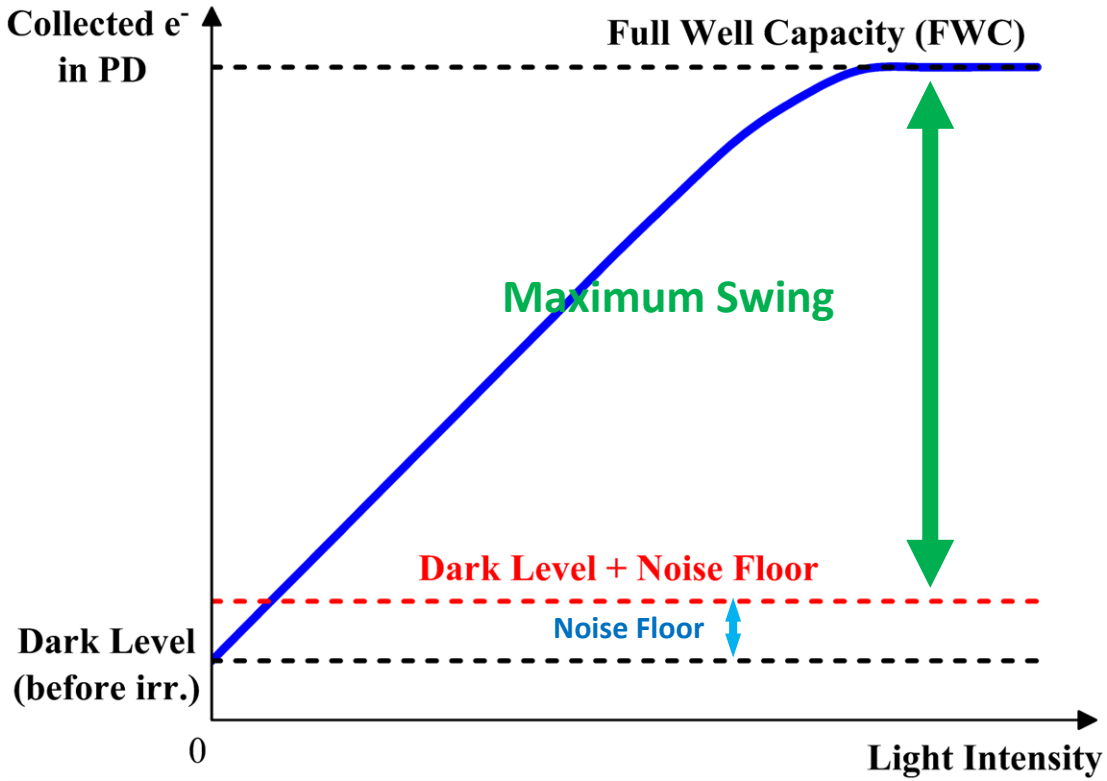
阈值漂移随栅氧厚度减小而减小，利好小节点尺寸工艺。

ARTIS设计及性能测试

***A* Radiation Tolerant CMOS Image Sensor**

光电极设计考量：暗电流

- 暗电流水平直接影响像素性能（动态范围、信噪比等），需要优化光电极设计，抑制电离辐照后暗电流的快速上升。



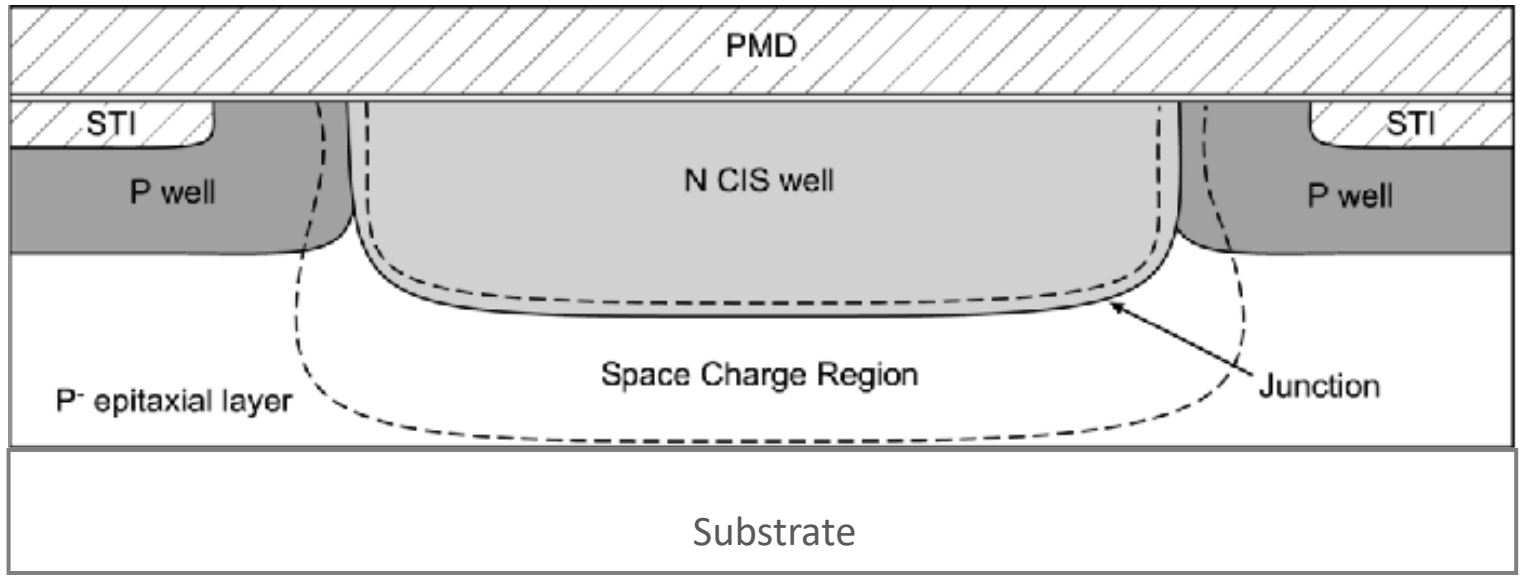
$$DR = 20\log\left(\frac{\text{Maximum Signal}}{\text{Noise Floor}}\right)$$

$$SNR = 20\log\left(\frac{\text{Maximum Swing}}{\sqrt{\sigma^2_{\text{readout}} + \sigma^2_{\text{DarkCurrent}}}}\right)$$

强辐照后，光电极暗电流水平上升，动态范围和信噪比下降。

光电极暗电流来源

- 光电极的暗电流简单分为**表面暗电流**和**体暗电流**，前者主要源自耗尽区接触二氧化硅层（金属前介质层、浅槽隔离、栅氧层等），后者包括耗尽区内缺陷、外延层/衬底扩散等；
- CMOS图像传感器暗电流贡献主要来自表面暗电流，而用于带电粒子探测的传感器暗电流主要来自提电流。两者暗电流来源差异（结合信号特征）共同决定光电极的设计优化。



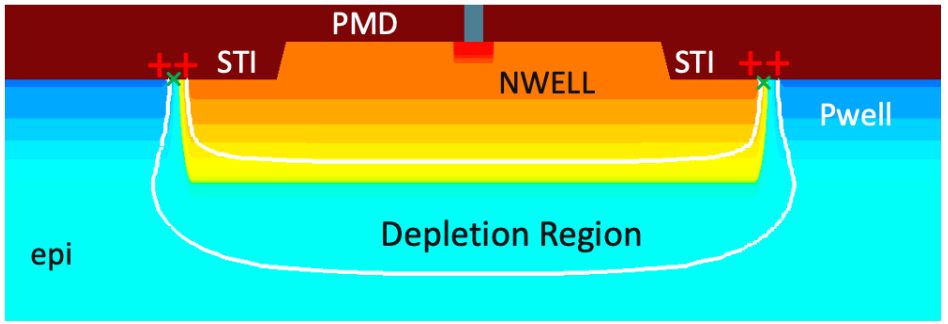
总剂量效应

- 光电极暗电流存在多种来源，其中最主要的是表面暗电流，可以用SRH机制解释。可以采用经验公式加以描述：

$$I_{Dark} \approx K \times N_{it} \times A_{dep} \times \exp(E^{\alpha}) \times T^3 \cdot \exp\left(\frac{-E_g}{kT}\right)$$

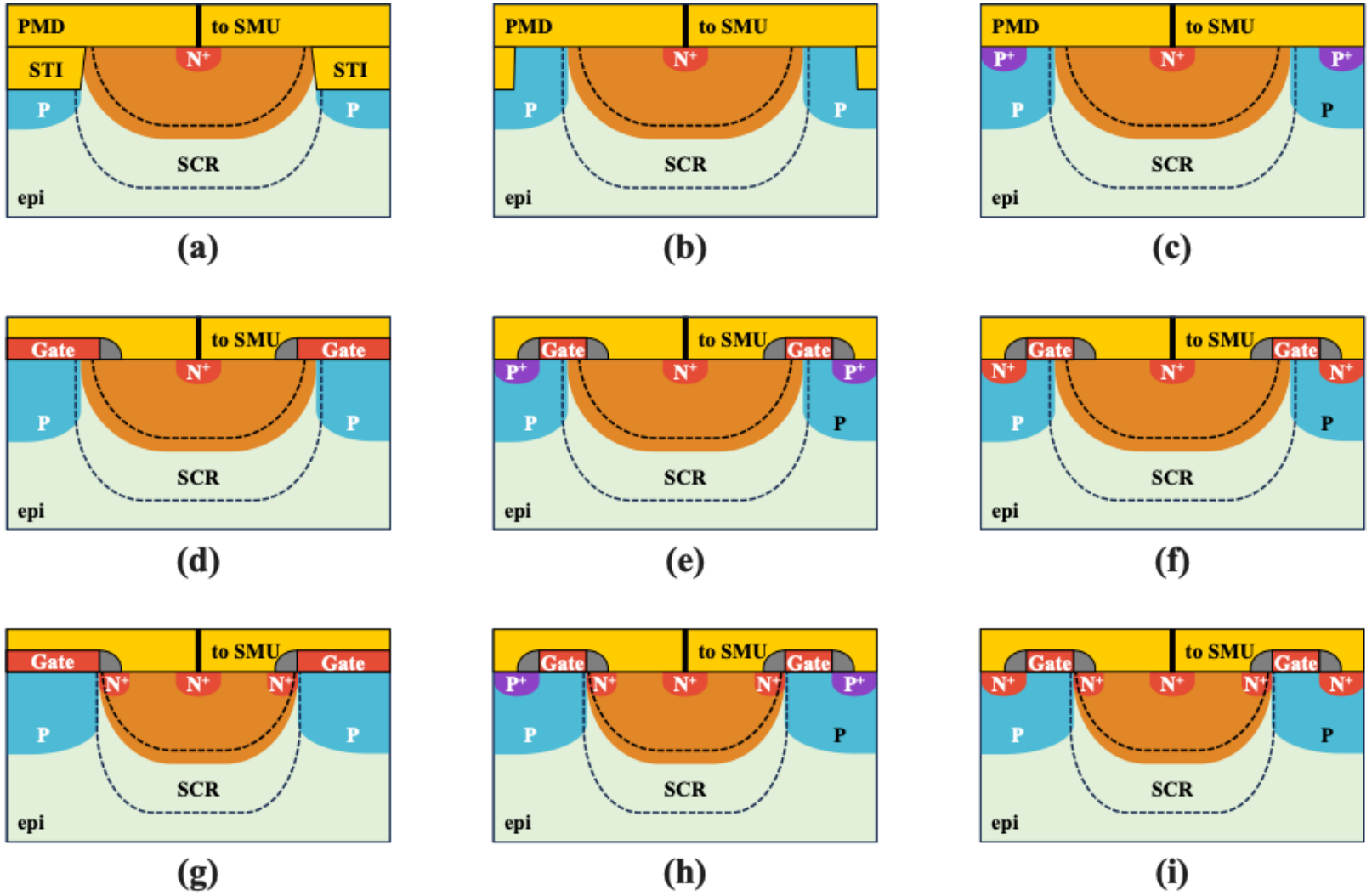
常数　界面态密度　耗尽区接触面积　电场强度　温度依赖

- **总剂量效应**：电离辐照后（参考晶体管），引入的正电荷累积导致耗尽区扩张，界面缺陷态增加，导致暗电流上升。当耗尽区接触浅沟槽隔离时，暗电流急剧上升，光电极失效。



STI: 浅沟槽隔离
PMD: 前金属介质
+: 正电荷累积（Not）
×: 界面缺陷态（Nit）

光电极加固设计



STI缩进、P+隔离

（低剂量条件下有效）

栅氧层交叠、栅压调控

（交叠方式、尺寸优化）

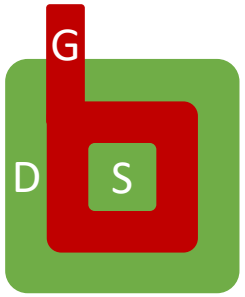
栅氧层交叠、栅压调控

（交叠方式、**自准直**）

晶体管加固设计

- 主要采用环栅结构、P+保护环等抑制**漏电**和**阈值漂移**提升晶体管抗辐照性能。参考对撞机实验抗辐照电子学设计，深亚微米CMOS工艺结合电路优化设计后可以实现O (100 Mrad) 甚至更高的抗辐照水平。

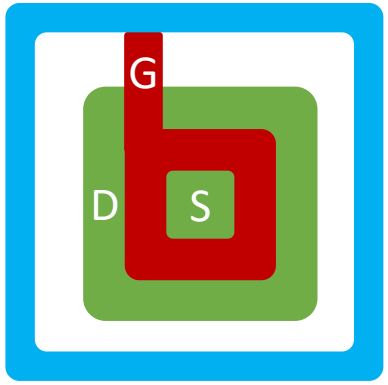
环形栅结构（Enclosed Layout Transistor, ELT）可以有效切断源（S）-漏（D）之间的漏电路径，抑制阈值漂移。



IEEE TNS, VOL. 49, NO. 4, AUGUST 2002

代价：相同有效W/L结构占用更多面积，速度降低、功耗增加。

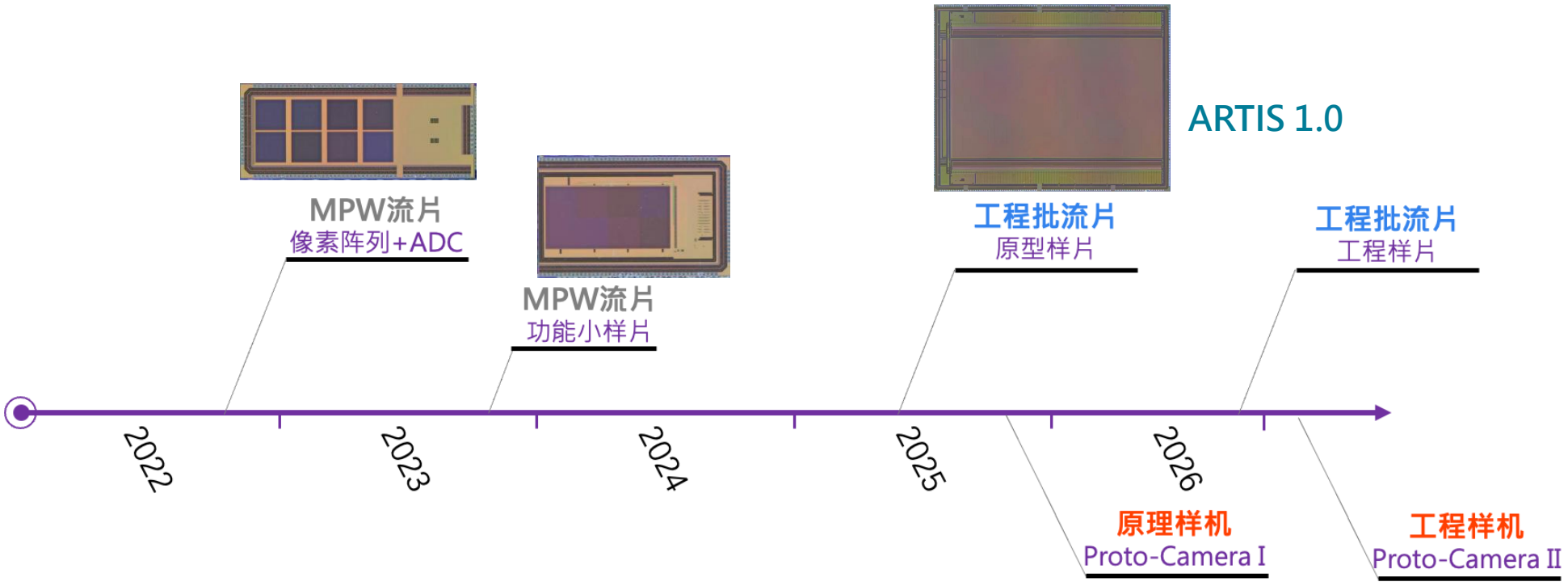
增加**P+保护环（P+ Guard Ring）**，切断相邻晶体管N+之间的漏电路径，提高晶体管的抗辐照性能，还可提升抗闩锁能力。



P+ Guard Ring

- 部分电路对面积或W/L有限制，也可改用蝶形等结构

样片研制



版本时间：2024.9

设计、测试团队：浙江大学、华中师范大学、中国科学技术大学、中国原子能科学研究院、宇称电子等

ARTIS 1.0 设计

P. Li et al., “Design and characterization of a radiation-hardened CMOS image sensor prototype”, NIM A 1093 (2027) 171949

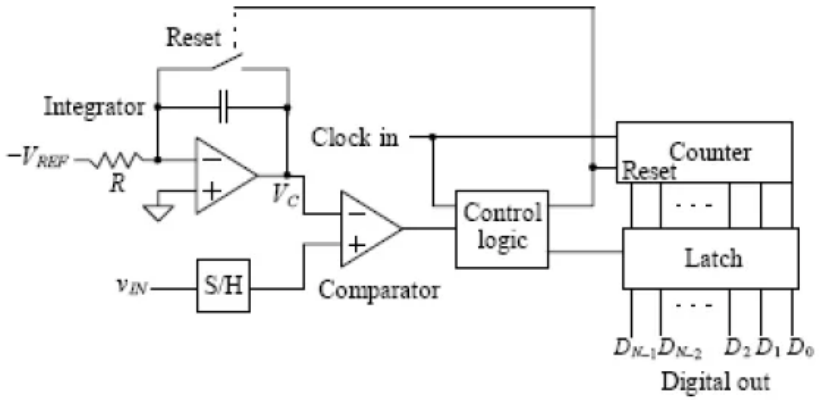


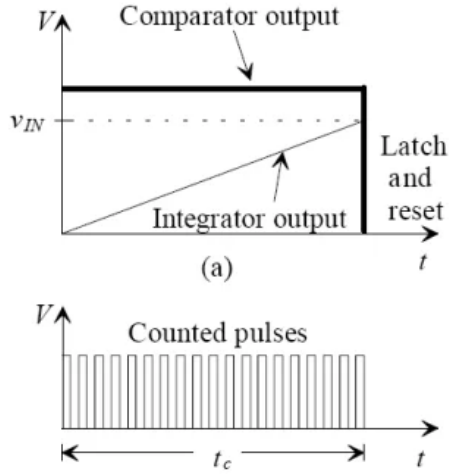
Technology	180 nm CIS
Pixel Size	10 × 10 μm^2
Number of Pixels	1280 × 720
Chip Dimensions	14.7 × 11.6 mm^2
Read Out Mode	Row-wise
Exposure Time	Tunable
Frame Rate	> 60 FPS
ADC Resolution	≥ 10 bits
Data Rate	≥ 1 Gbps
Radiation Tolerance	100 Mrad(SiO_2) 10^{12} n_{eq}/cm^2

10-bit并行输出（50 MHz）或串型输出（500 MHz）

单斜模数转换器

- CMOS图像传感器普遍采用列并行（Column-Parallel）读出架构，**单斜模数转换器（Single-Slope ADC）**结构简单，平衡功耗、面积与性能，能为抗辐照加固预留设计空间。





10-bit SS-ADC

主要抗辐照加固措施：

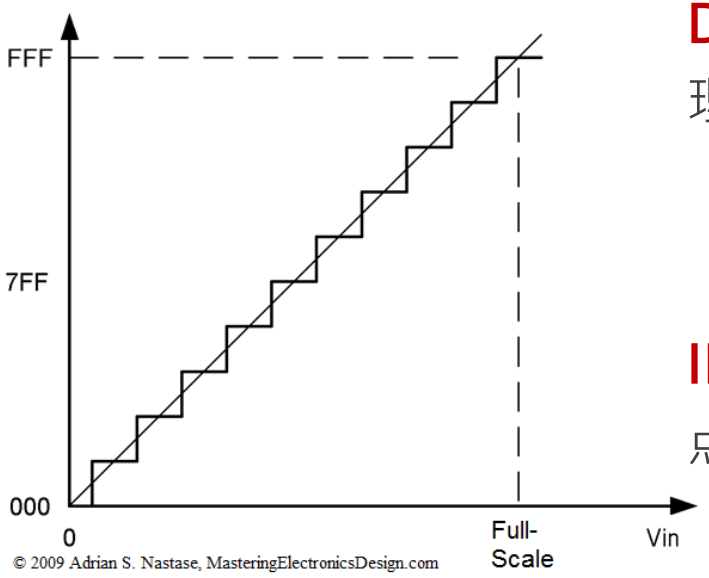
环形栅（ELT）、P+保护环

基本工作原理：

- 产生斜坡：**全局**斜坡发生器（Ramp Generator）产生一个电压随时间线性变化的参考信号 V_{RAMP}；
- 比较启动：每列比较器（Comparator）同时开始工作，像素输出模拟电压 V_{PIX} 与 V_{RAMP} 进行比较；
- 计数与锁存：当 V_{RAMP} 电压值升到 V_{PIX} 时，该列的比较器输出翻转，触发计数器（Counter）停止。计数器记录的数值（代表时间）正比于像素的模拟电压值，完成模拟到数字的转换并锁存（Latch）。

ADC辐照测试

- 考虑CMOS图像传感器应用特点，重点测试ADC的DNL/INL等静态参数

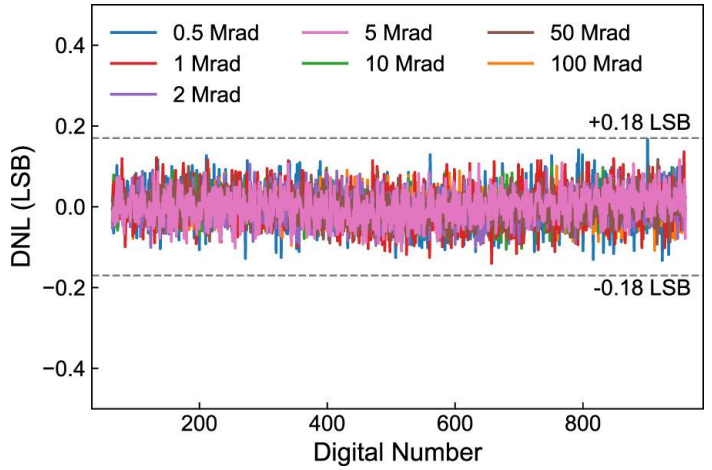


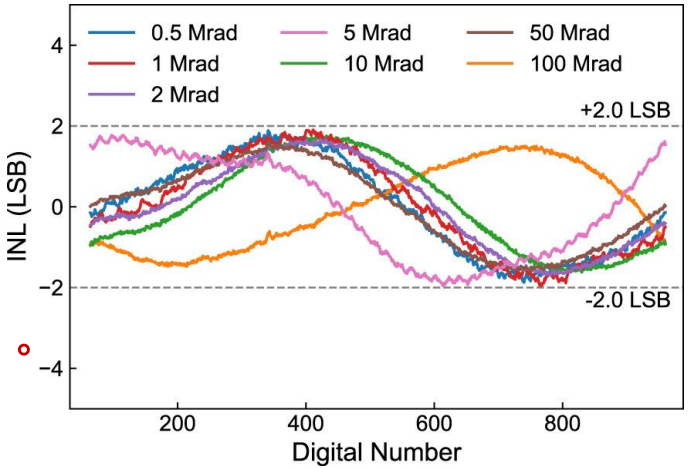
DNL衡量“每个码的实际宽度”与理想宽度1 LSB的偏差：

$$\mathrm{NDL}_i = \frac{W_i - 1\ \mathrm{LSB}}{1\ \mathrm{LSB}}$$

INL衡量实际转换点相对于理想转换点的最大偏差，是DNL的累积效果。

$$\mathrm{INL}_i = \frac{T_i - T_{ideal,i}}{1\ \mathrm{LSB}}$$





测试结果：ADC基本性能有待继续优化，**辐照后性能没有明显衰退。**

辐照X-光机

欢迎联系使用！

X-光机辐照（等价Co-60辐照测试）



合肥锐视医疗科技有限公司 SHARP 100

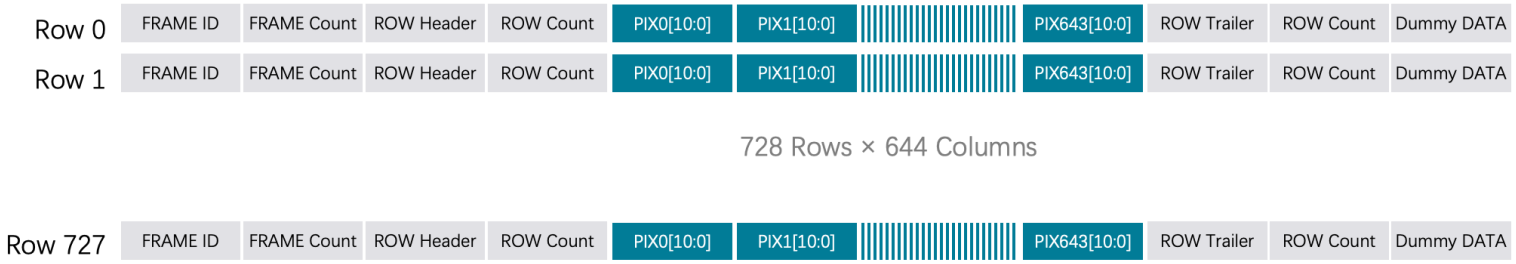
- **辐照测试**：器件上电/断电状态，不同剂量率，退火 → Co-60对比测试（其它辐照设施）

- **参考欧洲核子中心辐照X-光机设计**，定制电动升降平台、冷却托盘控制辐照过程中温度（外接循环制冷机，精确控制低温至-50 度）、箱体充入干燥空气防止冷凝（无油空压机+微热再生干燥机，露点温度低于-40 度）
- X光管出光口放置150微米铝片过滤低能光子（>10 keV穿透表层电路均匀沉积能量，等价Co-60测试），硅PIN光电二极管（源自ATLAS项目，CERN已刻度）刻度剂量率位置曲线。

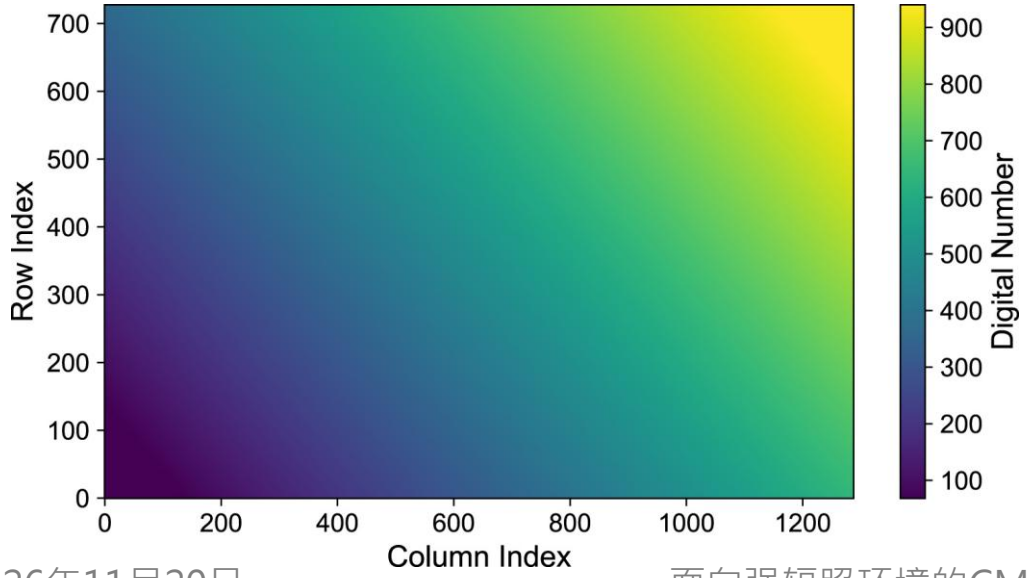
编码器

宇称电子

- 按照数据编码要求，设计编码器，配置实现测试模式、固定模式及采数模式。完全基于标准单元库设计，无特殊抗辐照加固设计。



迭代版本将改用8b/10b编码，提升数据传输可靠性。

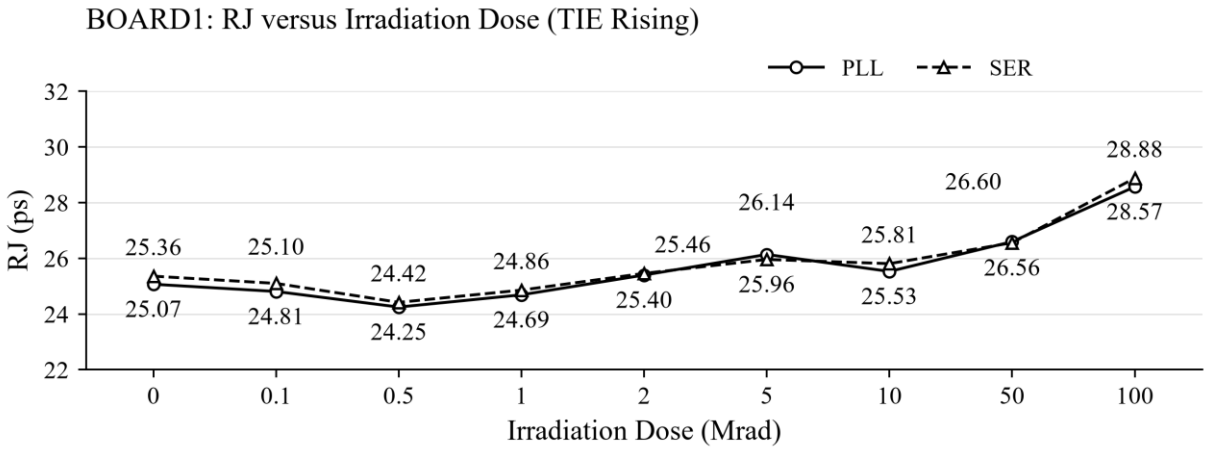


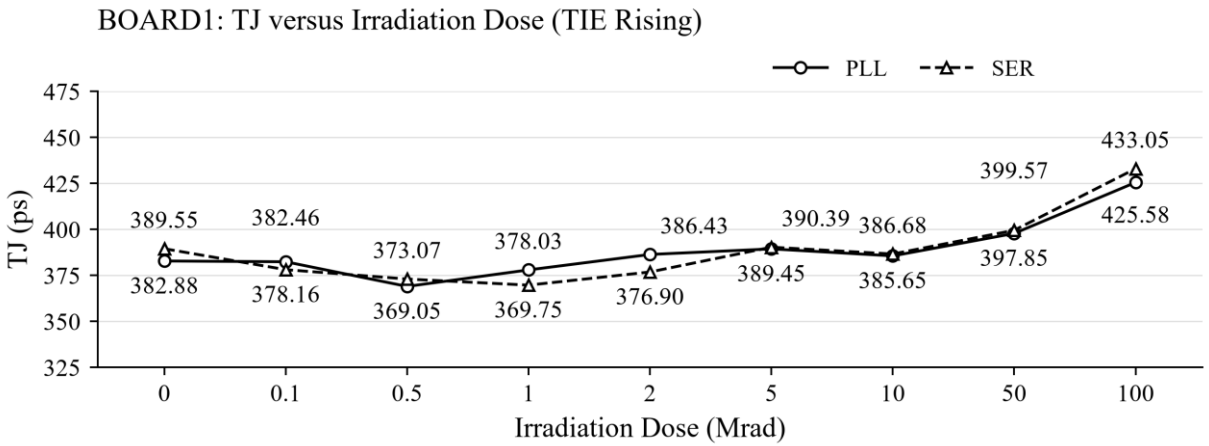
$$\mathrm{Data}\,(i,j) = \left\lfloor \frac{i}{2} \right\rfloor + \left\lfloor \frac{j}{2} \right\rfloor + 1$$ （固定模式）

- 图像（像素值）输出正确，辐照至100 Mrad后仍正常工作。

PLL + SerDes + LVDS

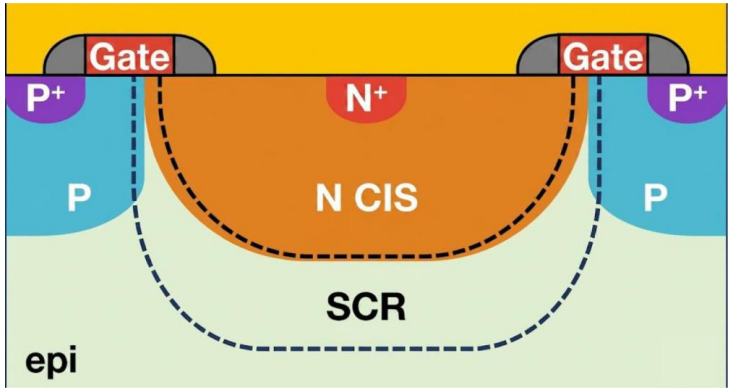
- 总剂量辐照后，PLL/SerDes等性能部分劣化，但未失效，可以用于提供时钟信号（400 MHz性能更稳定）、完成串型数据读出。完整测试数据还在整理中。
- 后续修改部分电路结构，增加驱动电流，优化版图设计后可以提高性能。已提交MPW设计，回片后测试验证。





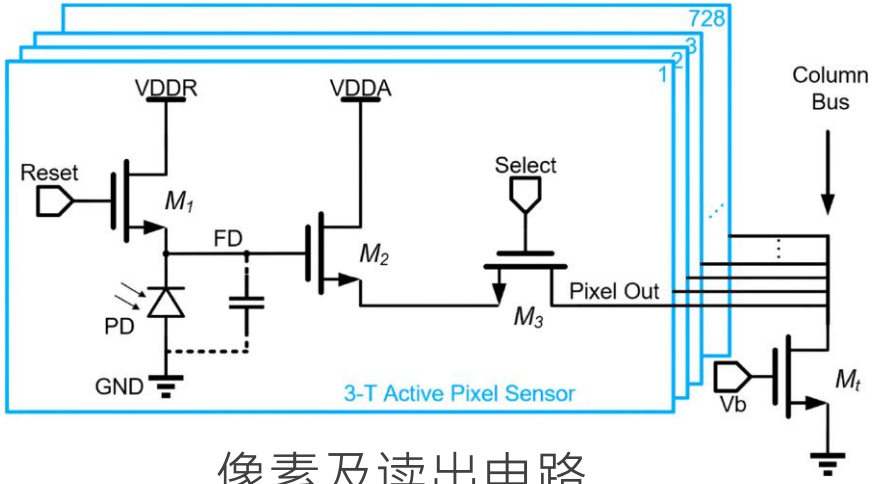
ADC、编码器、PLL+ SerDes+ LVDS能够正常工作，就可以继续测试像素的性能。

像素设计



光电极结构

- 光电极采用抗辐照设计，**栅氧层**（缺陷较少）交叠覆盖N电极及P+或浅槽隔离（两者均非最优设计）。
- 像素内复位、源跟随及行选均采用**1.8V晶体管**及**环形栅（ELT）**设计，提升抗辐照能力（晶体管尺寸、版图等有待优化以降低噪声）；



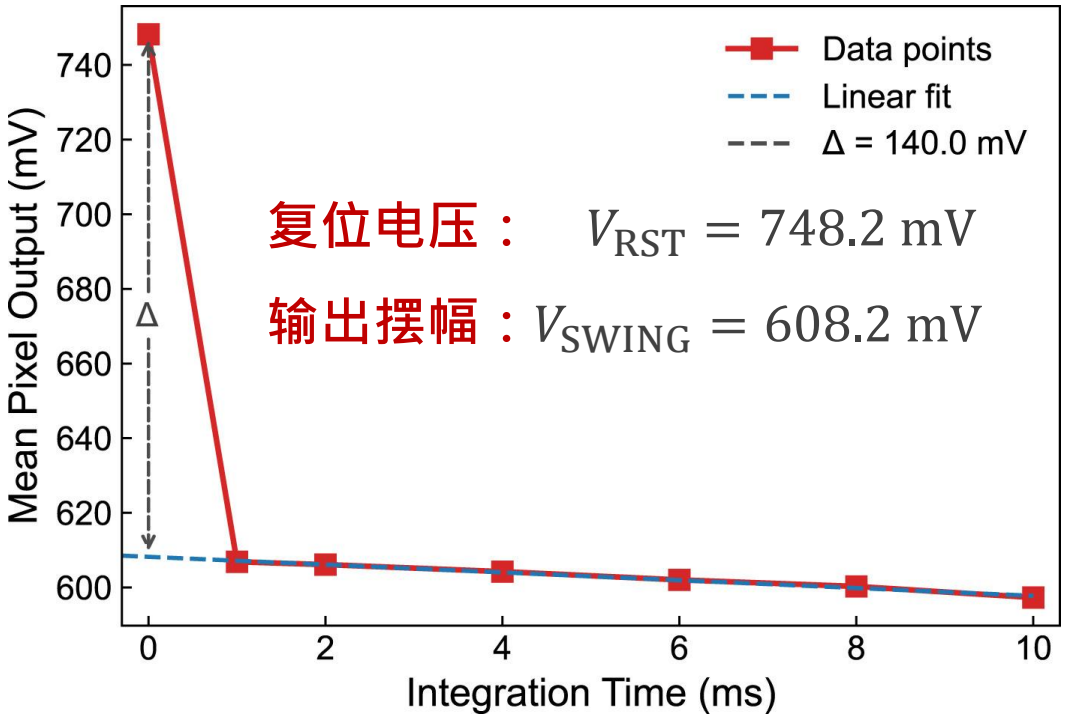
像素及读出电路

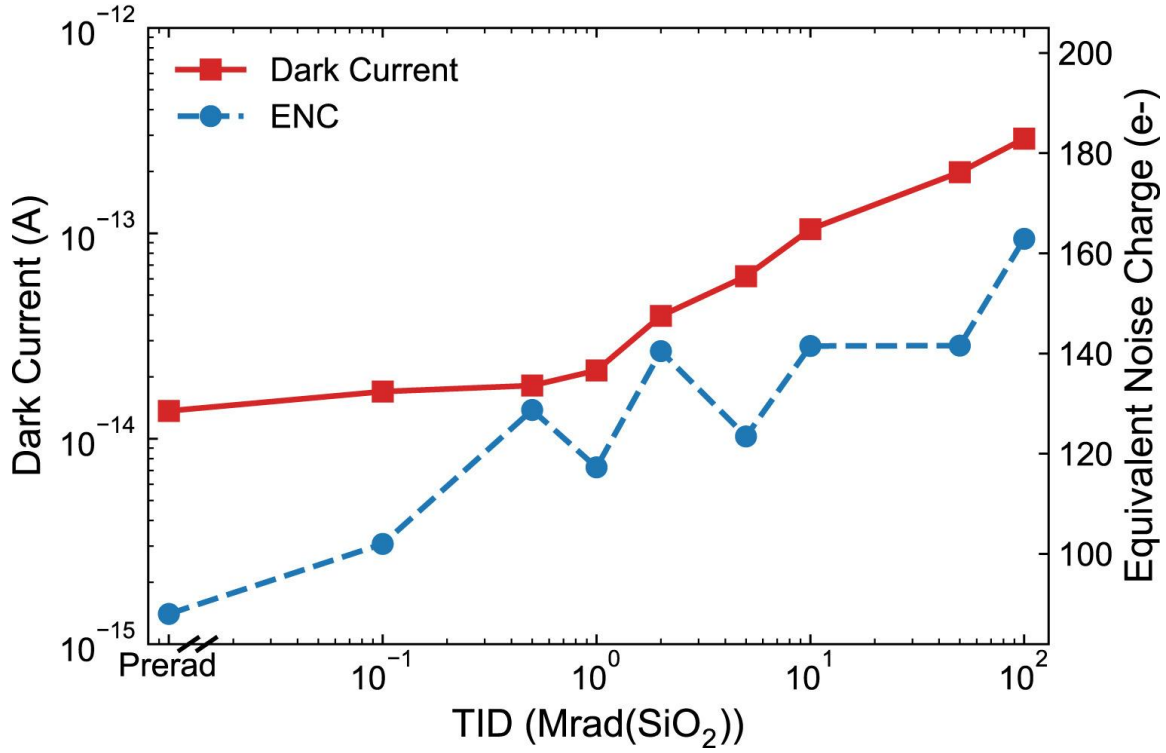
- 像素阵列采用卷帘门读出（Rolling Shutter）读出，像素电压在列端经采样保持后，再由列级ADC完成数字化。整帧数据经编码，再通过10位并行或高速LVDS读出。

像素暗电流

- 像素阵列曝光时间可调（**优点：**曝光时间可调，便于强辐照后暗电流抬升时，维持动态范围；**缺点：**电路无法实现DDS，前端噪声偏高），测试不同曝光时间条件下像素输出电压水平，结合增益（单色光/Fe-55 低能X光子刻度），计算像素暗电流水平。

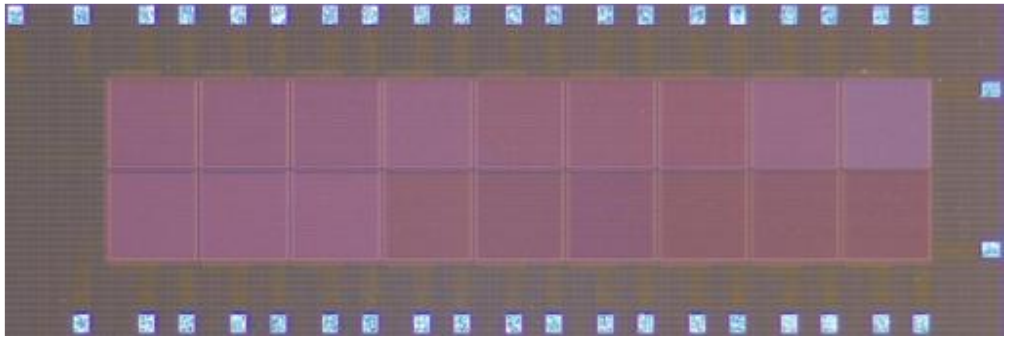
100 Mrad辐照后暗电流提升不到20倍！



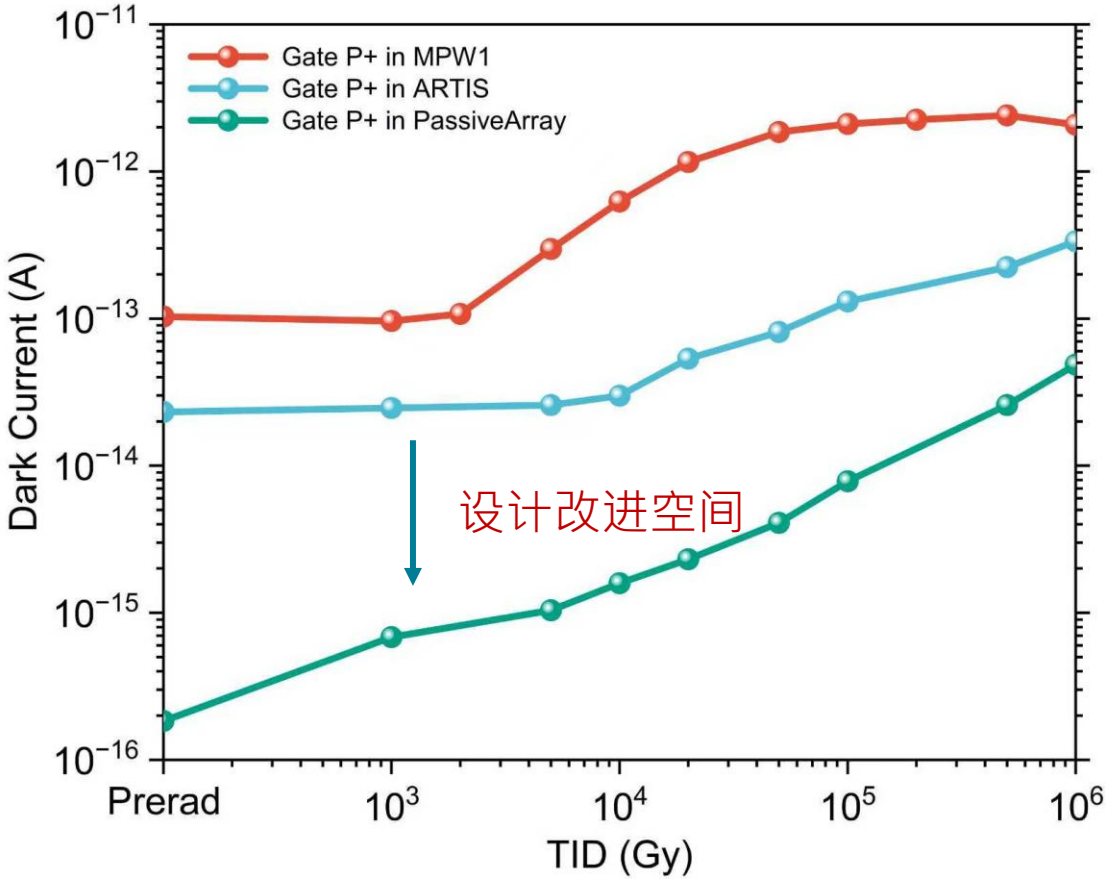


有源、无源像素对比

- **无源像素**（像素中只有光电极，没有晶体管）阵列（1024个像素并联读出）用于直接提取光电极暗电流水平。

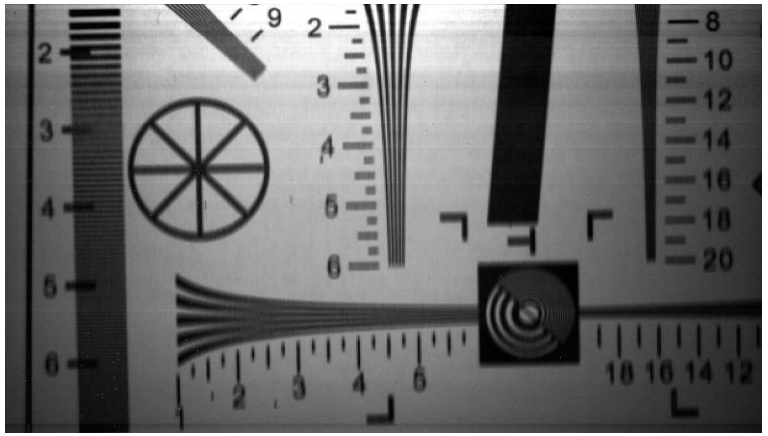


- 对比可知，有源像素中晶体管的设计有待持续优化（复位晶体管漏电，MPW尝试改善）

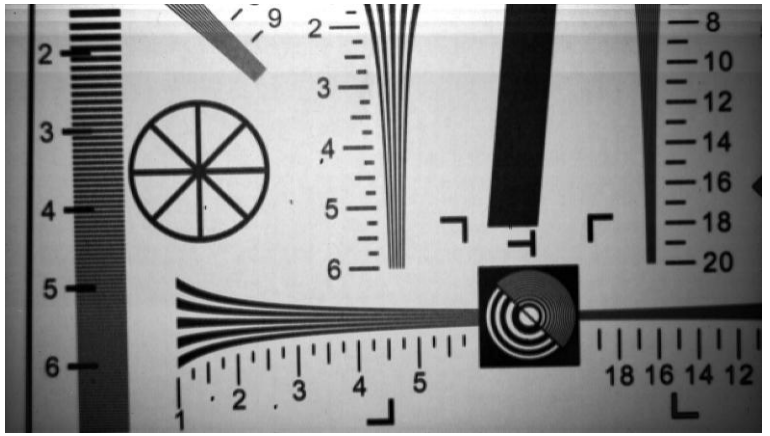


成像效果

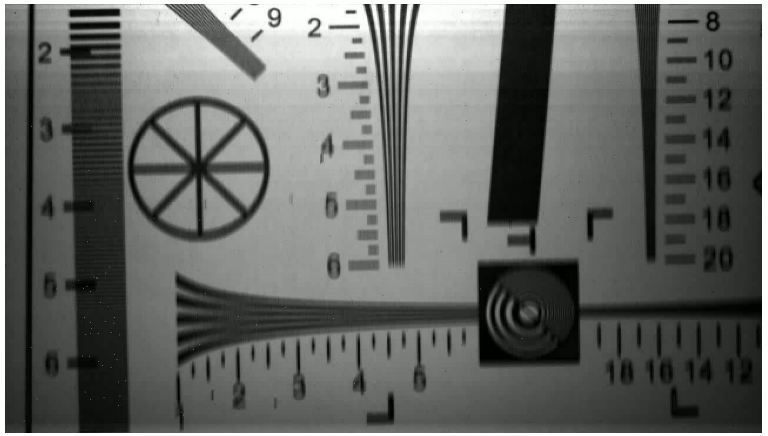
。检查辐照前后成像能力（仅简单扣除复位基线，没采取刻度、黑白平衡等操作）。



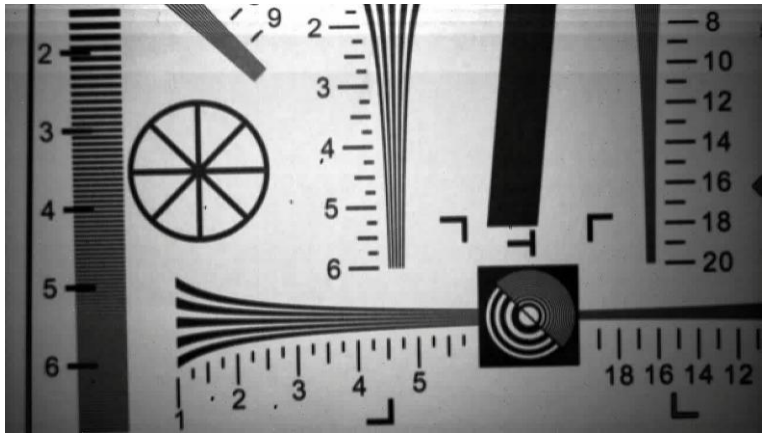
辐照前成像效果



VDDA供电1.8V提升到3V可以改善成像质量

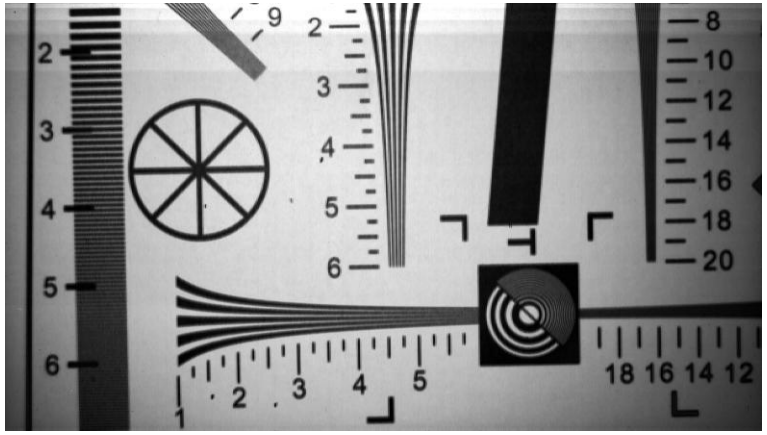


像素阵列电源、地网络设计问题，有待后续优化。

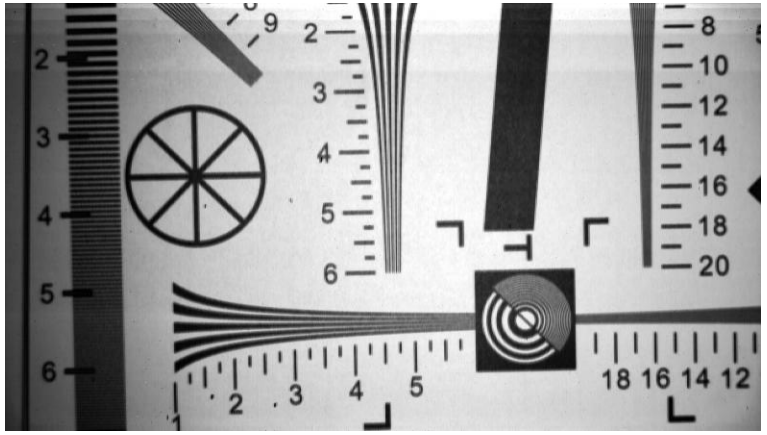


辐照后成像效果

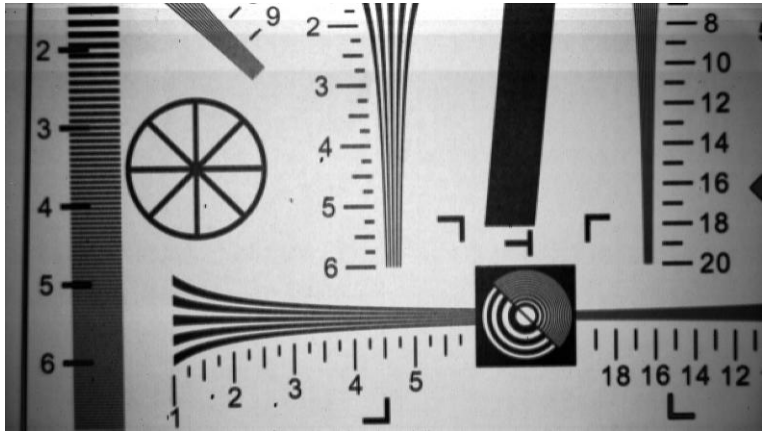
0 Mrad



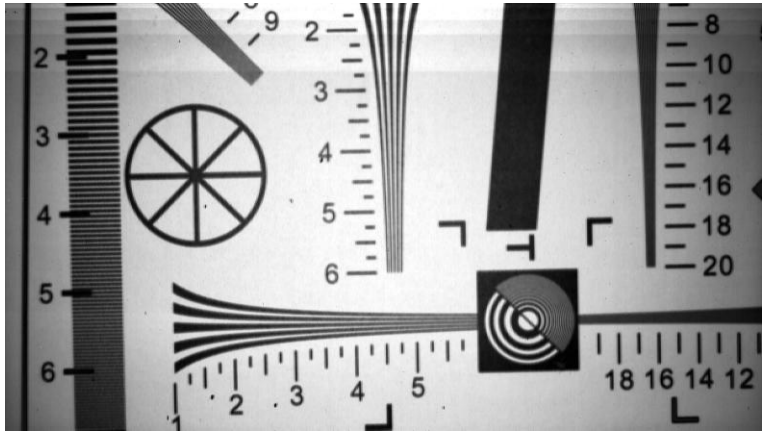
1 Mrad



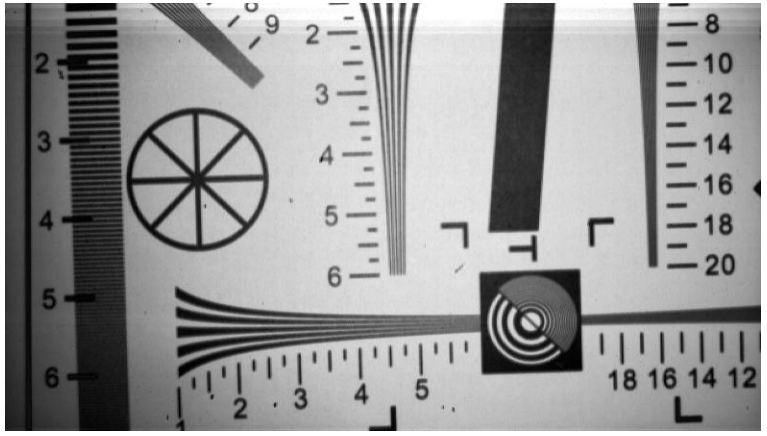
10 Mrad



40 Mrad



100 Mrad

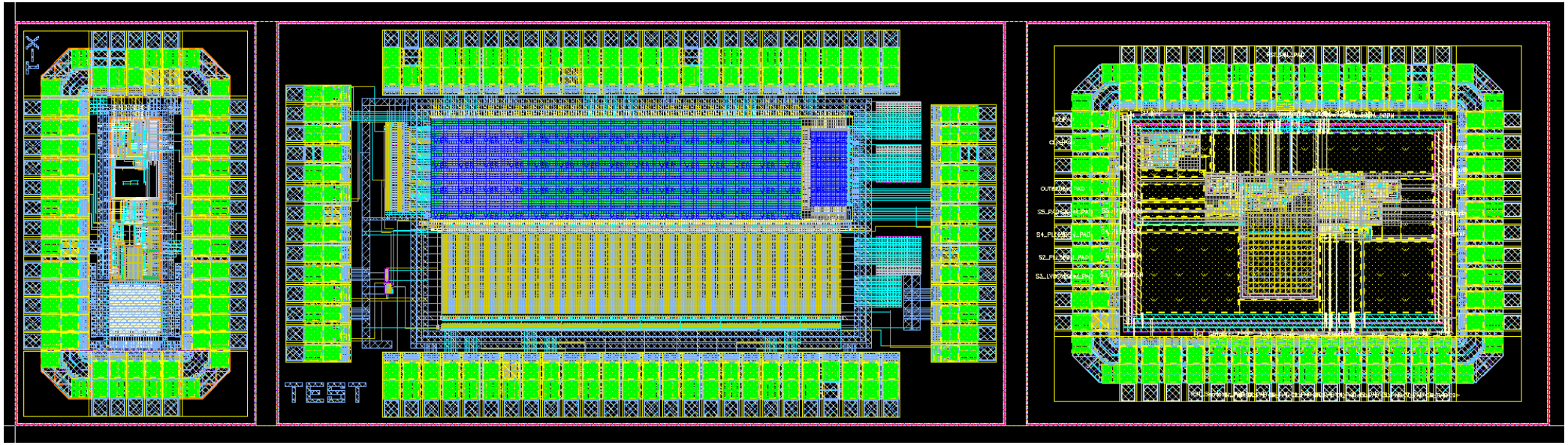


图像质量仅少许劣化

虽然电路设计存在瑕疵，但是光电极、晶体管、ADC、PLL、SerDes、LVDS等关键模块均能实现抗强辐照能力。

MPW设计

- 2026年7月份提交MPW设计，修复工程批中已知的几处设计错误，优化像素和电路性能。12月初回片，待测试验证通过后用于工程批设计。



LDO

低噪声像素设计

PLL+ SerDes+ LVDS优化

温度监测、晶振起振电路

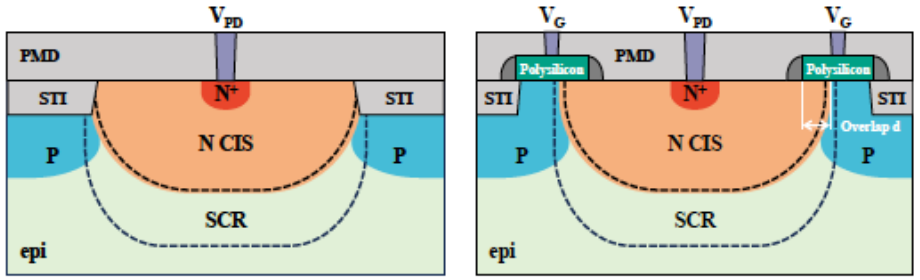
光电极辐照损伤预测

定制类晶体管及无源光电极阵列，研究光电极辐照损伤机理，并构造TCAD仿真模型。

抗辐照光电极结构

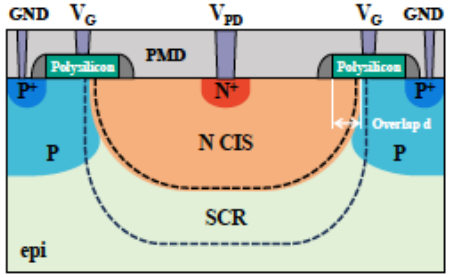
J. Deng et al., “Gate and Boundary Control of Dark Current in Irradiated Gate-Overlap Photodiodes”， TNS已经接收

- 栅氧层交叠结合栅压调控可以减缓电离辐照后正电荷累积和界面缺陷态劣化效应，提高抗辐照性能。但是几何结构、调控电压等对暗电流的影响的相关机理并不清晰。

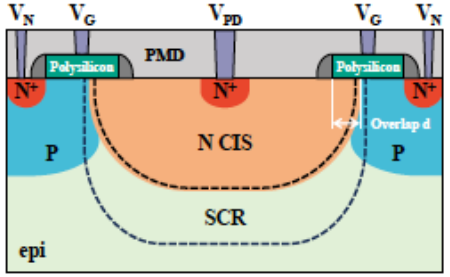


(a) Standard

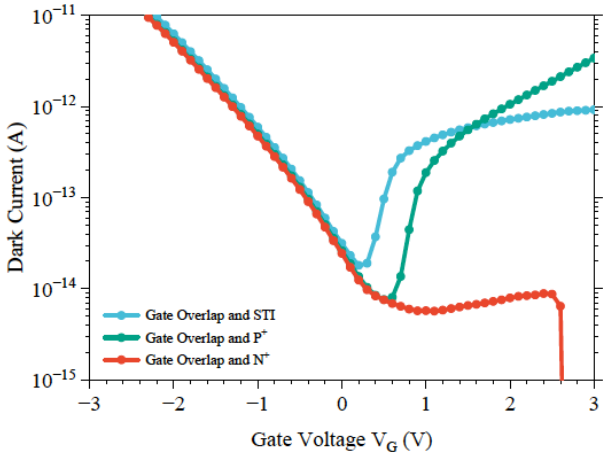
(b) Gate Overlap and STI



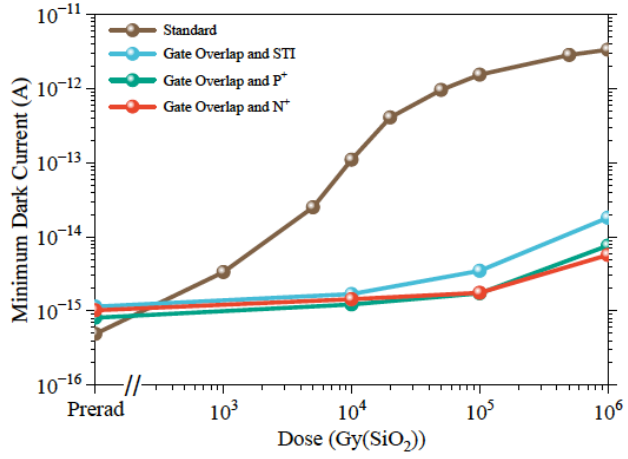
(c) Gate Overlap and P^+



(d) Gate Overlap and N^+



(a) $V_{PD} = 1.5$ V



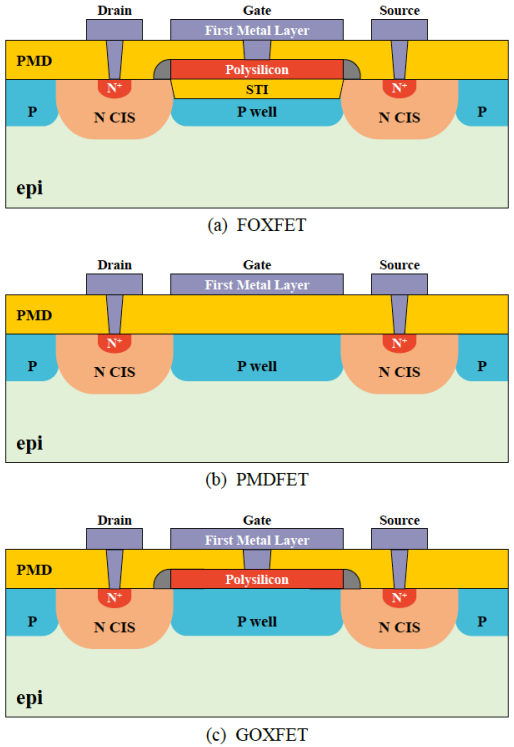
(a) $V_{PD} = 1.5$ V

提出经验公式分段描述**电极电压、栅致隧穿电流、边界电压**对光电极暗电流的贡献，且高剂量辐照后仍成立，为后续光电极结构优化提供重要参考。

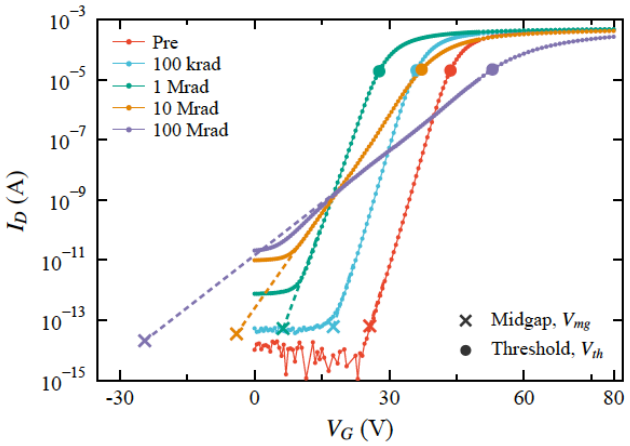
$$I_{PD} \simeq I_{floor}(V_{PD}) + I_{GIL}(U) + I_{out}(V_G; \mathcal{B}_{out})$$

构造预测模型

- 设计类MOS管结构，辐照测试后提取正电荷累积（N_{ot}）、界面缺陷态（N_{it}/D_{it}）等关键参数。借鉴硅传感器构建表面辐照损伤模型的方法，构建适用于光电极暗电流预测的模型。



以FOXFET结构为例，测量不同电离总剂量下的 $I_D - V_G$转移曲线，提取关键参数阈值电压（V_{th}）、中带栅压（V_{mg}）及亚阈值摆幅（S）。



ΔD_{it}：由亚阈值摆幅提取的局部界面态密度增量。

$$\Delta D_{it} = \frac{C_{ox}}{qV_T \ln 10}\Delta S$$

ΔN_{ot}：等效氧化层正电荷累积增量。中带法假设中带处净界面态电荷近似为零，因此 V_{mg}的移动主要反映氧化层俘获电荷：

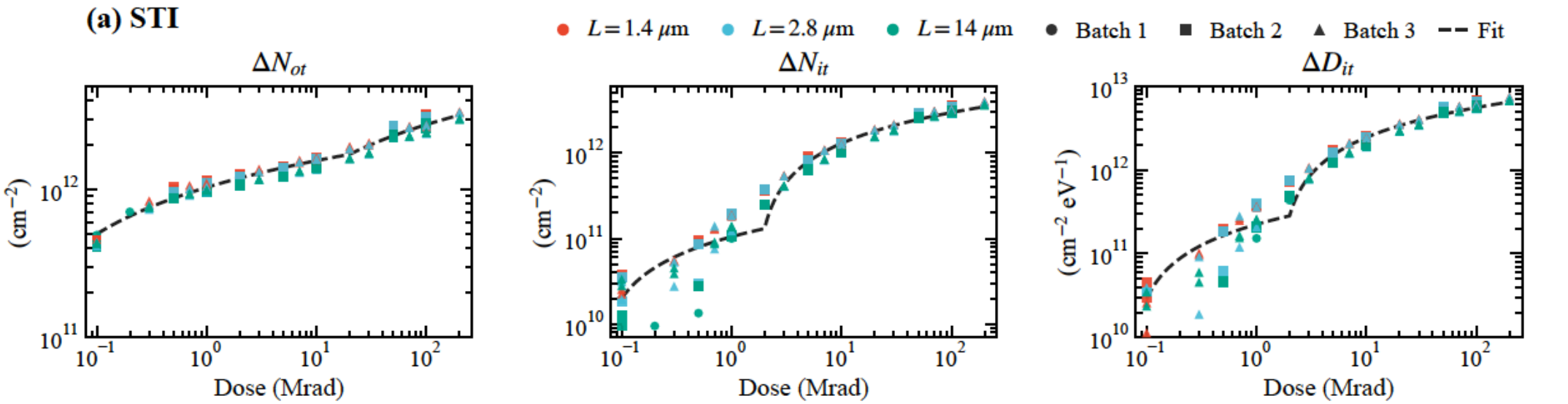
$$\Delta N_{ot} = -\frac{C_{ox}}{q}\Delta V_{mg}$$

ΔN_{it}：从中间带隙到外推阈值的积分界面态电荷增量。阈值移动同时包含氧化层电荷和界面态充放电的贡献。

$$\Delta N_{it} = \frac{C_{ox}}{q}(\Delta V_{th} - \Delta V_{mg})$$

参数提取

- 以浅槽隔离（STI）为例，每个总剂量辐照点，分别提取ΔN_{ot}、ΔN_{it}和ΔD_{it}，再分两段拟合参数化，有效范围至200 Mrad（SiO_2）。



$$\Delta N_{ot}(D) = \begin{cases} 1.033\times10^{12} + 2.317\times10^{11}\ln D, & 0.1 \le D < 20 \\ -1.642\times10^{11} + 6.314\times10^{11}\ln D, & 20 \le D \le 200 \end{cases}$$

$$\Delta N_{it}(D) = \begin{cases} 1.049\times10^{11} + 3.685\times10^{10}\ln D, & 0.1 \le D < 2 \\ -3.676\times10^{11} + 7.185\times10^{11}\ln D, & 2 \le D \le 200 \end{cases}$$

$$\Delta D_{it}(D) = \begin{cases} 2.237\times10^{11} + 8.466\times10^{10}\ln D, & 0.1 \le D < 2 \\ -6.460\times10^{11} + 1.339\times10^{12}\ln D, & 2 \le D \le 200 \end{cases}$$

辐照损伤模型

- **界面缺陷态：**可采用分立能级（类似位移损伤模型）、高斯分布、均匀分布等方式构造缺陷模型，经过比较**均匀分布+1个分立能级**能够较好复合实验数据。

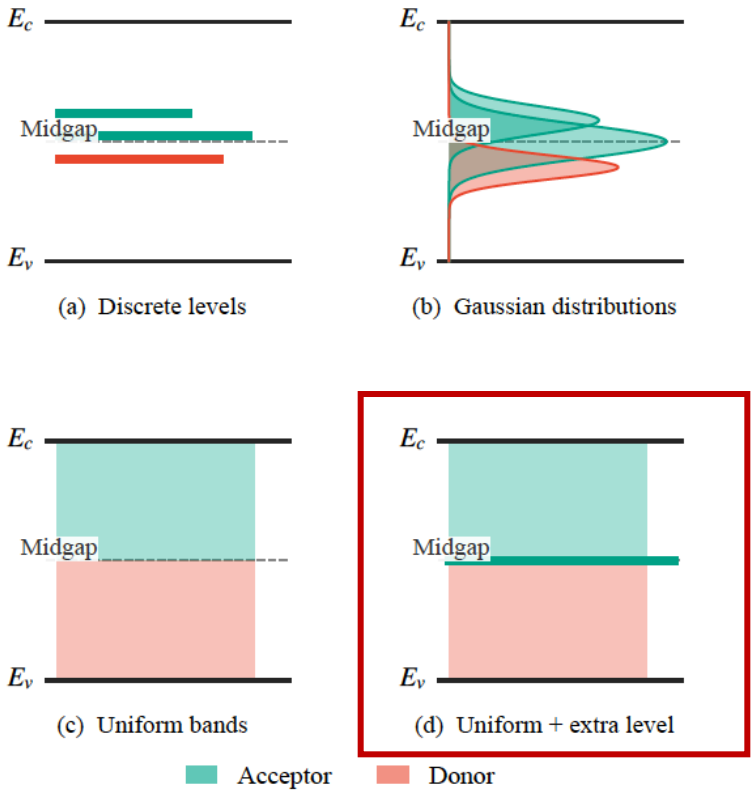


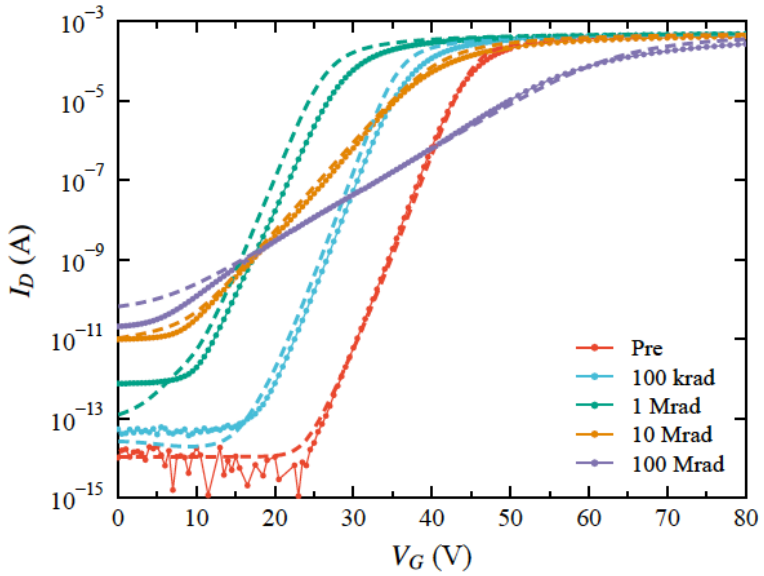
TABLE III
COMMON MOSFET SURFACE-DAMAGE INPUTS

Parameter	Acceptor	Donor	Added acceptor
Profile	Uniform	Uniform	Level
E (eV)	$[E_c - 0.56,\ E_c]$	$[E_v,\ E_v + 0.56]$	$E_c - 0.56$
$g(E)$ ($\mathrm{cm^{-2}\ eV^{-1}}$)	D_{it}	D_{it}	–
N_s ($\mathrm{cm^{-2}}$)	$(0.56\,\mathrm{eV})D_{it}$	$(0.56\,\mathrm{eV})D_{it}$	$(0.15\,\mathrm{eV})D_{it}$
$\sigma_n = \sigma_p$ ($\mathrm{cm^2}$)		10^{-15}	
N_{ot} ($\mathrm{cm^{-2}}$)	$N_{ot,0} + \Delta N_{ot}(D)$		

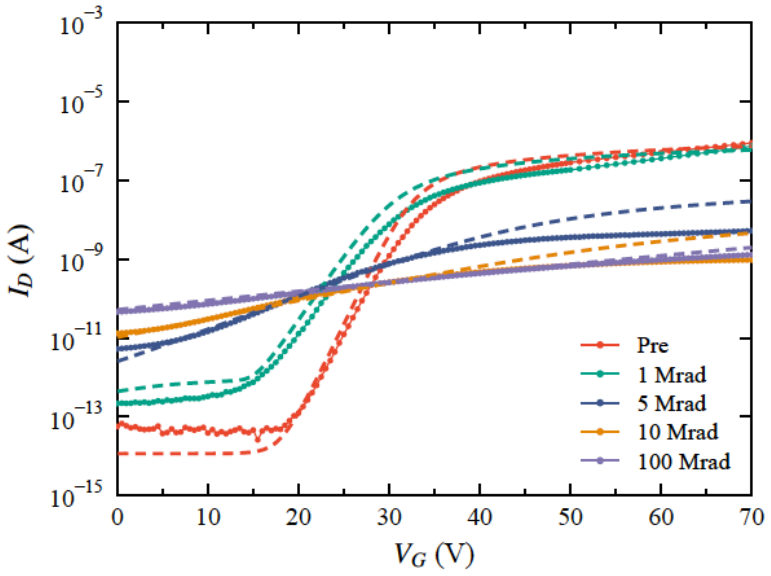
- **正电荷累积：**为面分布，可直接导入。

TCAD仿真-实验对比：晶体管

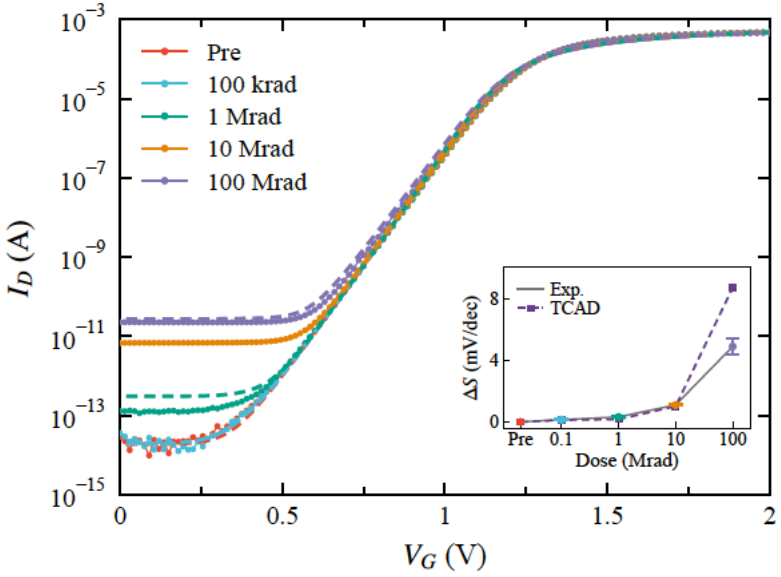
- 将辐照损伤模型导入TCAD，仿真类晶体管转移曲线，与实验测试数据复合较好。



FOXFET



PMDFET



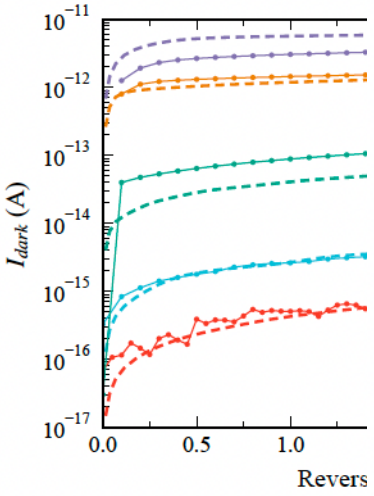
GOXFET

TCAD仿真-实验对比：光电极

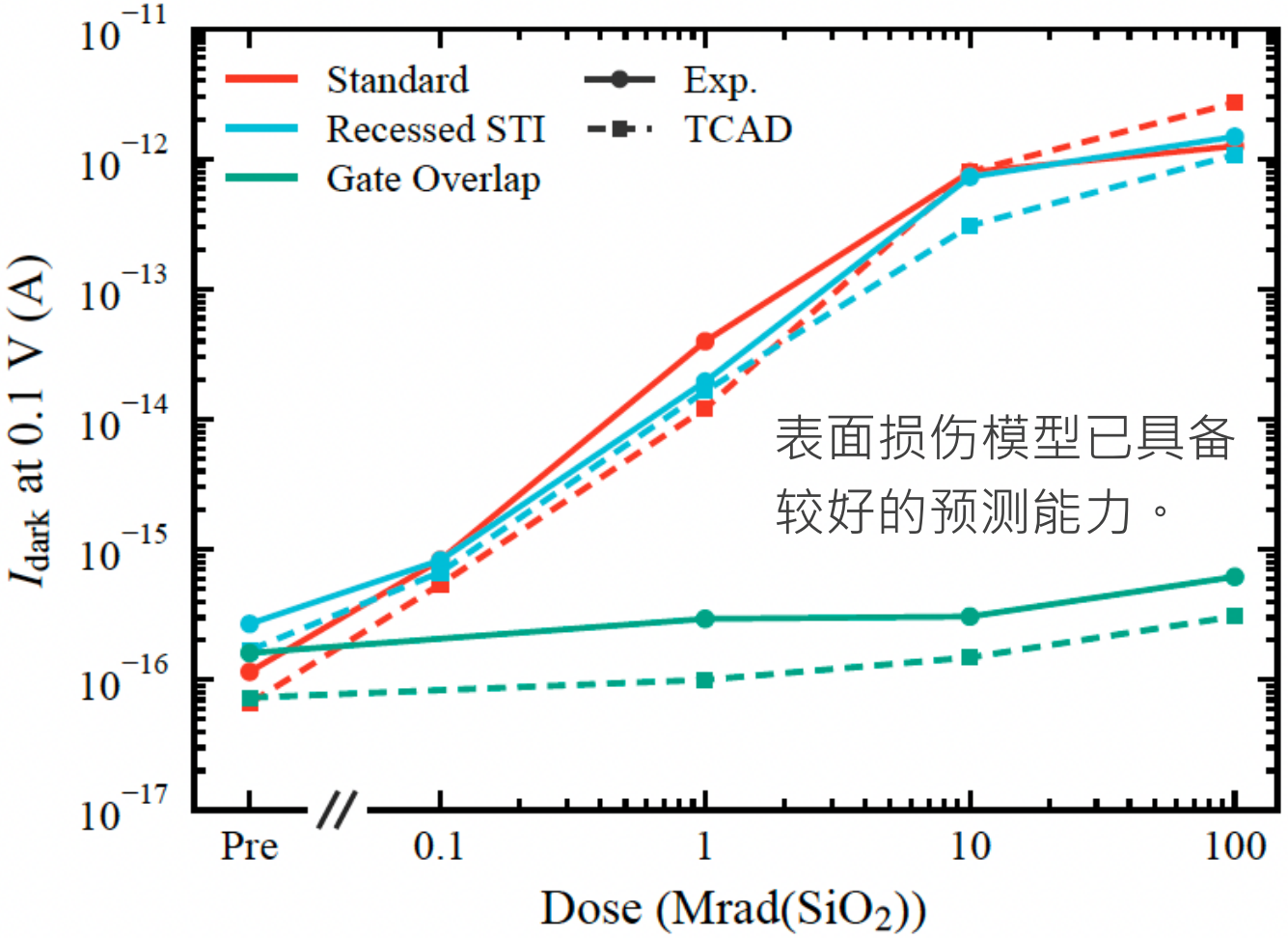
文章即将提交 TNS

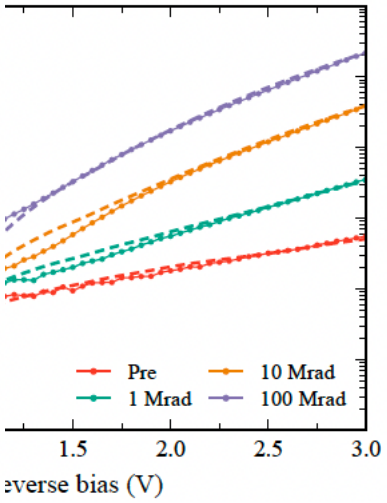
- 基于表面缺
  能在偏压范

比。TCAD结果



标准光



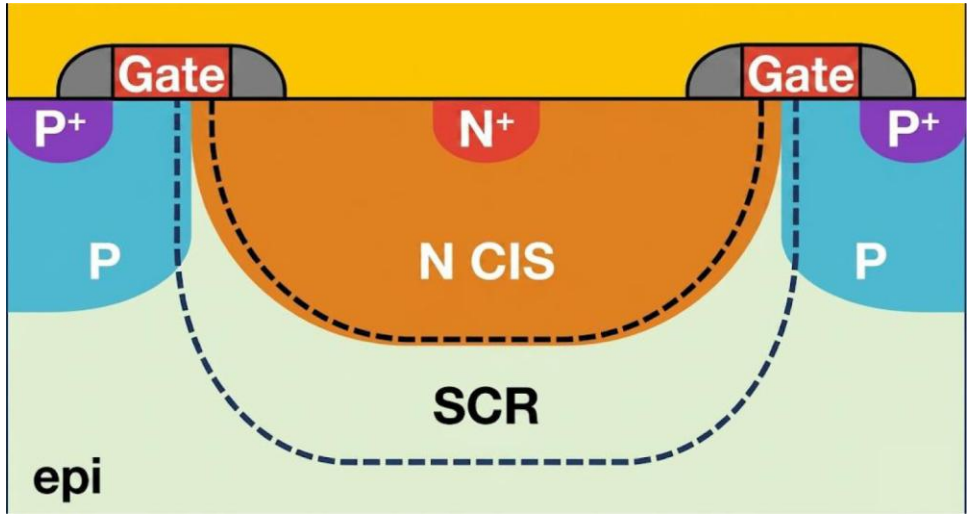


栅交叠

位移损伤研究（正在开展）

- 在实际应用环境中，CMOS图像传感器还需应对中子等引入的**位移损伤（Displacement Damage）**，计划建立适用的位移损伤模型，以便预测像素性能，优化像素设计。
  - 等待西核所脉冲中子反应堆恢复后，计划辐照器件至最高10^{14}（1 MeV等效中子通量）

- 图像传感器中光电极抗位移损伤的设计逻辑与带电粒子探测传感器有区别：

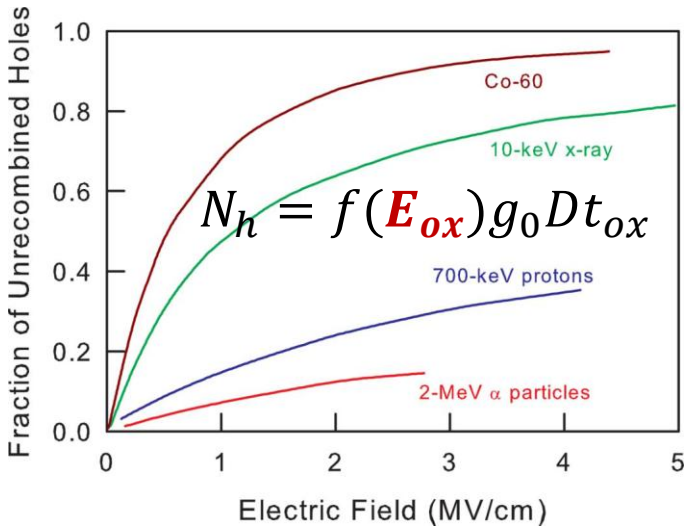


图像传感器中信号载流子被缺陷俘获并不重要（可以提高光强增强信号），但是缺陷通过SRH机制产生暗电流（体暗电流）需要抑制 →**减小耗尽区（光电极尺寸）**，设计思路与带电粒子传感器抗位移损伤相反。 或者调整掺杂（工艺）。

电离电磁协和效应研究（正在开展）

- 电离辐照降低器件性能，电磁（脉冲）也会对器件性能有影响，极端环境（比如激光惯性约束聚变）中两者叠加会对器件性能产生什么影响？

电场影响逃逸系数



正电荷累积发生变化？

电场强度影响隧穿

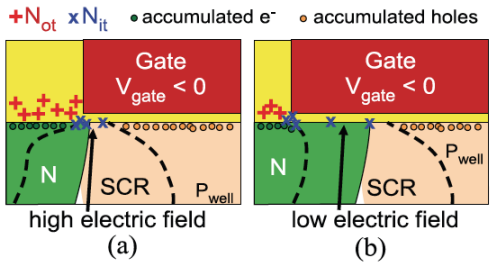
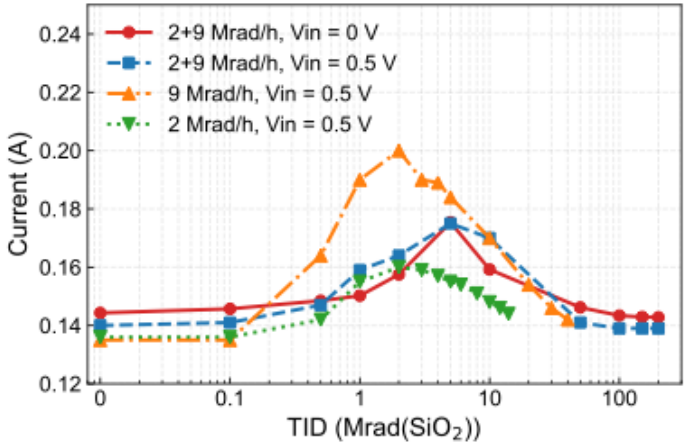


Fig. 4. Magnification of the peripheral depletion region on (a) the classical aligned gated diode design and (b) the proposed gate overlap design. The depleted interface is narrowed in the classical gated diode design leading to electric field enhancement of the dark current.

隧穿漏电发生变化？

EMP热效应



Not/Nit平衡点移动？

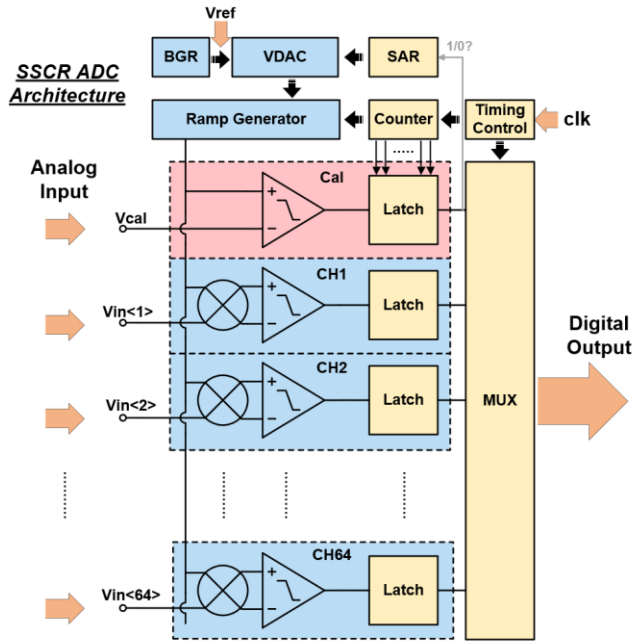
电路多层级加固

基于“架构-电路-晶体管”多层级加固思路，设计ADC、PLL、BGR等核心模块，并通过高剂量辐照测试，验证设计有效性。

ADC抗辐照加固

P. Li et al., “A Radiation-Hardened Ramp ADC With Self-Calibrating Slope for High-Dose Applications”, TNS 2026 73(8) 3481-3492

- 斜坡ADC易受辐射导致的阈值偏移和漏电影响，提出**① 基于SAR的自校准反馈环路（Self-Calibrating Loop）架构**，主动补偿斜坡满量程（FSR）和转换增益退化，使ADC在辐照下仍能保持高精度。



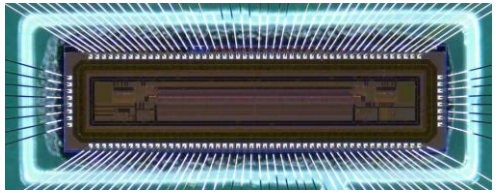
② 电路级加固

- 数字控制核心：校准环路的控制（SAR逻辑、同步计数器和锁存器）采用数字逻辑。数字电路由于其固有的噪声容限，对辐射引起的阈值电压漂移和漏电流具有更强的抵抗力和容忍度。
- 无源 R-2R 电阻梯：在VDAC设计中，采用多晶硅电阻构成的R-2R梯形网络。多晶硅电阻的TID敏感性显著低于有源器件。
- 内部带隙基准（BGR）：VDAC的参考电压由内部PVT不敏感的带隙基准电路提供，确保校准基准的稳定性。

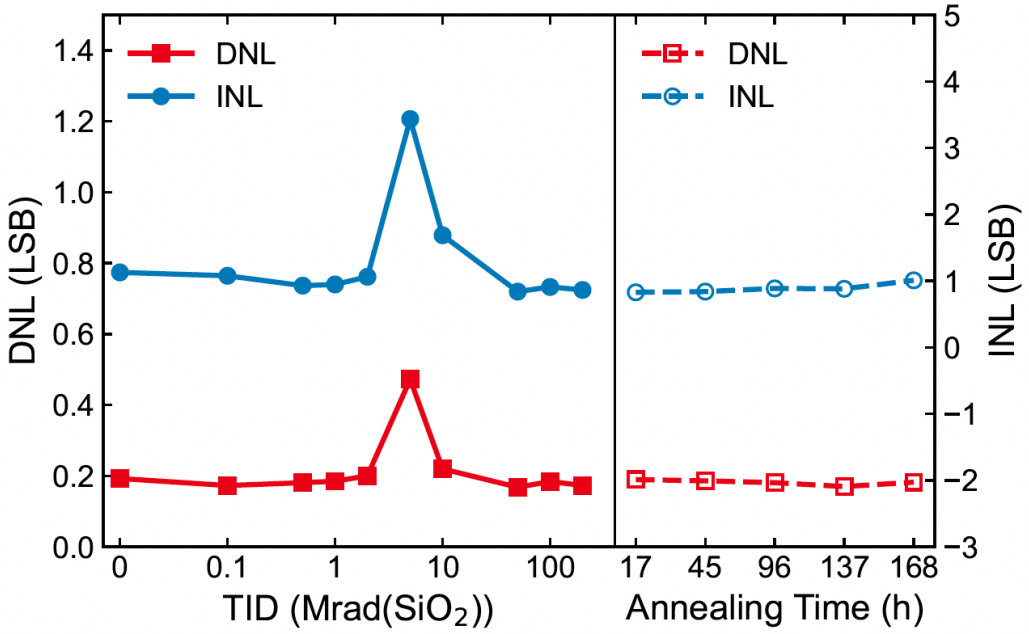
③ 器件与版图级加固

- 用于关键MOS管，采用环栅结构（ELT）以抑制TID效应引起的边缘漏电流增加和阈值电压漂移。采用P+ 保护环用于隔离和保护器件，防止辐射引起的闩锁效应并减少漏电。

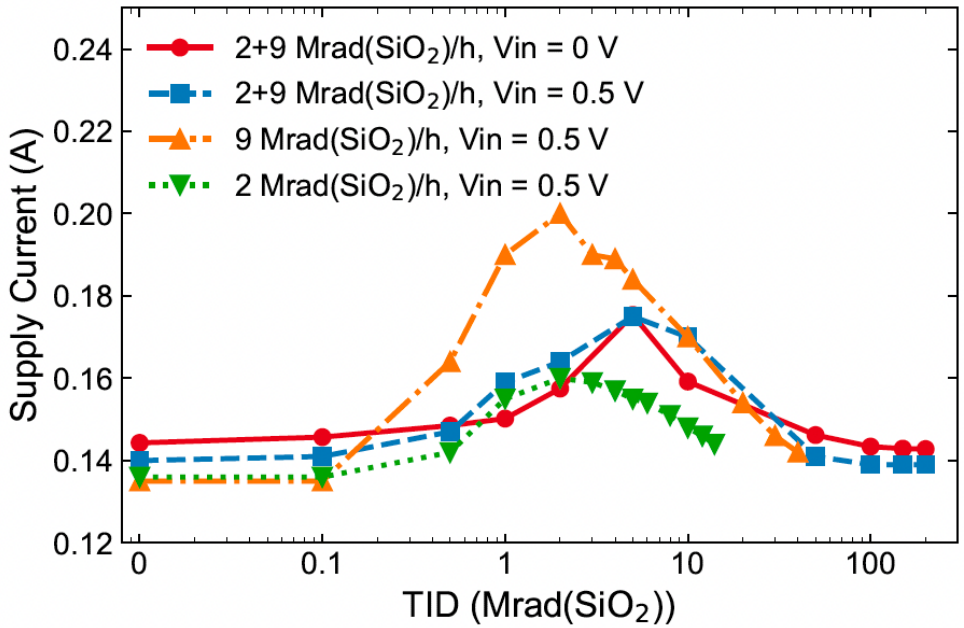
ADC抗辐照性能测试



- 64通道ADC采用X-光机辐照至100 Mrad（SiO_2），评估DNL/INL等关键指标。



辐照至100 Mrad（SiO_2），DNL/INL指标与辐照前相近，但是在**5 Mrad处出现相对明显的劣化**。

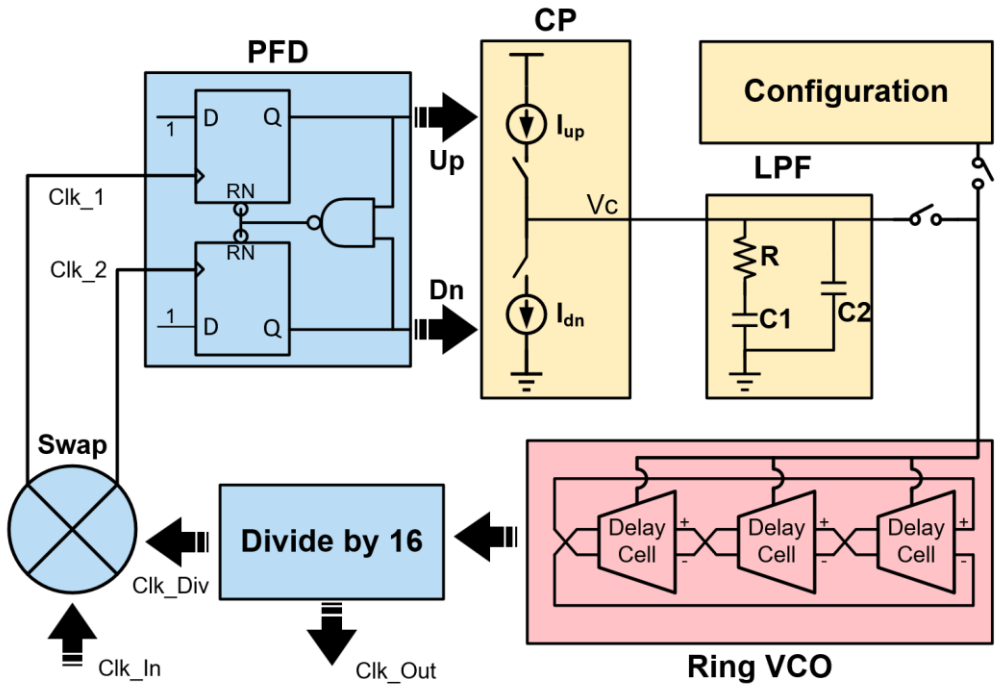


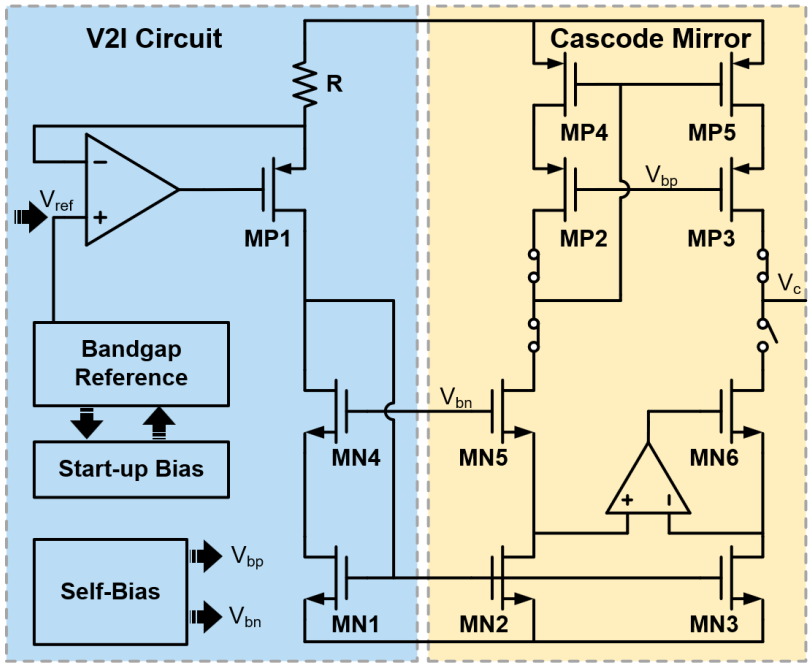
“TID Bump”机理相对清楚，Not与Nit引入速度存在差异（与剂量率、温度有关），导致寄生漏电通道开启（漏电增加、阈值漂移），平衡后关断（漏电下降、阈值相对恢复）。

锁相环加固

P. Li and H. Zhu, “A Radiation-Hardened Charge Pump PLL Using an ELT-Based Ring Oscillator for CMOS Image Sensors”, TNS 2026 73(11) 4276-4286

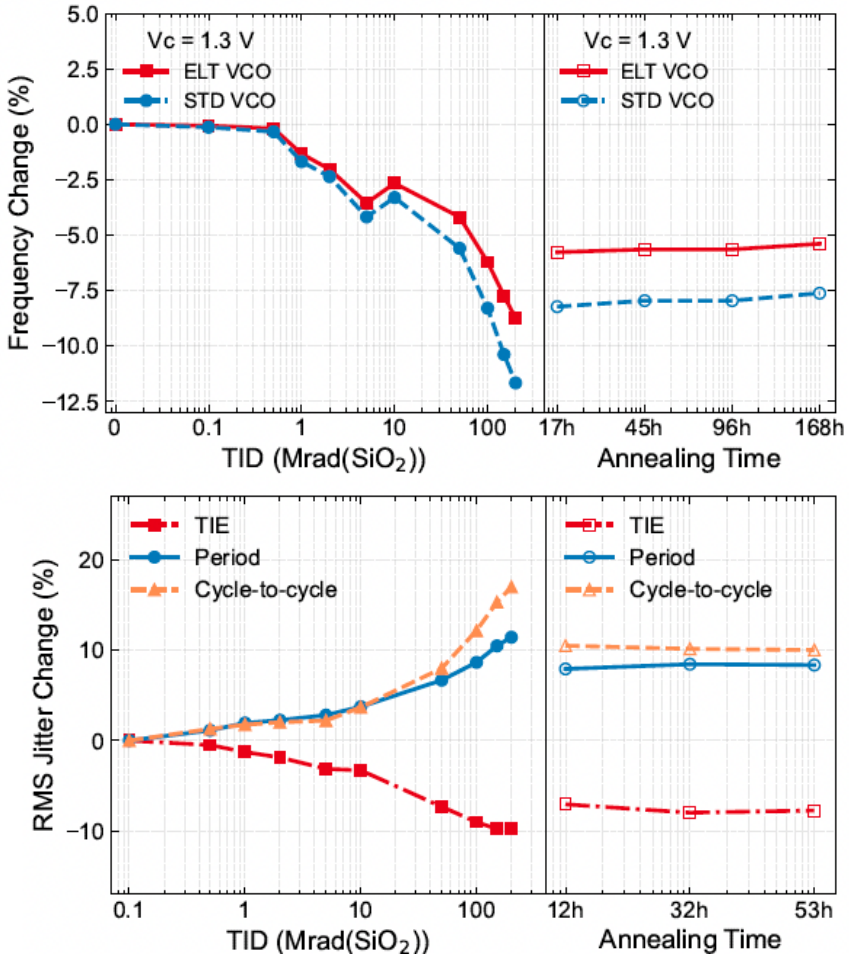
- 锁相环提供片上时钟，需要具备很高的稳定性。采用 **Lee-Kim 拓扑的 Ring VCO**（文献证明抗TID有效性），在电荷泵的电压-电流（V2I）转换电路中，**引入带隙基准电路提供稳定的参考电压（V_{ref}）**，基于架构和电路加固提高抗辐照性能。全局采用环形栅，优化版图设计。

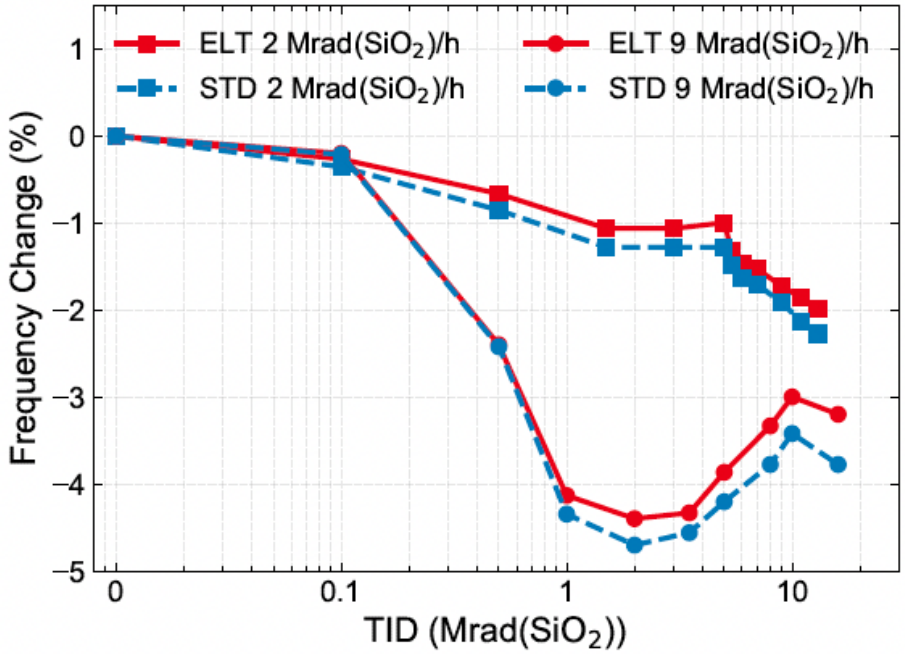




PLL抗辐照性能测试

- 采用X-光机辐照至200 Mrad（SiO_2），评估PLL关键指标。



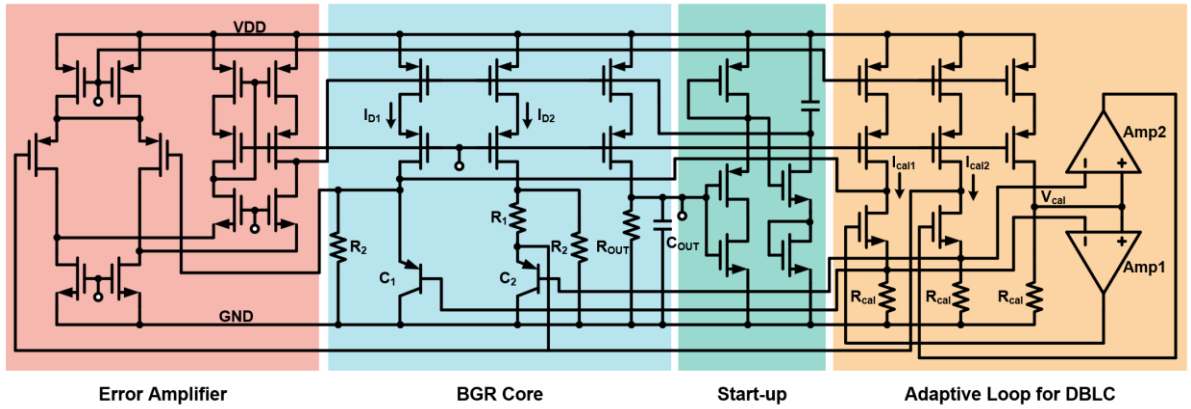


在PLL辐照测试过程中，再次观察到剂量率依赖的“TID Bump”现象，高剂量率条件下，性能劣化更明显。

带隙基准电路加固

P. Li et al, “A 500 Mrad(SiO_2) Radiation-Tolerant Bandgap Reference Circuit in 180 nm CMOS”, 修改稿已提交TNS

- **BGR**为片上电路提供参考电压，对稳定性要求高，抗辐照性能要求高。提出**双分支自适应反馈校准环路（Dual-Branch Adaptive Feedback Calibration Loop）架构**，结合校准电压解耦、大补偿裕度提高电路稳定性和补偿冗余。



引入两个相同的自适应反馈环路（分别对应BGR核心的两个BJT分支），用于动态补偿辐射引起的PNP型BJT基极漏电流（I_{leak}）。

器件与版图级加固

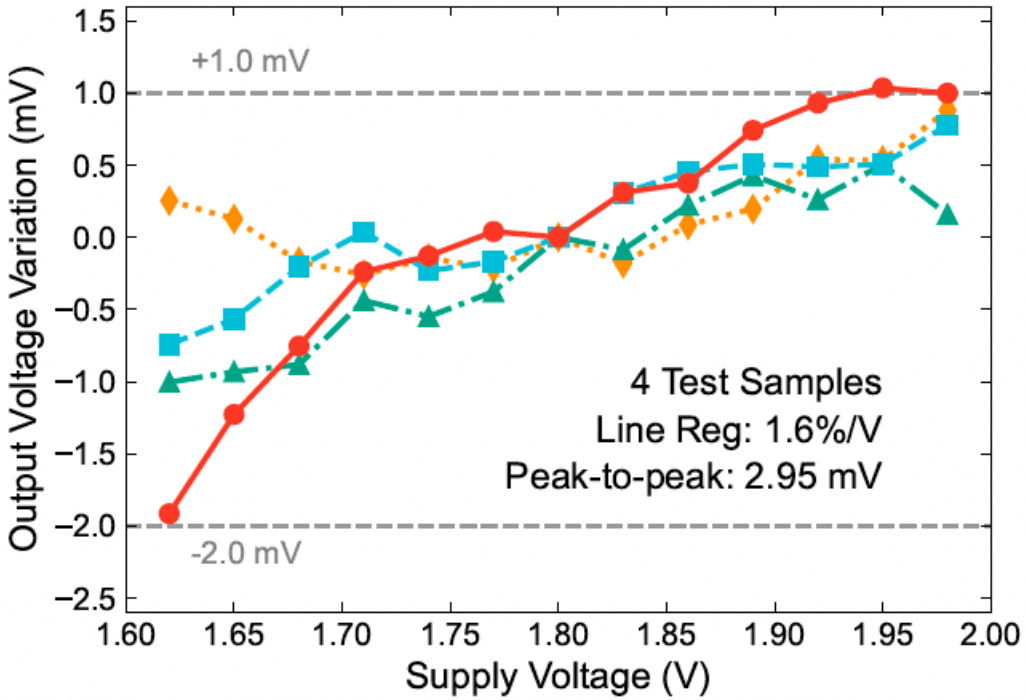
采用环形栅结构，抑制漏电和阈值电压漂移，相邻NMOS之间插入P+保护环，隔断器件之间的漏电通道，采用严格匹配的版图设计。

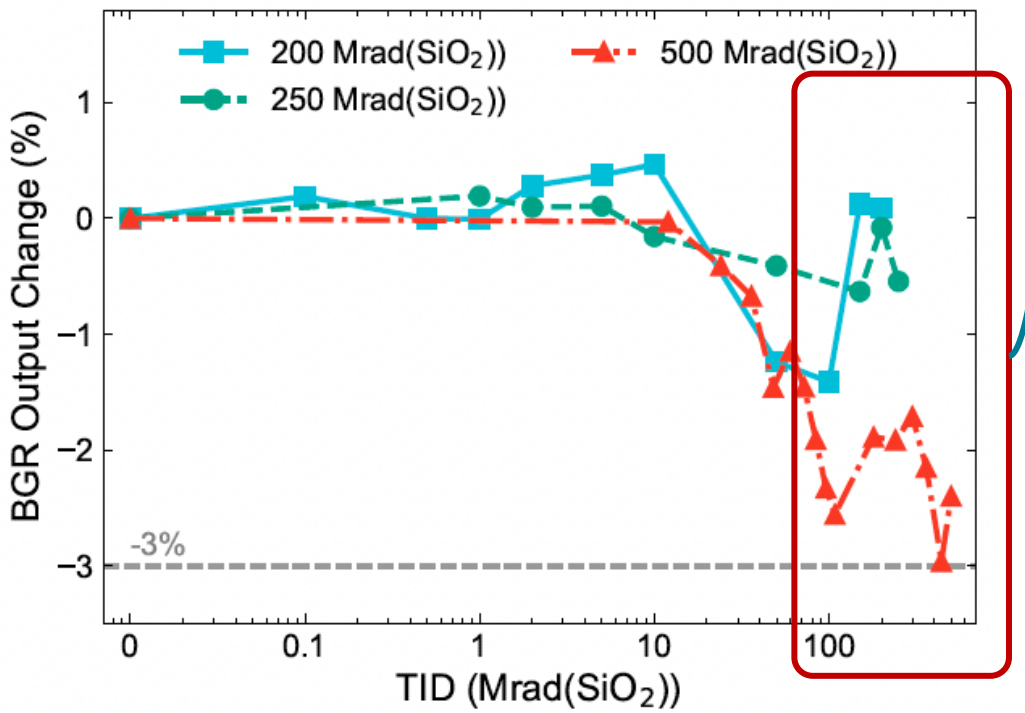


BGR抗辐照性能测试

G. Borghello et al., “Dose-rate sensitivity of 65-nm MOSFETs exposed to ultrahigh doses”, TNS 2018 65(8) 1482–1487

- 采用X-光机辐照至500 Mrad（SiO_2），评估输出电压稳定性。





解释参考

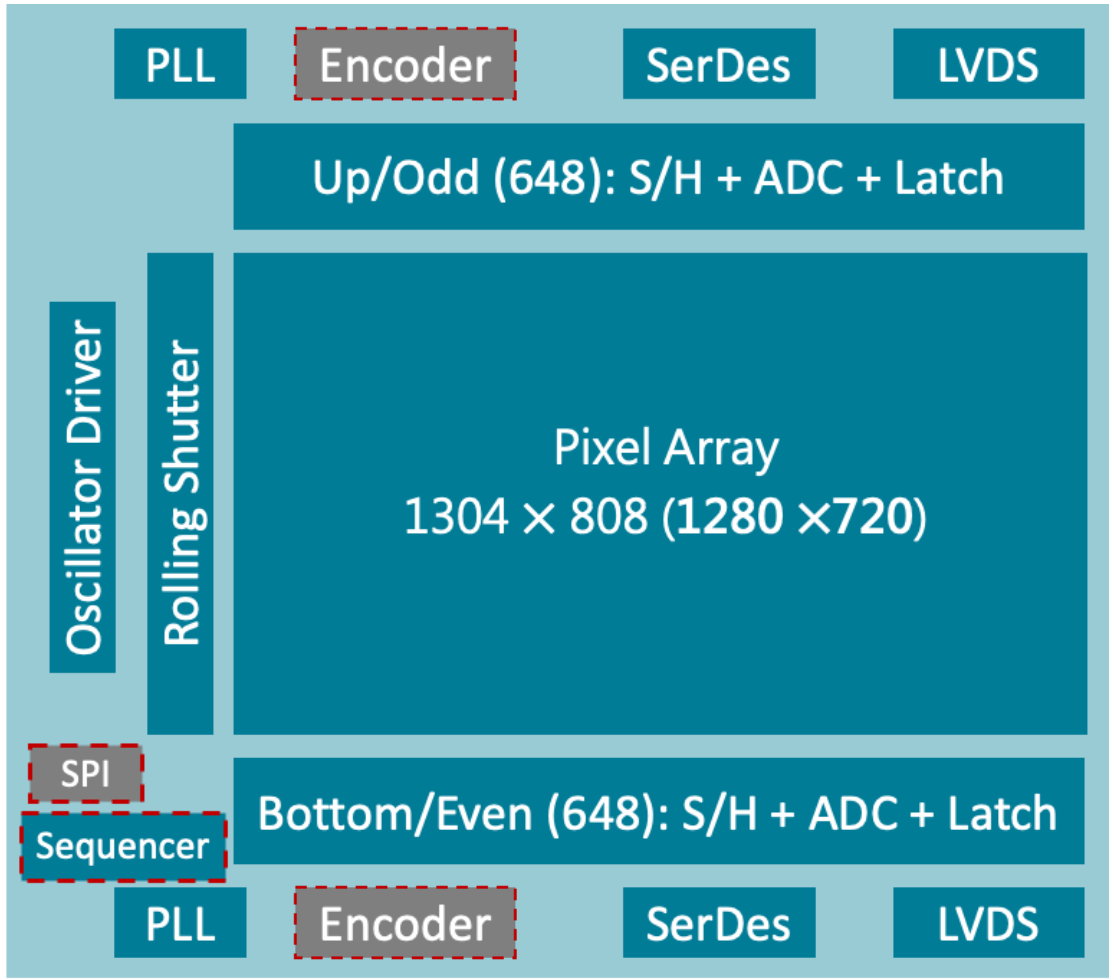
超高辐照总剂量（> 100 Mrad (SiO_2)）条件下，晶体管及电路性能变化较为复杂。尽管如此，**在500 Mrad时，输出电压偏离仍不超过3%。**为未来设计抗更高剂量的器件提供支撑。

ARTIS 2.0

结合ARTIS 1.0、多测试结构及MPW测试结果，优化设计ARTIS 2.0。

ARTIS 2.0

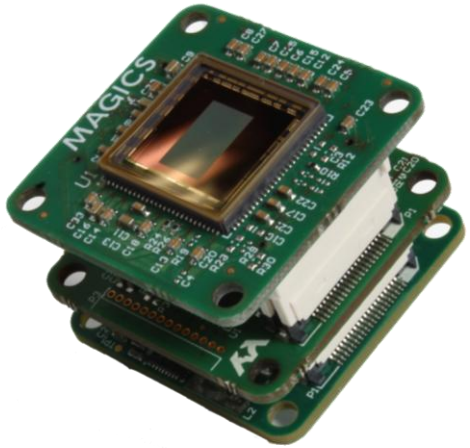
计划2027年上半年提交NTO



- 修改像素阵列中电源、地网络设计，实现图像稳定输出；优化芯片电源、地分割；
- 优化光电极设计及像素内晶体管设计，压低辐照前后暗电流水平；
- 优化ADC计数器设计，减少误反转；优化版图设计，提升静态参数指标；
- 修改编码器设计，调整数据格式，采用8b/10b编码；
- 优化PLL/SerDes/LVDS电路设计，增加晶振起振电路、温度监测电路（MPW验证）；

总结与展望

- 面向强辐照环境成像应用，研制抗100 Mrad（SiO_2）级CMOS图像传感器（ARTIS）。原型样片测试结果表明器件已经具备极强抗辐照性能，关键指标需要持续优化（ARTIS 2.0）。
- 通过测试结构拓展**辐照损伤机理**研究，建立宽剂量范围（至200 Mrad）内光电极辐照引起暗电流增加的预测能力，可用于未来光电极优化设计。
- 围绕提出的“**架构-电路-晶体管”多层级加固**思路，通过ADC、PLL、BGR等核心模块验证设计有效性，为后续电路加固设计提供指导。



从CMOS图像传感器（+详细的性能指标）到相机模块，还缺少抗辐照的电源芯片（DC-DC、LDO），传输芯片 → **“借用”对撞机预研器件**

致谢

- 感谢科大电子组对项目研究，特别是在测试系统研制方面给予的大力支持！

刘树彬、封常青、程渊斐、陈乾、汤松松、秦治臻、秦阳辉等