

面向先进气体探测器的 10 MSPS 高分辨率 TDC读出电子学架构设计



南京邮电大学

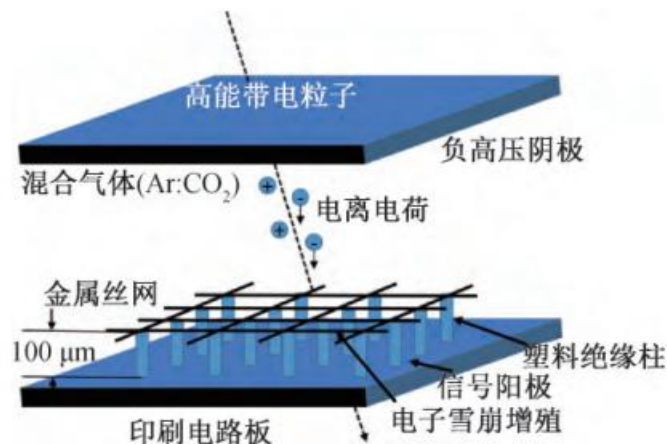
汇报人： 陈二雷 导师： 杨瑾屏

时间： 2026 年 7 月 24 日



研究背景

- 随着微结构气体探测器（如GEM、Micromegas等）在现代核与粒子物理实验中的规模化应用，读出通道密度的急剧增加对前端电子学系统提出了极其严苛的要求。



Micromegas探测器工作原理图^[1]

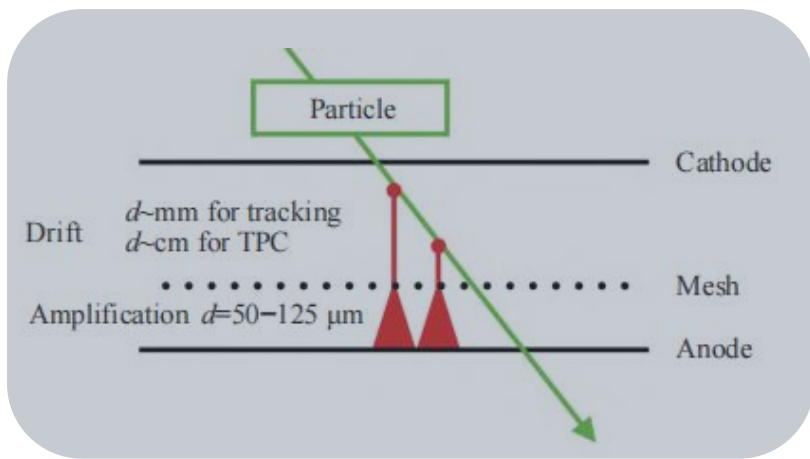
- 传统ADC特点

功耗	高
面积	大
通道集成	困难

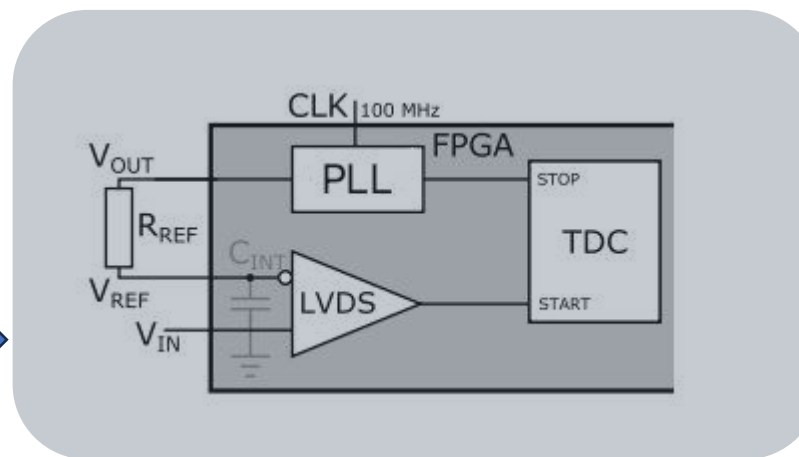
- 而Homulle构建的低温 1.2 GSa/s 软核 FPGA ADC^[2]有如下特点：

低温工作
可重构
可扩展

[1]周超,叶彦希,李哲旭,等.应用于中子探测的微结构气体探测器研究进展综述[J].核电子学与探测技术,2026,46(3)348-362.DOI:10.20173/j.cnki.ned.2026.0002.
[2] Homulle H , Visser S , Charbon E .A Cryogenic 1 GSa/s, Soft-Core FPGA ADC for Quantum Computing Applications[J].IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(11):1854-1865.DOI:10.1109/TCSI.2016.2599927.



阳极产生窄电流脉冲^[3]



连续读取脉冲具体时间并存储

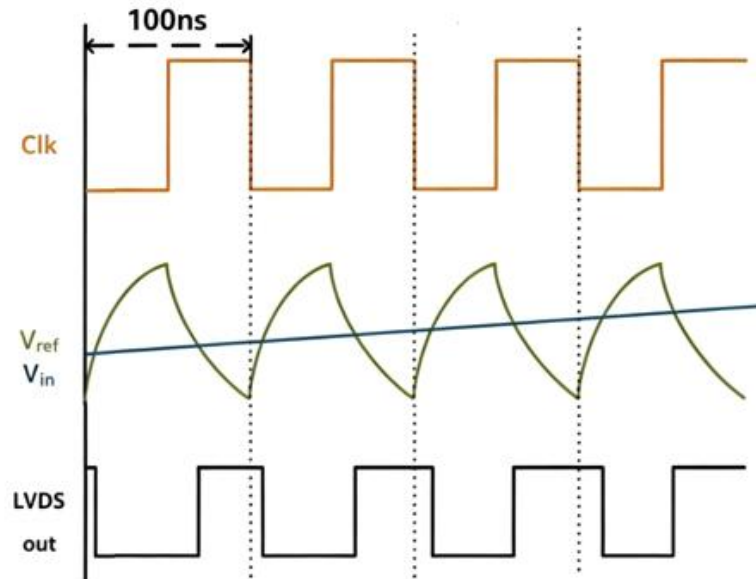
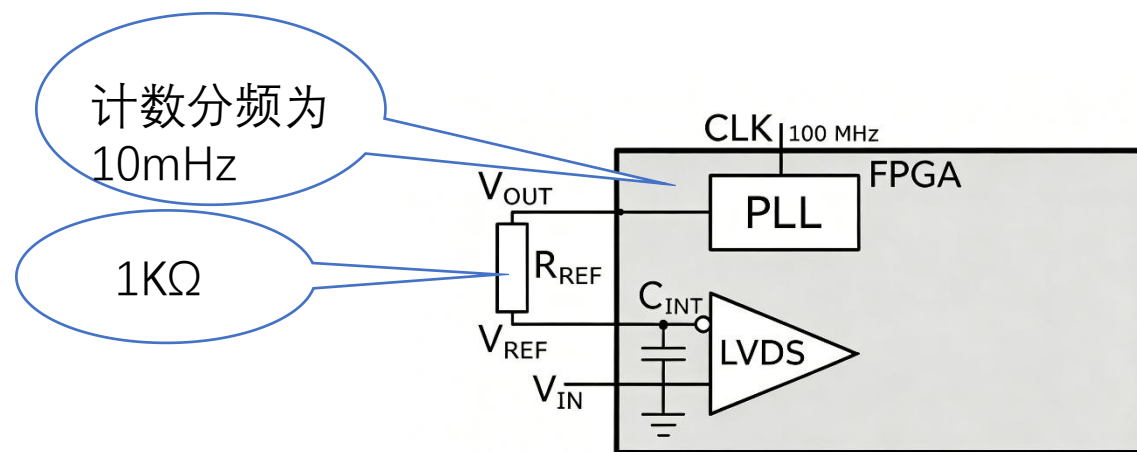


上位机处理数据

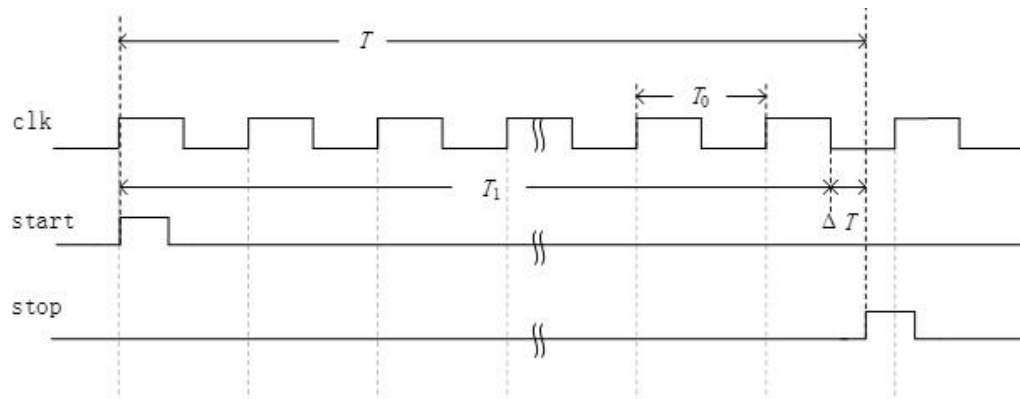
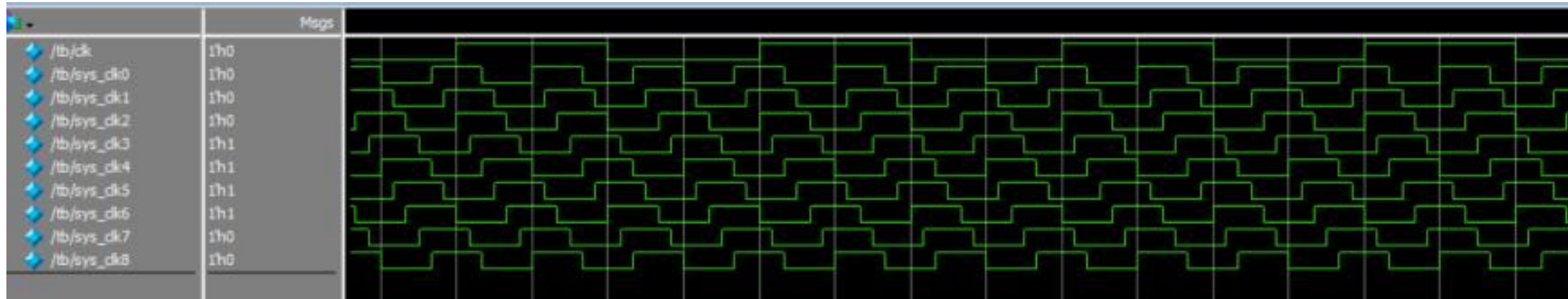
图片源自

[3]常嘉豪,吴子健,姜世博,等.气体探测器发展历程及现状[J].同位素,2025,38(6)608-617.

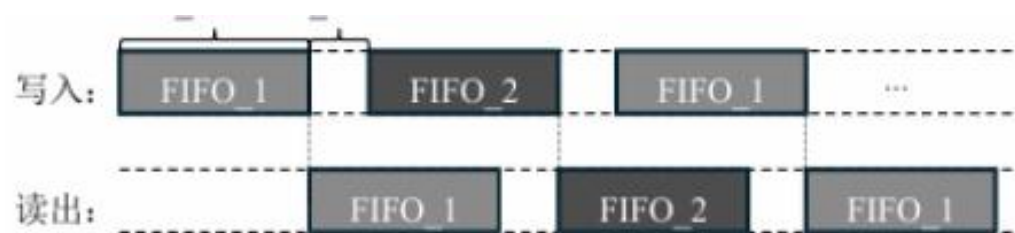
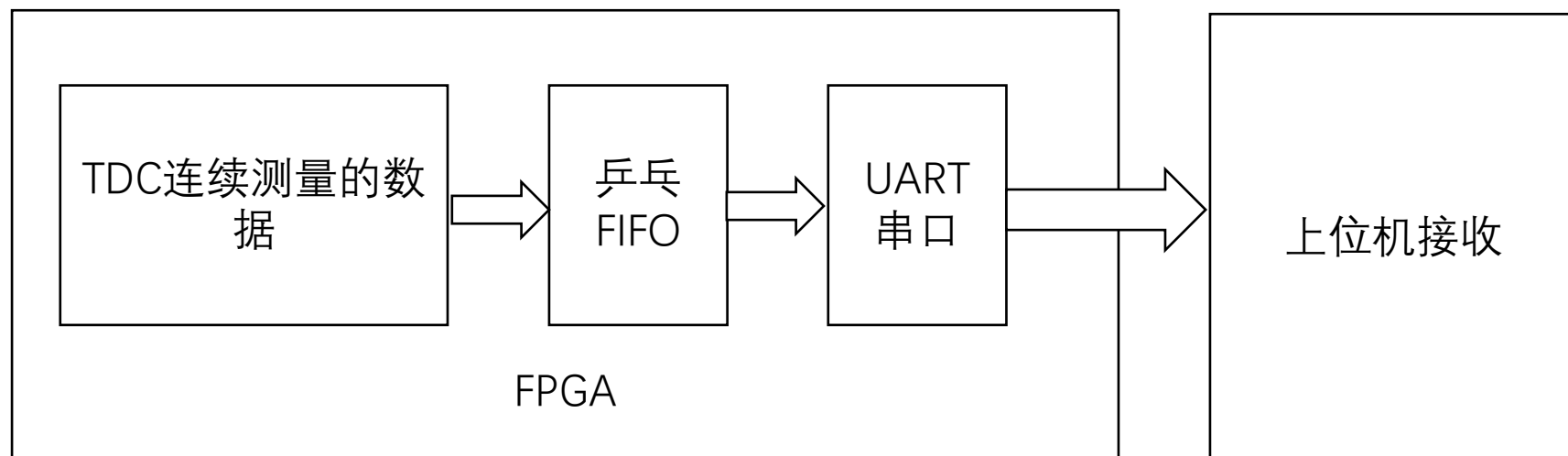
- 直接复用FPGA原生LVDS差分管脚作为比较器，将模拟脉冲转为数字信号，便于内部TDC读取具体时间
- 当端口P (V_{IN}) > 端口N (V_{REF}) 时，输出数字逻辑 1;
- 当端口P (V_{IN}) < 端口N (V_{REF}) 时，输出数字逻辑 0;
- 右下图为模拟信号转数字信号具体图像



- 利用FPGA内部锁相环生成不同相位的100MHz，将时间测量精度成功推进至 1.25 ns。



- 支持开始+结束信号或者单脉冲信号，本质都是计数，然后转换为时间。
- 脉冲上升/下降沿量化：由粗细双计数器分别高精度标定。粗计数器跟踪大周期，多相细计数器记录细微相位移段。
- 硬件解卷算法：在 FPGA Verilog 逻辑层，设计纯数字组合逻辑‘偏移量扣除树’，执行代数还原：
$$W_{\text{raw}} = (\text{粗计数器差值} \times 8) + P_{\text{start}} - P_{\text{stop}}$$
- 代价优化：无需传统DSP软核等算法，不占用多级时钟延时周期。仅在全硬件组合逻辑下，瞬间极速还原出真实物理电荷方波脉宽。



乒乓FIFO读写时序

➤ 乒乓 FIFO 架构优势

- 无丢失连续采集：降低单 FIFO 架构下串口发送阻塞导致的死区时间，使得单次测试可采集更多数据；
- 跨时钟域时序安全：两组异步 FIFO 分别完成时钟域隔离，配合前端三级同步抑制亚稳态传播。

➤ 下表为单通道TDC所消耗的硬件资源

资源类型	使用数量	资源总量	占用率%
FF	368	33840	1
LUT	402	24560	2
IO	6	226	3

➤ 下表为整个FPGA的功耗

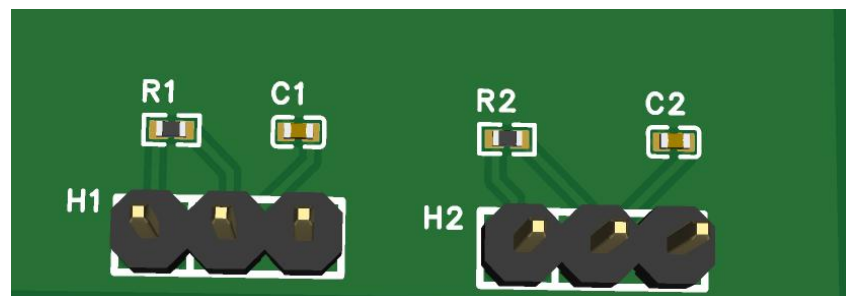
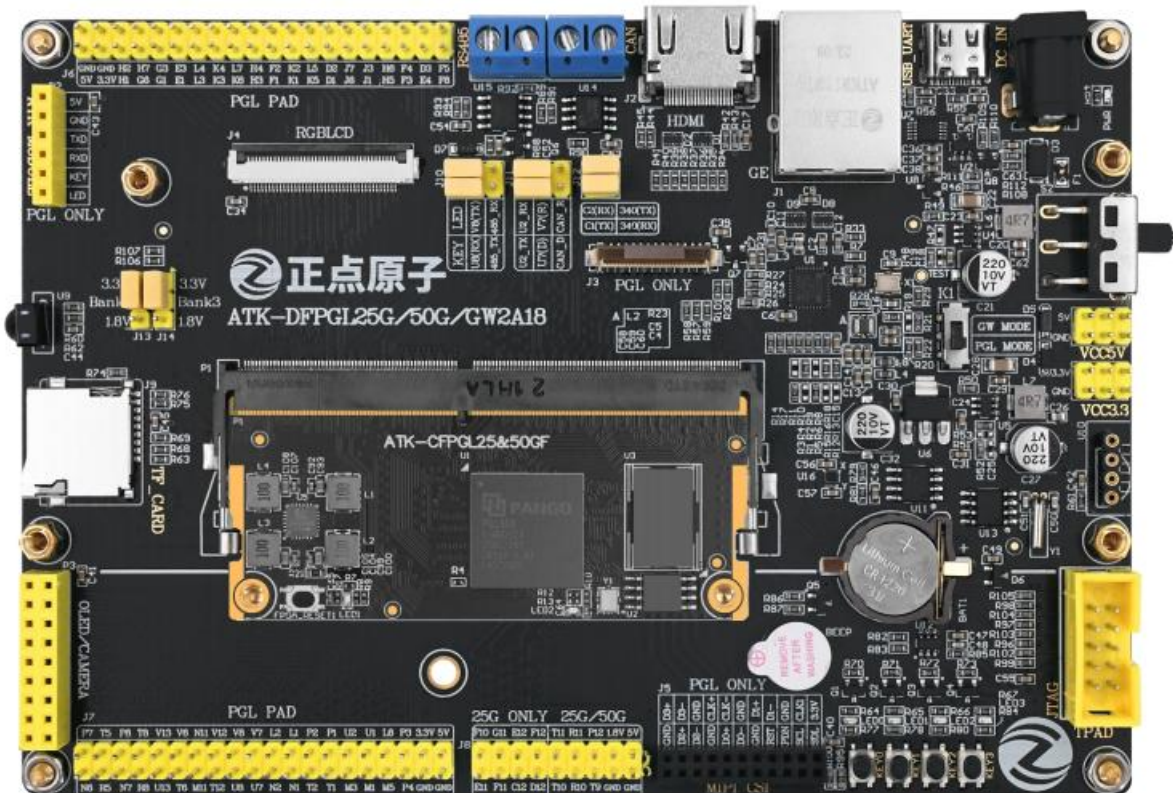
片上总功耗	静态功耗	动态功耗	功率裕量
0.13	0.057	0.073	6.43

➤ 下表为每个环节的功耗只考虑单个通道的功耗，即不考虑IO口和DRAM功耗，且折半算大致为0.02W

Clock	CLM	IO	DRAM	PLL	Net
0.013	0.002	0.01	0.02	0.018	0.006

初步测试及实物

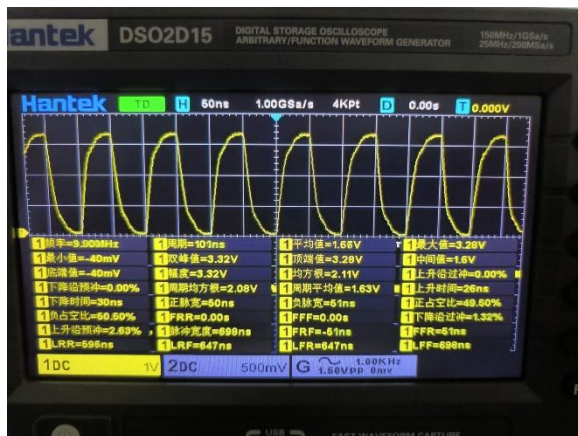
➤ 图为FPGA板卡以及外部RC回路PCB板



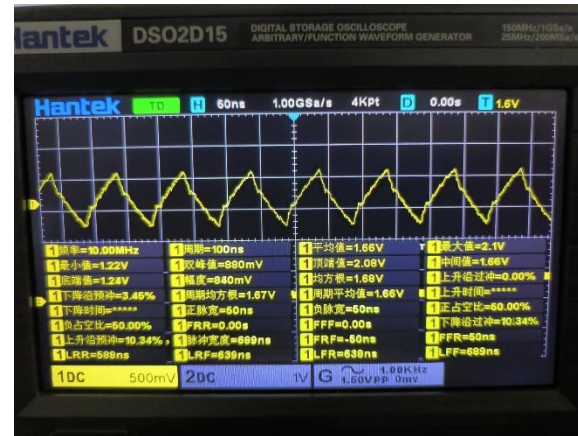
Logos系列 PGL50G板卡

初步测试及实物

- 图FPGA板卡输出的10MHz的驱动信号（中心幅度1.66V）

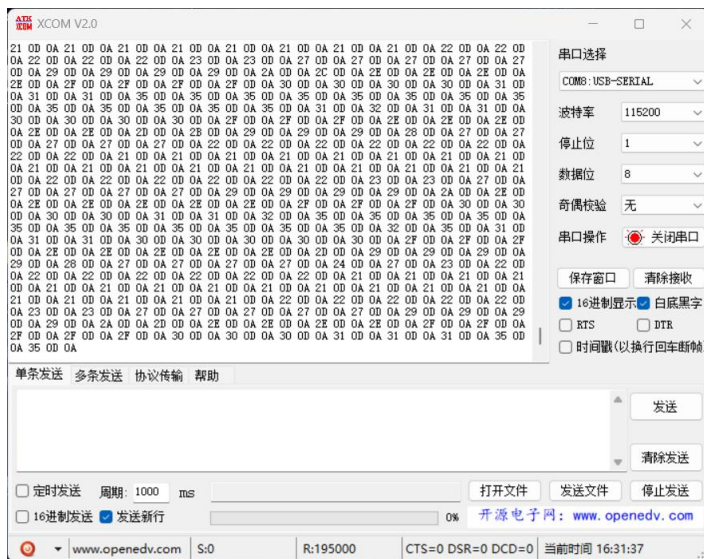


- 驱动信号经过RC回路后产生的用于比较的参考信号



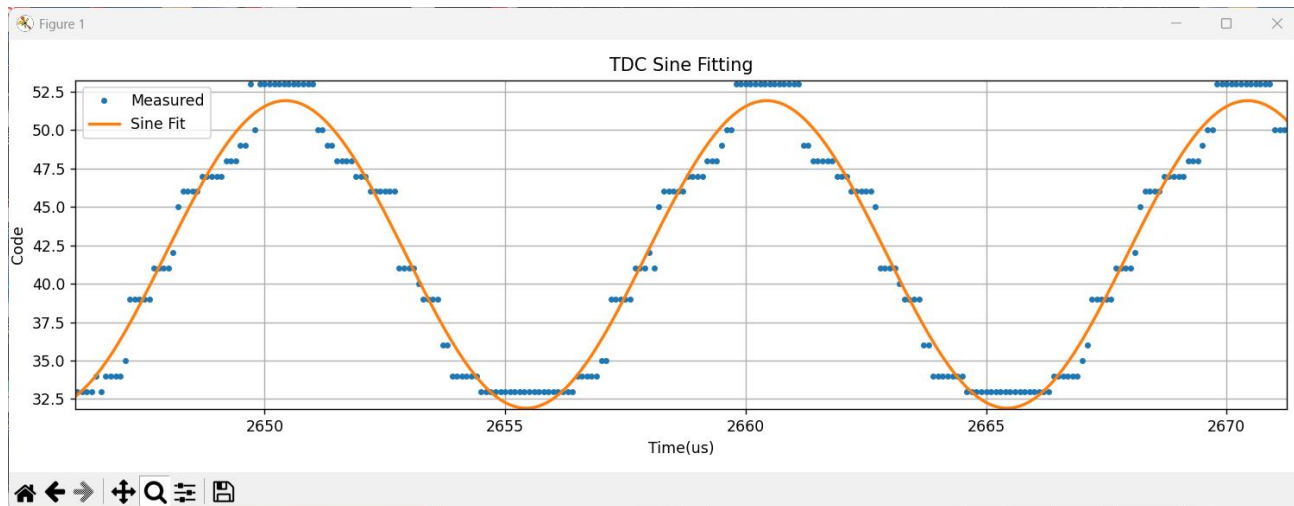
均值1.66V,
1.22V~2.1V

RC回路主要起一个低通滤波的作用，但是因为这个频率并不是很高，所以不用也是可以的（但是改进使用更高频率的驱动信号的话，是一定需要外围电路来滤除高频噪声的）



- 上位机接收数据页面，每次接收65000条数据，每条数据形式×× 0D 0A

- 输入信号：0.7VPP， 1.6V均值， 100KHz正弦波，基本接近比较信号边缘。（每100点为一个周期，共650个周期）



- 具体数据如下表

输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
100khz	10.003 code	41.903	1.1263 LSB	1.4ns	100.14khz

- 输入信号：0.5VPP， 1.66V均值， 100KHz正弦波。

输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
100khz	7.021 code	41.544	0.8471 LSB	1.058ns	999.91khz

- 输入信号：0.3VPP， 1.66V均值， 100KHz正弦波。

输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
100khz	4.885 code	42.517	0.8189 LSB	1.023ns	100khz

- 输入信号：0.3VPP， 1.62V均值， 1mHz正弦波。

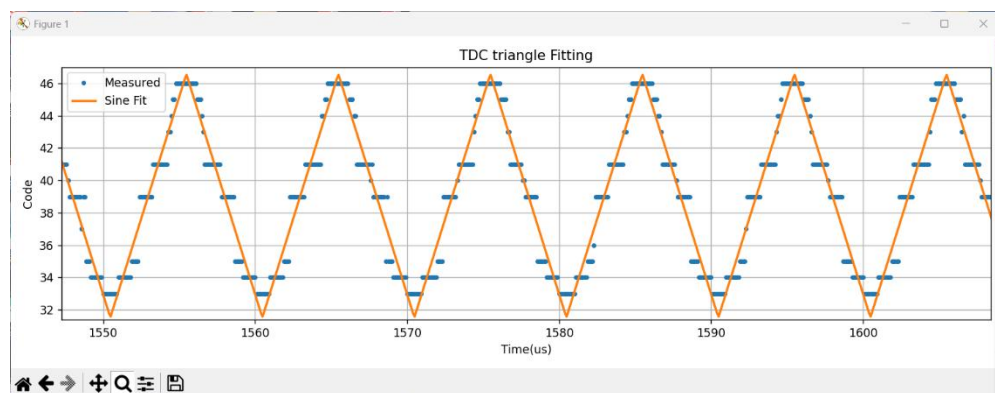
输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
1mhz	7.487 code	39.181	1.12 LSB	1.403ns	1mhz

- 输入信号：0.5VPP， 1.66V均值， 100KHz三角波。（信号发生器三角波频率最高100khz）

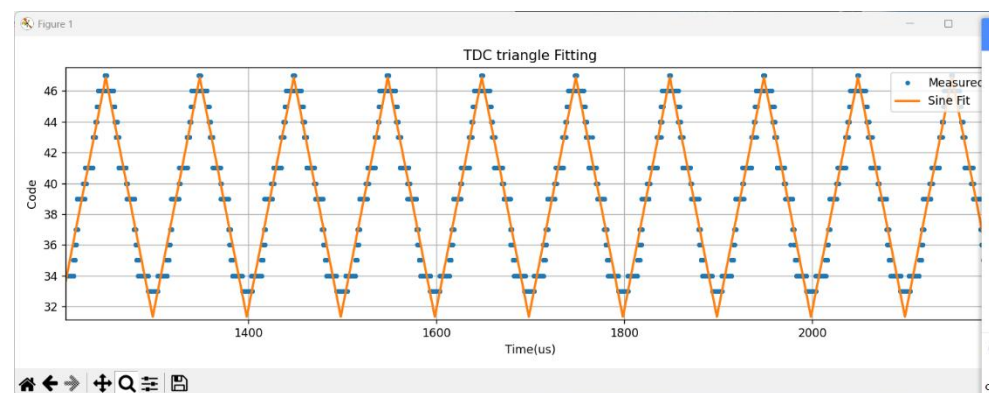
输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
100khz	7.525 code	39.049	0.9591 LSB	1.198ns	100khz

- 输入信号：0.5VPP， 1.66V均值， 10kHz三角波。

输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
10khz	7.783 code	39.099	0.8653 LSB	1.081ns	10khz



100khz三角波



10khz三角波

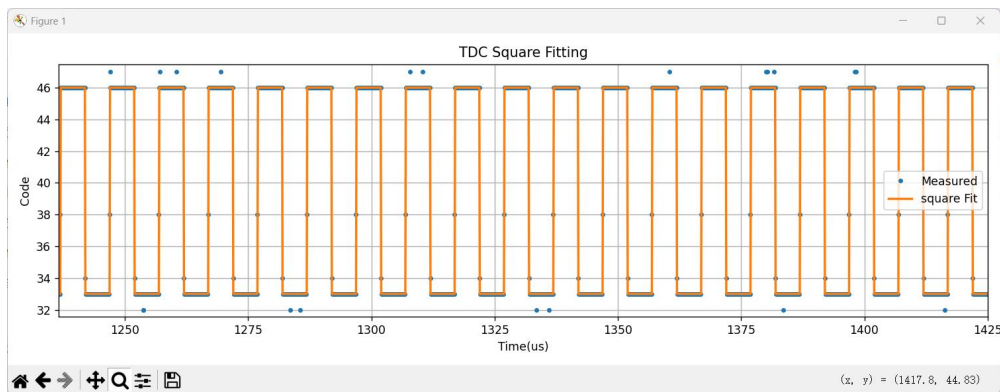
初步测试

➤ 输入信号：0.5VPP， 1.66V均值， 100KHz方波。

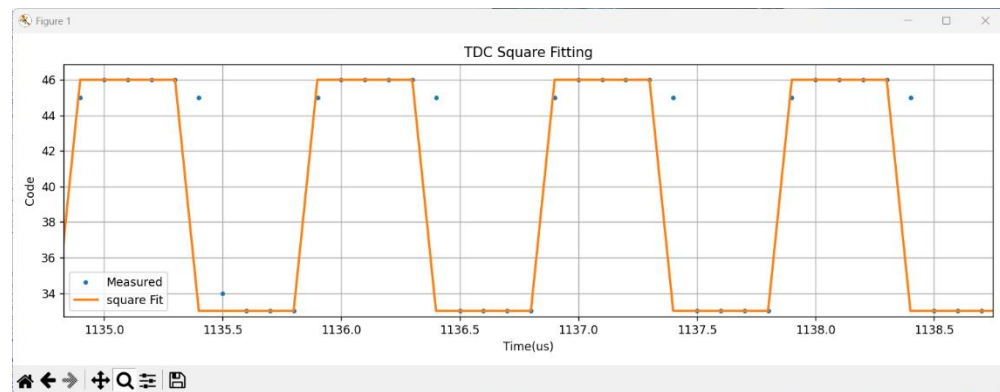
输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
100khz	6.5 code	39.5	0.5760 LSB	0.72ns	100.4khz

➤ 输入信号：0.5VPP， 1.66V均值， 1mHz方波。

输入频率	相位	偏移 (code)	RMS Noise	RMS Jitter	计算频率
1mhz	6.5 code	39.5	1.7179 LSB	2.147ns	1mhz



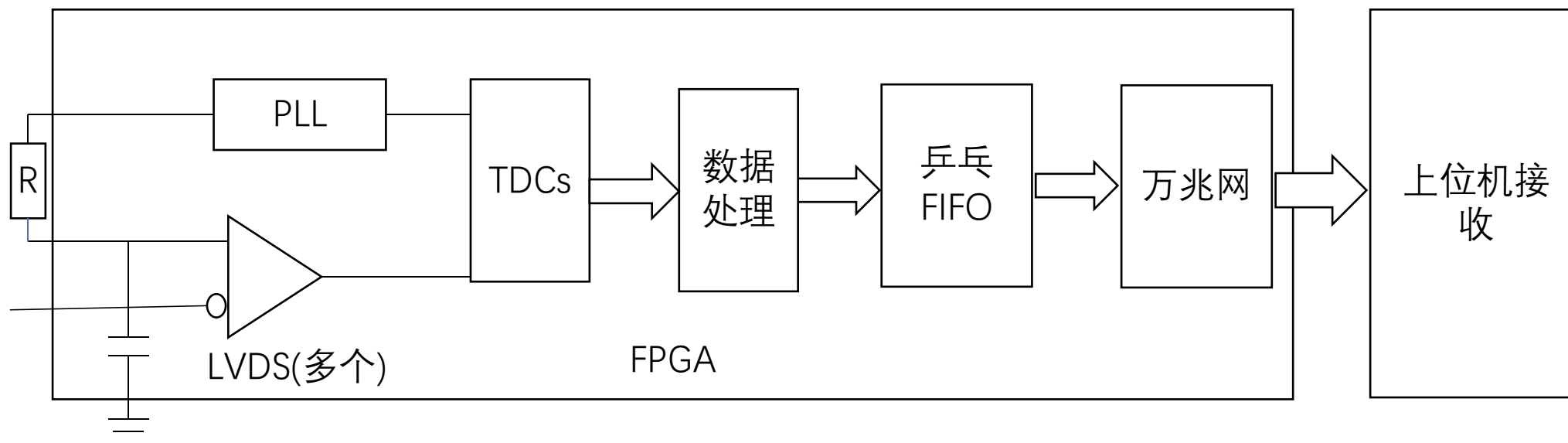
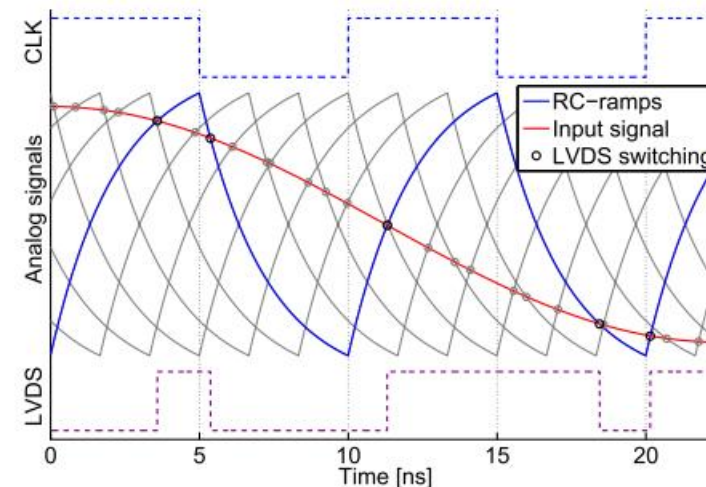
100khz方波



1mhz方波

➤ 未来计划

- 增加不同相位的驱动信号，使得参考信号有更多不同相位，使得每个周期内相遇次数增多，增加可靠性
- 将UART串口用万兆网替代，使得能够持续输出测试的信号
- 增加TDC测量的结果与待测波形之间的实际映射关系，得到物理世界真实的数据
- 直接在FPGA内部处理TDC数据，上位机只需接受最终有效数据
- 增加TDC通道数，支持多通道采集



- 完成了一种基于 FPGA 多相时钟的高分辨率 TDC 读出电子学设计，实现了 10 MSPS 连续数据采集。初步测试表明：
 - 理论时间分辨率 (LSB) 可达 **1.25 ns**
 - 实测时间抖动 (RMS Jitter) 优于 **2 ns**
 - 单通道硬件资源占用极低，天然具备低功耗、易大规模通道扩展的优势
 - 输入信号频率测量误差较小。
- 后续将解决后续将继续优化参考信号，替换万兆以太网高速数据接口，完成多通道阵列扩展，并开展与实际气体探测器的联调验证。

THANKS

感谢各位专家的意见！



南京邮电大学

