



基于ATCA的模块化系统 及其在MPGD读出的应用

梁起铭^{a,b}, 陈凯^{a,*}, 李昕^b, 赵宇翔^{b,*}

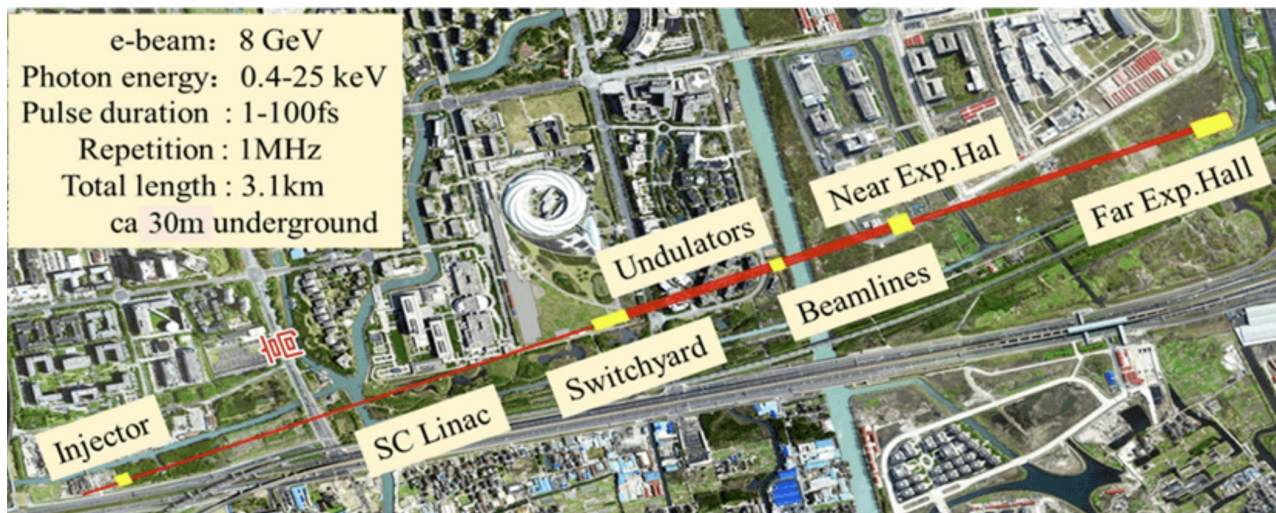
^a华中师范大学

^b近代物理研究所

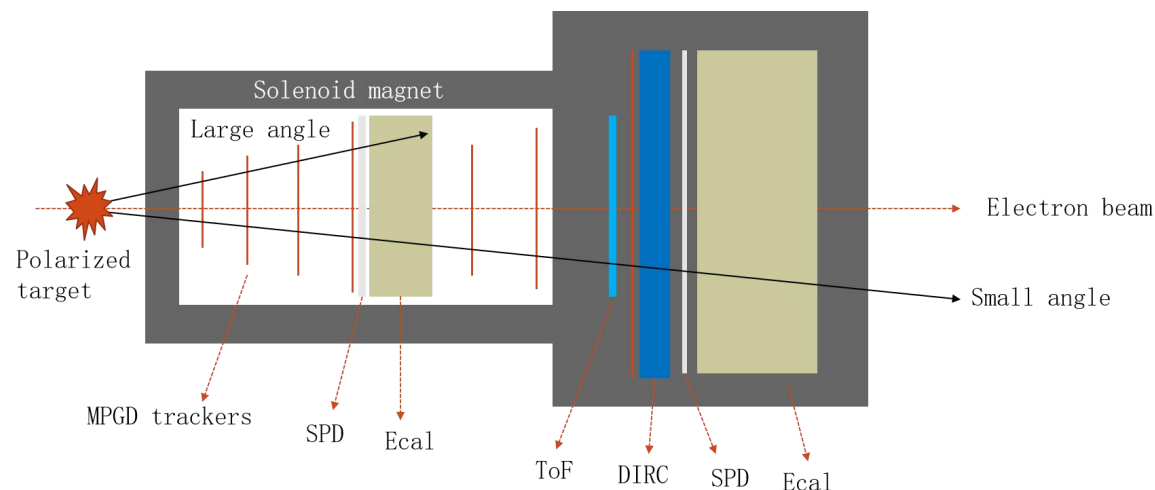
2026年7月

背景

SHINE装置俯瞰规划图



DIS experiment in China



❑ 电子打靶实验：末态粒子为强子和散射电子（径迹测量和PID）

❑ 7 Disk $\times$ 30 Sector $\times$ 2000 Channel, ~ 420000 Channel

进行2000通道读出系统原型样机研究

系统需求分析

□ 模块化可扩展

➤ 前端方案多样性

- 性能各异的读出芯片
- 前后端多种的信号传输方式

➤ 为其他探测器读出提供硬件复用条件

➤ 优势

- 通用后端硬件，降低成本
- 通用后端传输的固件和软件，减少开发时间

□ 前端要求

➤ 噪声水平 <1 fC

➤ 动态范围 >200 fC

➤ 系统触发率： >1 kHz (未来可能需要提高数十倍)

➤ 探测器连接器间距限制

- 前端板宽度 (128通道) < 5 cm



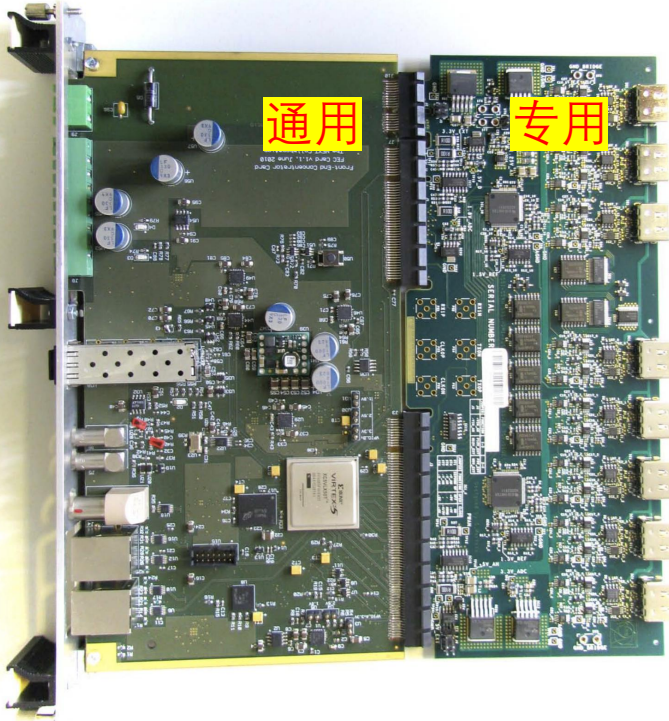
内容

- 模块化系统
- MPGD读出原型样机
- 总结

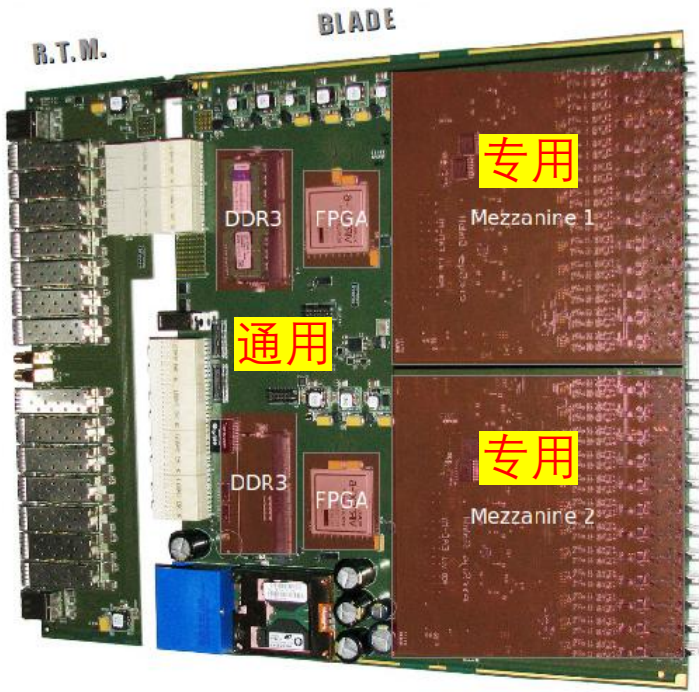


SRS模块化读出系统

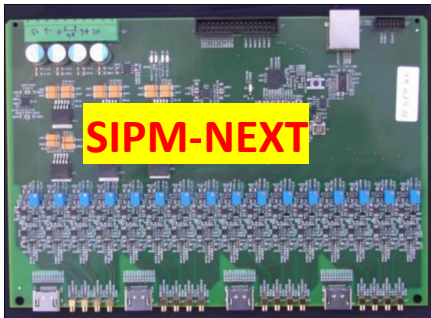
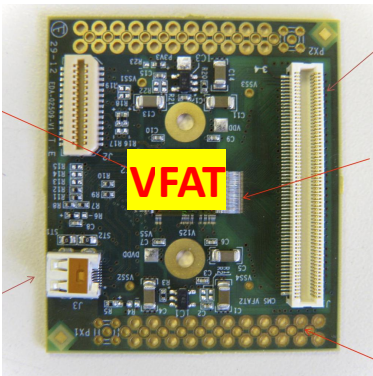
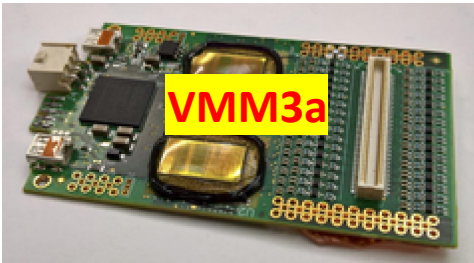
SRS



ATCA-SRS



前端板



- ❑ SRS (RD51)
 - 在国外应用广泛
 - 性能相对落后



ATCA系统的广泛应用

□ ATCA系统

- 尺寸大
- 单板可支持的最大功耗高
- 工业标准的散热与冗余设计
- 广泛应用于数据读出和触发系统



DAQ

ITER

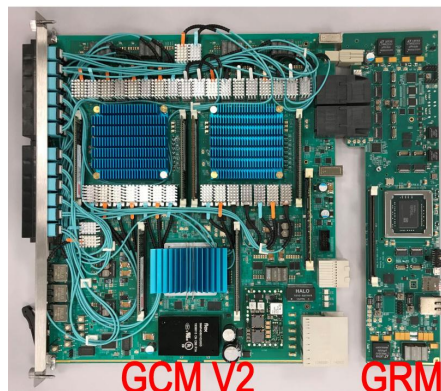


CMS DTH

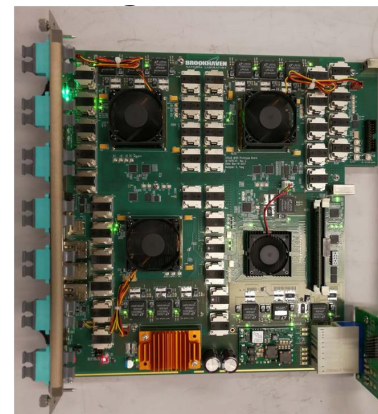


ATLAS触发系统

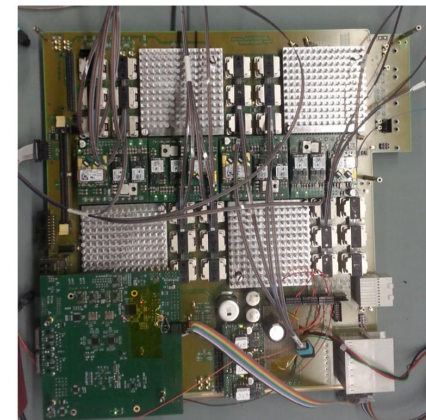
GCM&GRM



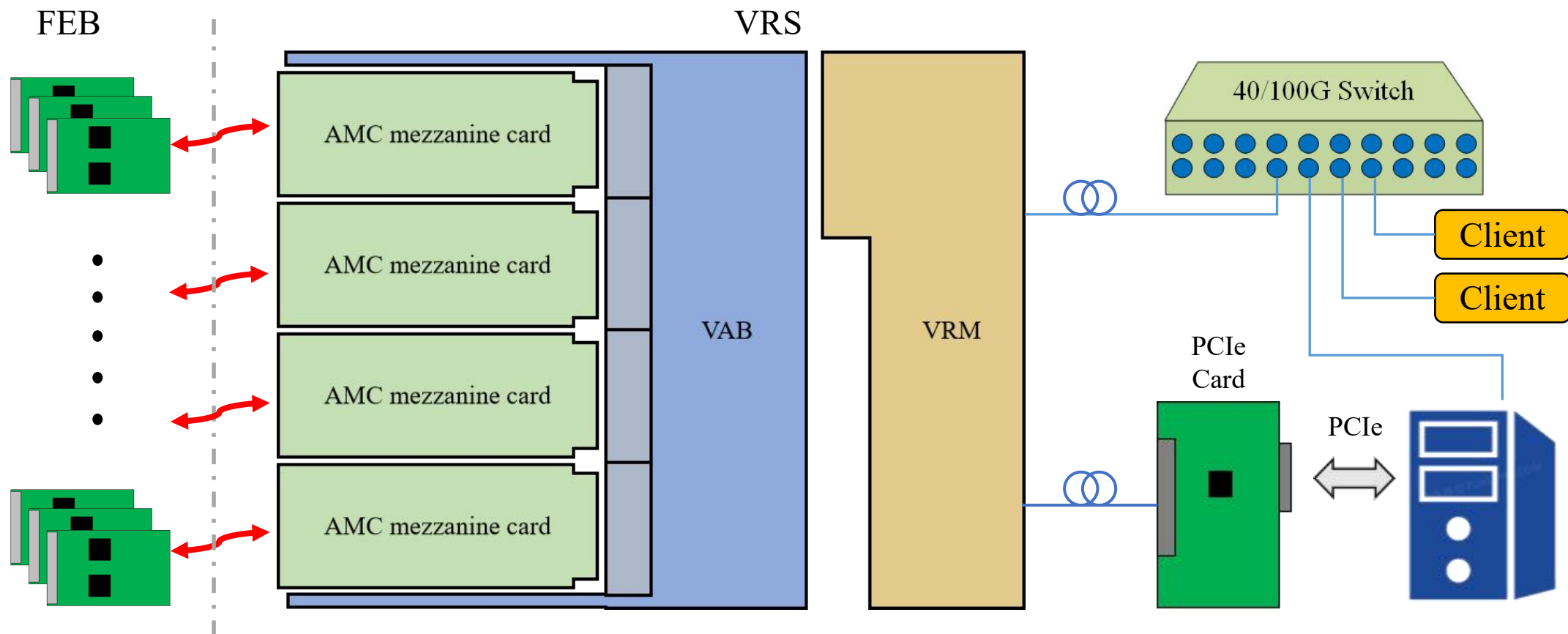
gFEX



jFEX



整体框架

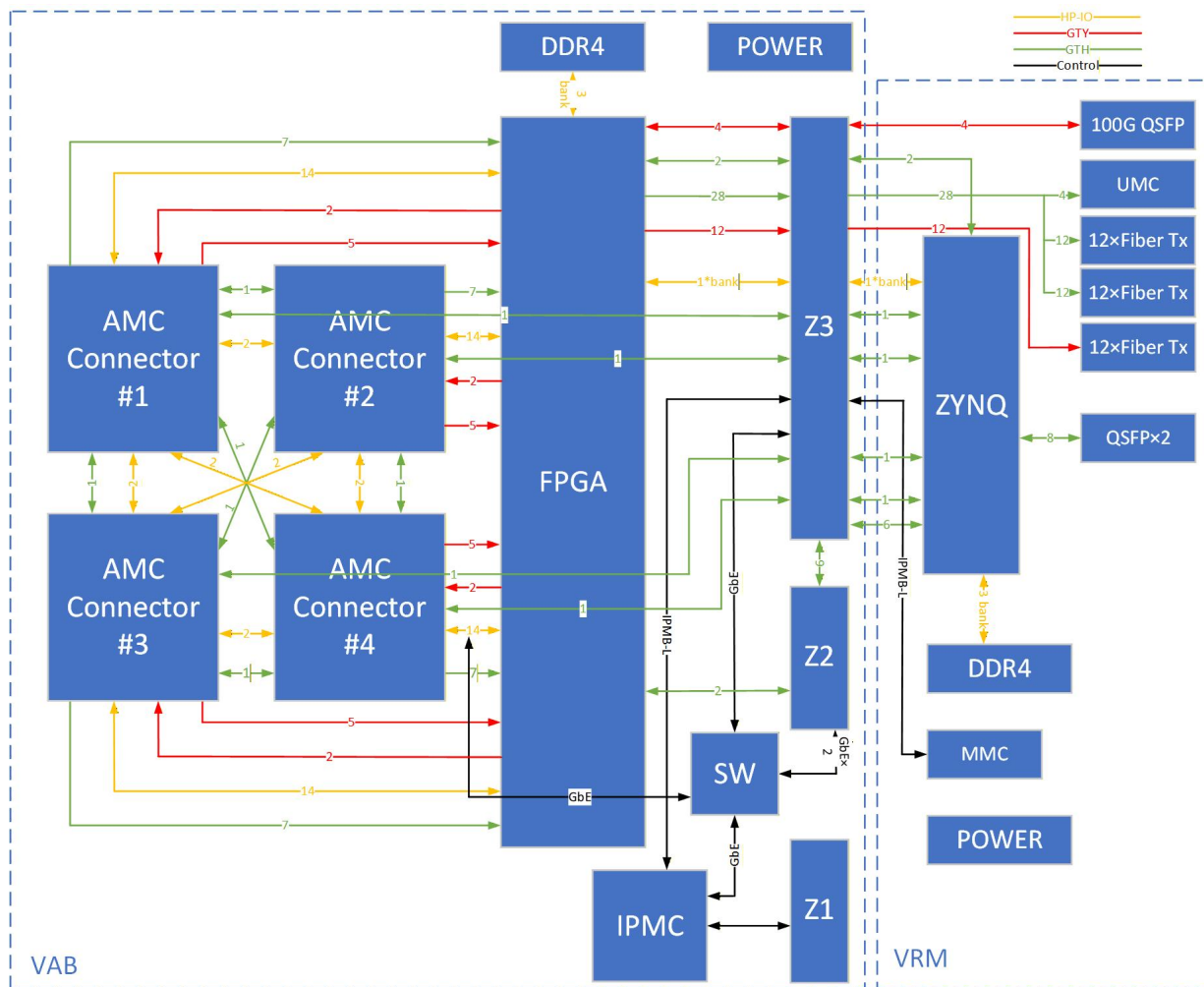


❑ VRS : Versatile Readout System

❑ VAB : Versatile ATCA Blade

❑ VRM : Versatile Rear transition Module

VRS硬件



❑ VAB—KU15P FPGA

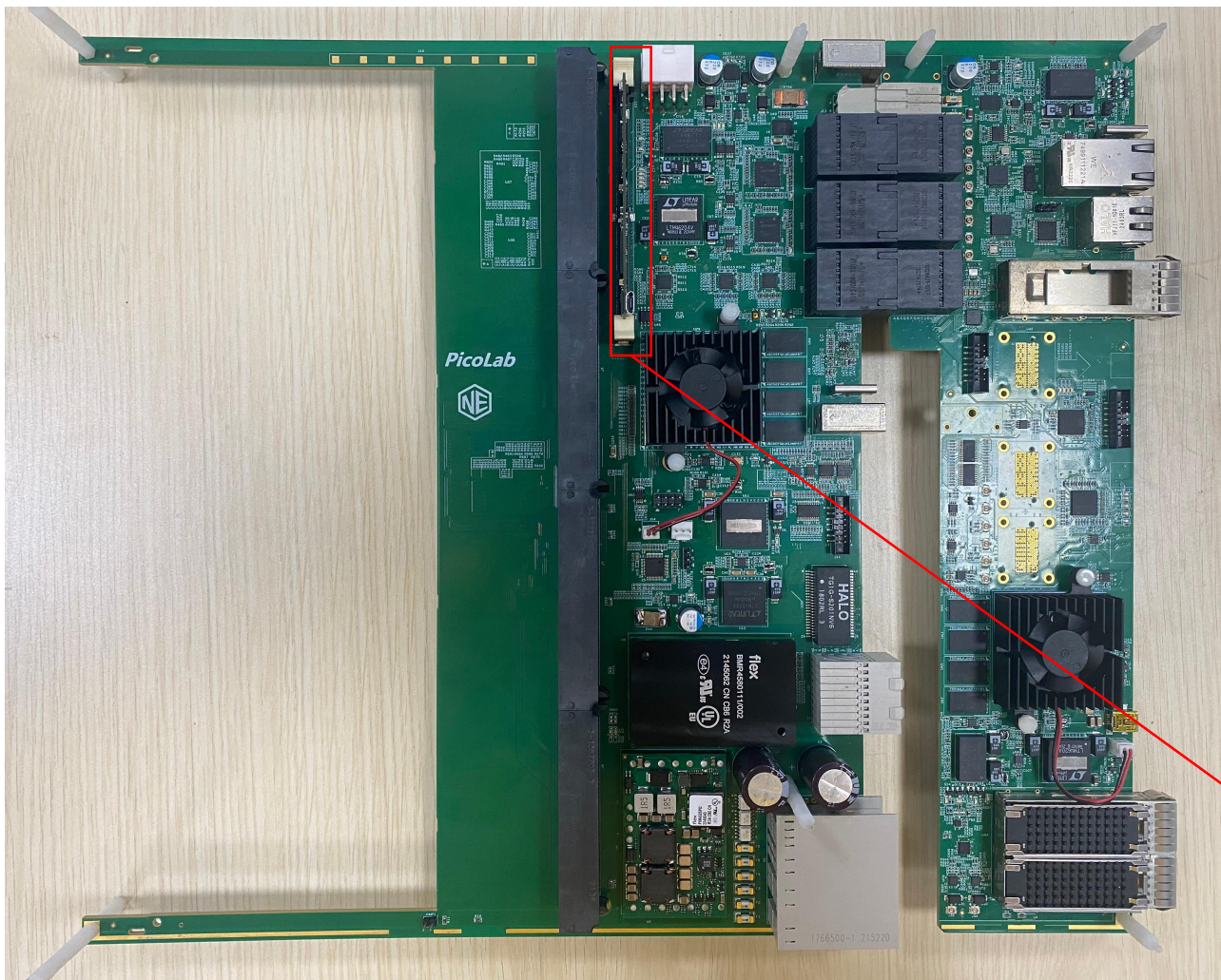
- AMC: 28 GTH RX; 20 GTY RX; 8 GTY TX
- VRM: 24 GTH TX; 12 GTY TX; 4 GTY for 100G RDMA
- ZYNQ: 2 GTH
- Zone2: 2 GTH
- UMC: 4 GTH TX

❑ VRM—ZU9EG FPGA

- AMC: 4 GTH
- Zone2: 6 GTH
- QSFP: 8 GTH

❑ AMC间具备高速链路直接通信

VRS硬件



❑ VRS

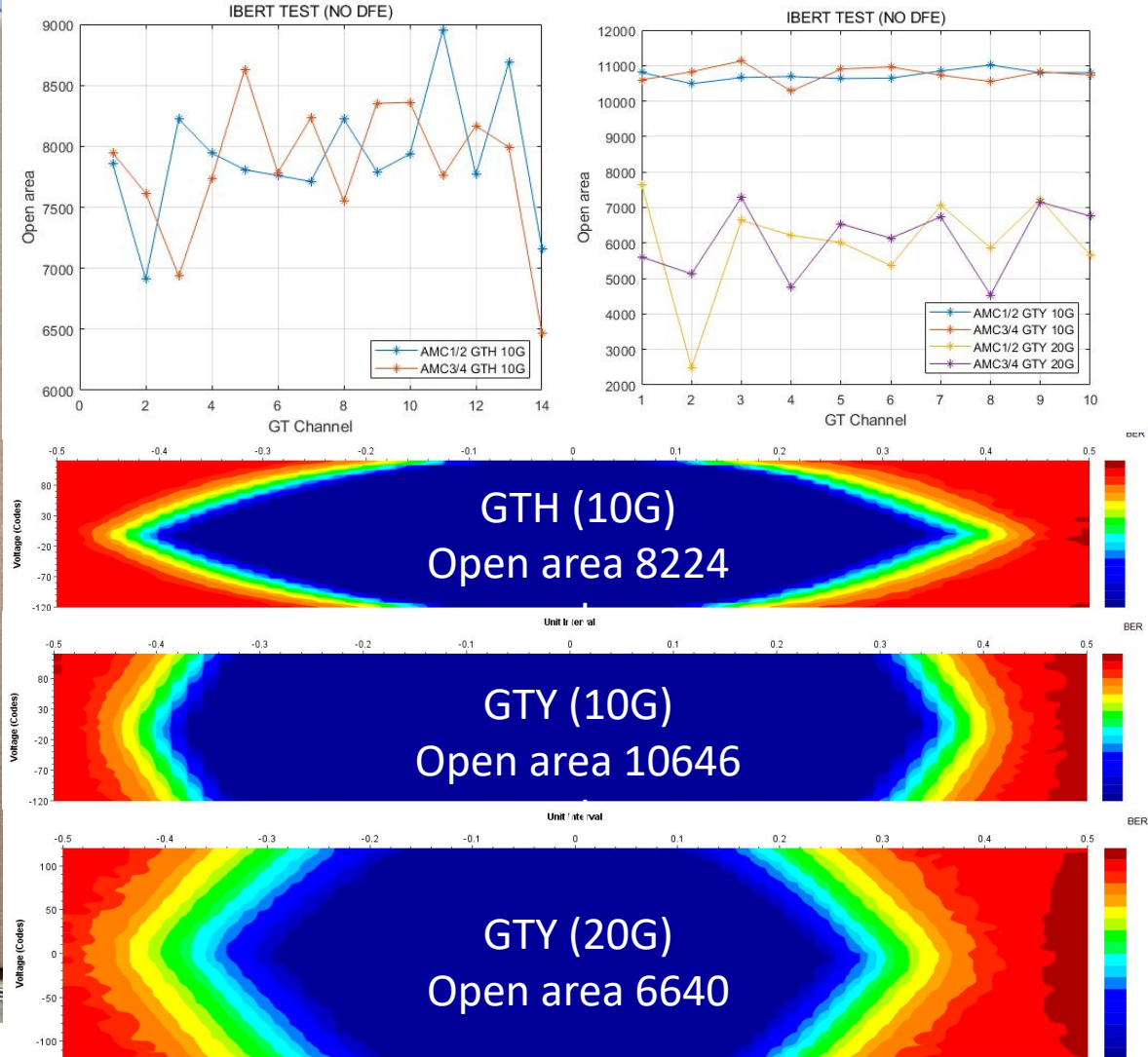
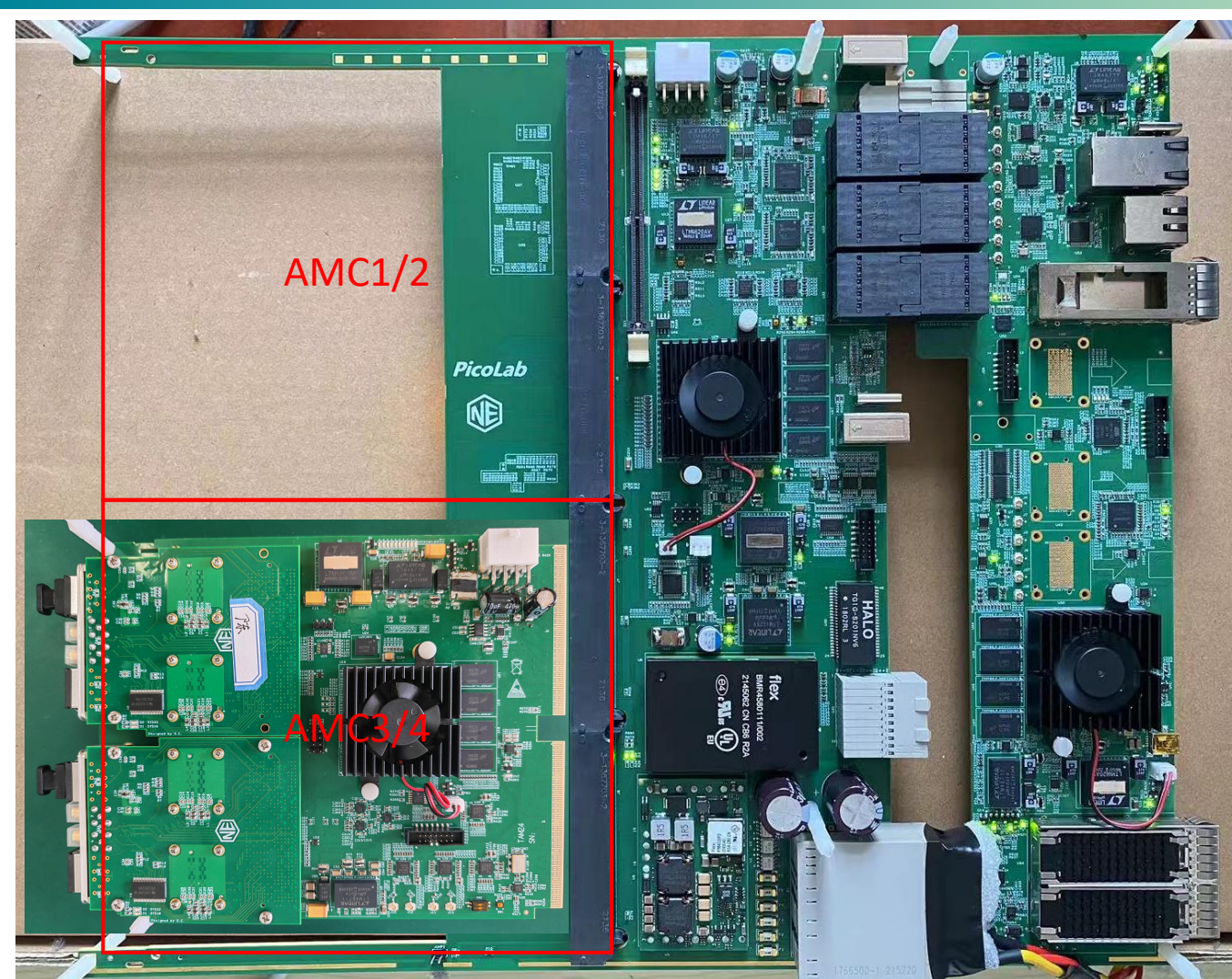
- VAB PCB: 20 层
- VRM PCB: 18 层
- TU933+

❑ IPMC (OpenIPMC)

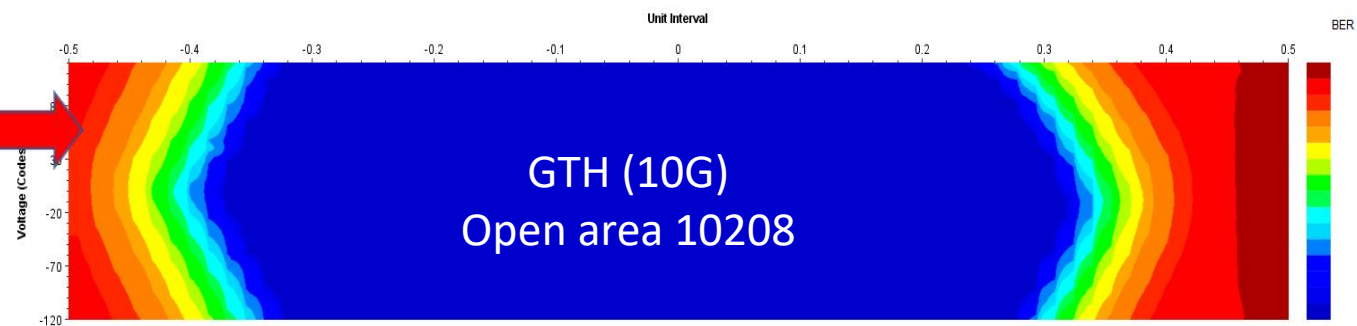
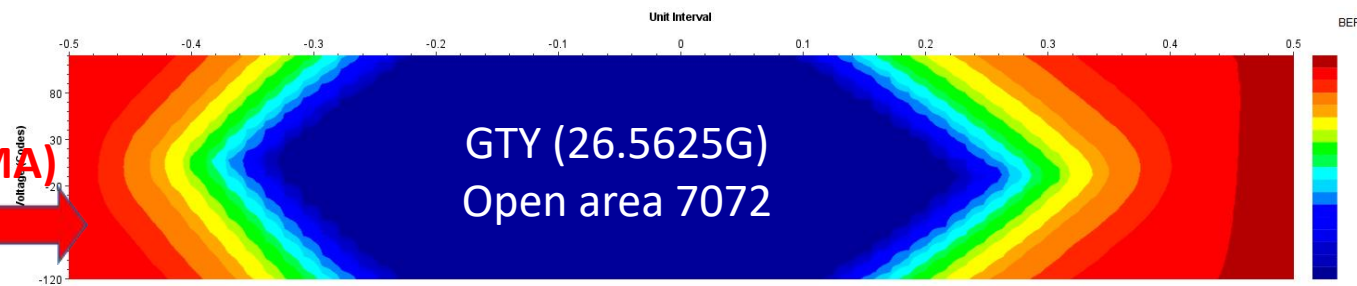
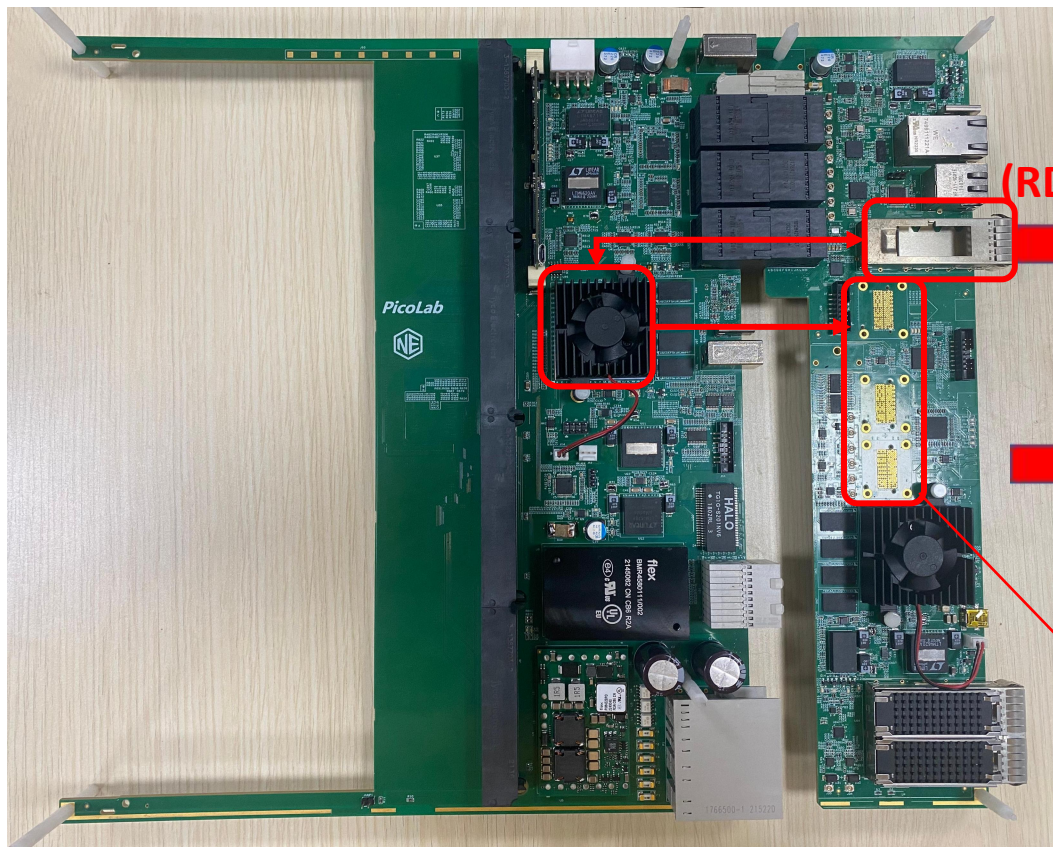
- 连接至机箱IPMB总线
- 用于系统慢控和监控
- 主要功能已完成验证



AMC高速链路性能测试（VRS应用于触发系统）



QSFP与光发送模块链路性能测试



- 国产光模块
 - 支持12路收发
 - 单通道最大速率10.3125 Gbps

内容

- 模块化系统
- MPGD读出原型样机
- 总结



前端电子学

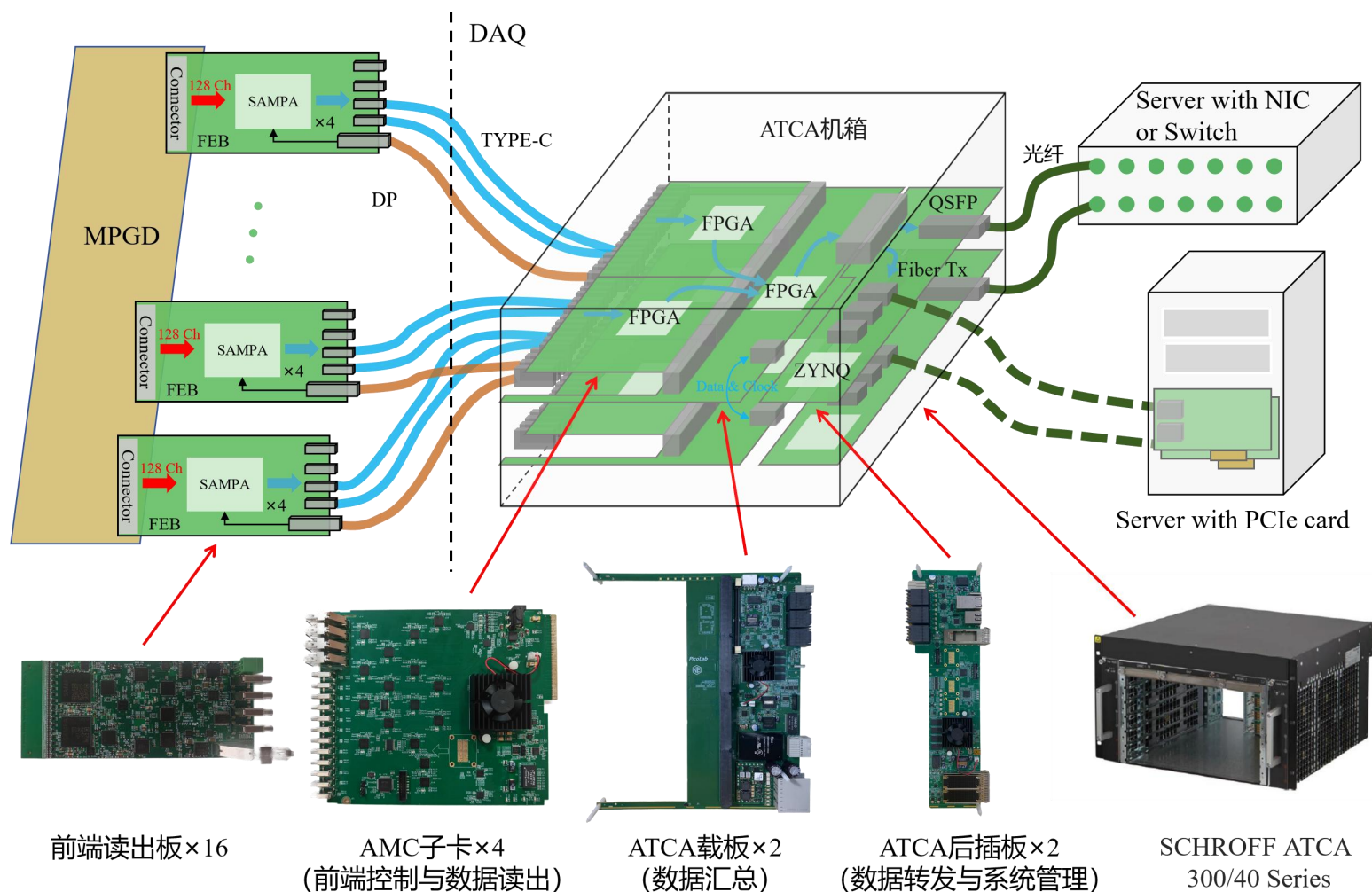
❑ SAMPA芯片

- 动态范围：满足需求且可配置
- 读出模式：
 - 读出接口可编程
 - 可根据触发率灵活选择接口数
 - 支持无触发模式
 - >8 kHz (1000 sample/trigger, 10MSps)
 - >80 kHz (100 sample/trigger, 10MSps)
 - 窗口减小情况下可支持更高事例率，但可能会引入基线堆积
- 在ALICE TPC得到应用，为sPHENIX TPC、CEE TPC等实验提供参考

参数项	取值范围
供电电压	1.25V
通道数	32
输入信号极性	正/负
整形时间	160ns/300ns
动态范围	500fC/100fC/67fC
前放增益	4mV/fC, 20mV/fC, 30mV/fC
等效噪声电荷	<950e@40pF
非线性 (CSA+Shaper)	<1%
ADC 有效输入范围	2Vpp
ADC 精度	10bit
ADC 采样频率	5MSps/10MSps/20MSps
ADC 积分非线性	<0.65LSB
信噪比和失真	57dB
功耗 (CSA+Shaper)	6mW
功耗 (ADC)	2mW@10MSps/4mW@20MSps

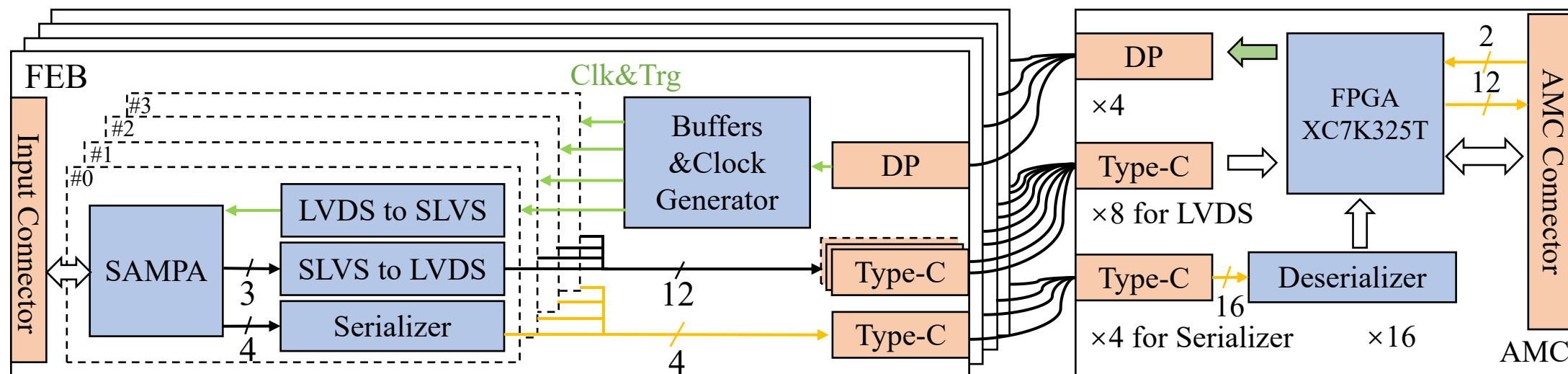


2000通道原型样机设计



- ❑ ~2000通道MPGD读出系统原型样机
- ❑ 电信号传输
 - 相较光传输结构更简单
- ❑ 前后端DP和TYPE-C线连接
 - 防止误插
 - 常见且价格较低
- ❑ 双宽AMC子卡
 - 比单宽子卡面板空间利用率高

前端板与AMC子卡

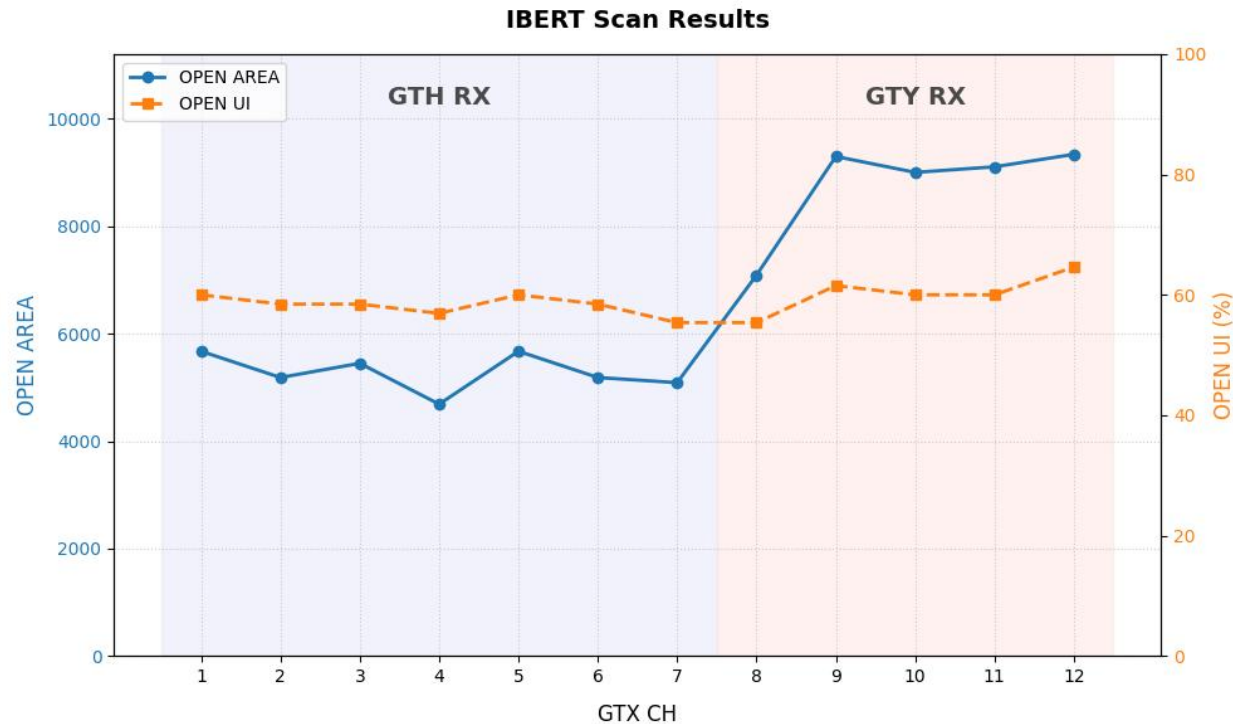
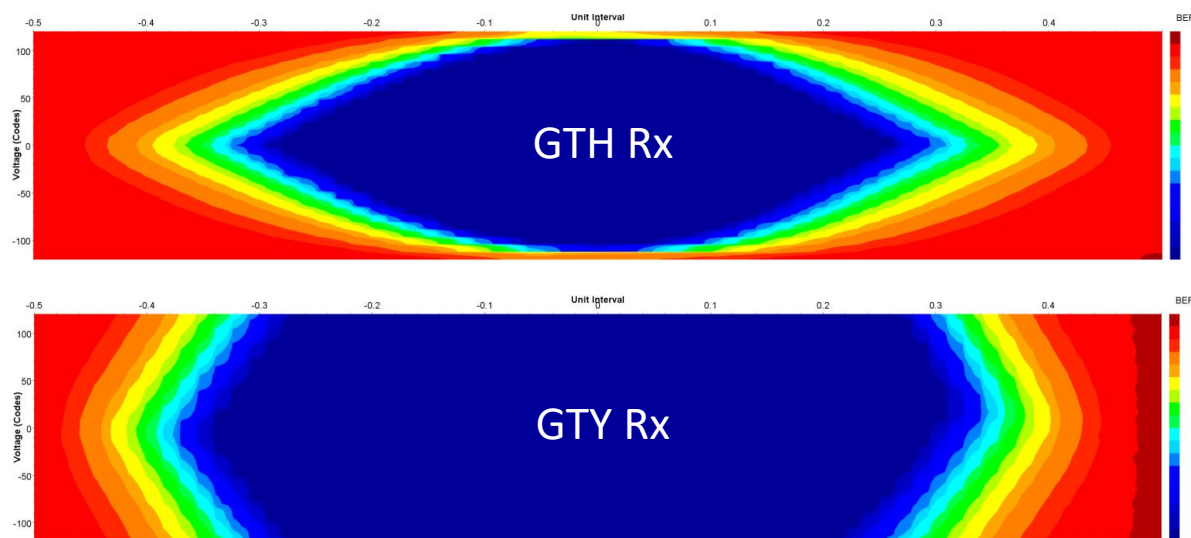


- ❑ DP
 - ClkSO、ClkADC、ClkBX、Trg、Bx_sync_trg
- ❑ Type-C
 - Serializer links
 - LVDS links
- ❑ 剩余端口用于IIC

- ❑ 触发率
 - 以32 Sample/Trigger计算
 - 每个脉冲信号的宽度为5 sample

	1 TYPE_C/FEC	2 TYPE_C/FEC	3 TYPE_C/FEC
触发率	~105 kHz	~130 kHz	~160 kHz

AMC子卡与VAB间高速链路性能测试

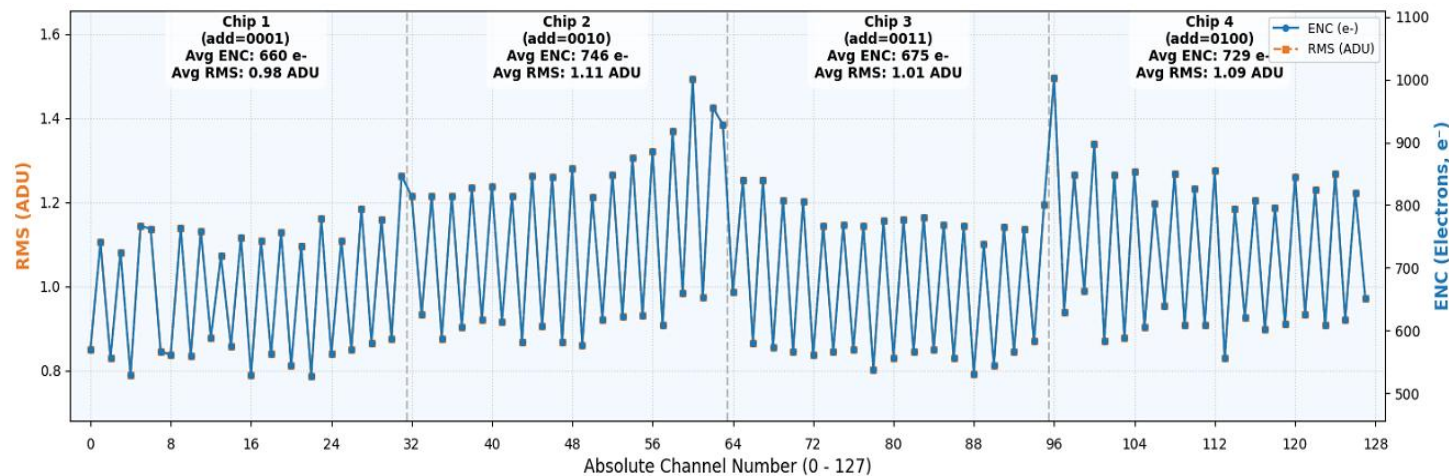
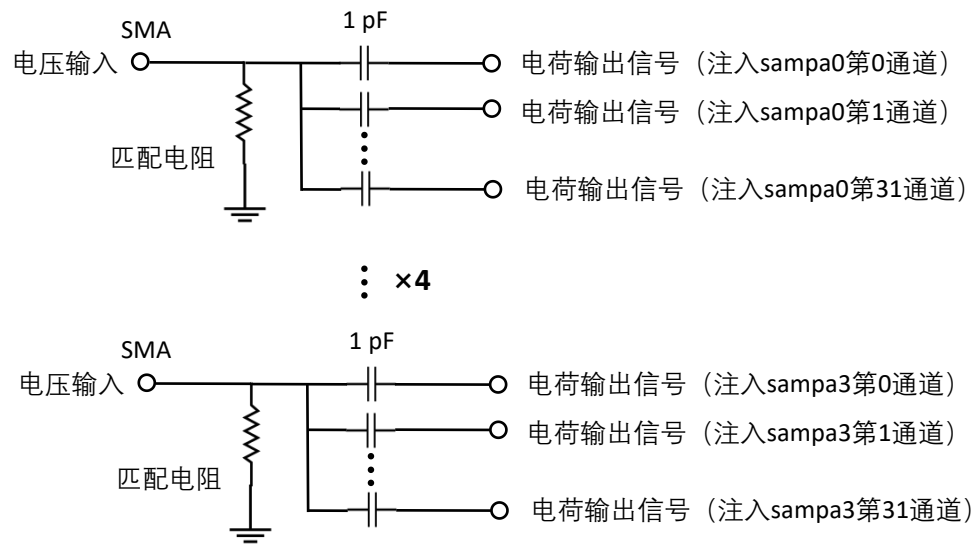


- ❑ AMC卡采用普通FR4材料
- ❑ 在10 Gbps速率下眼图质量均表现良好
 - 眼图质量差异主要取决于接收端（GTH/GTY）



前端电子学性能测试

注入板原理图

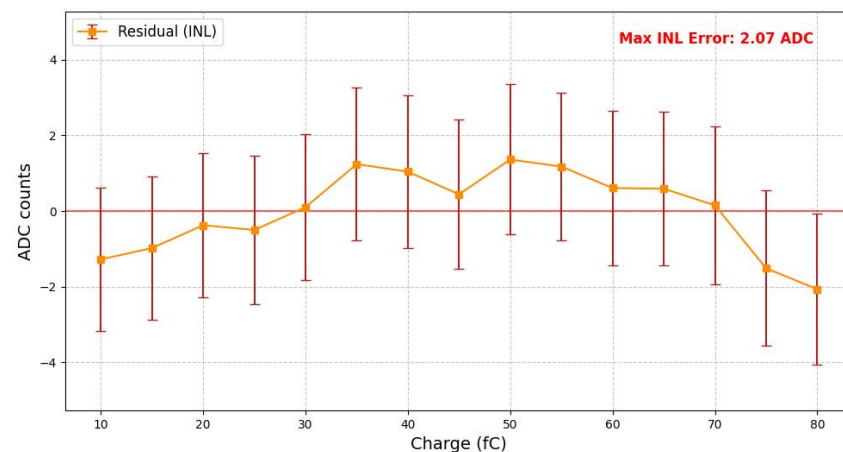
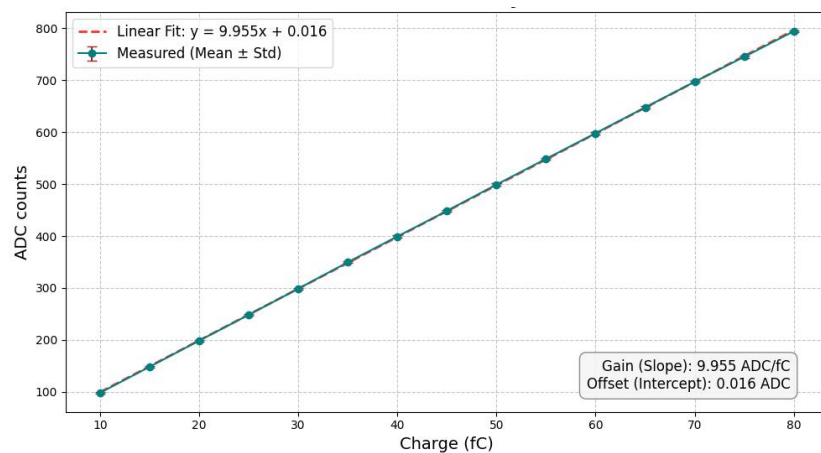


ENC噪声测试

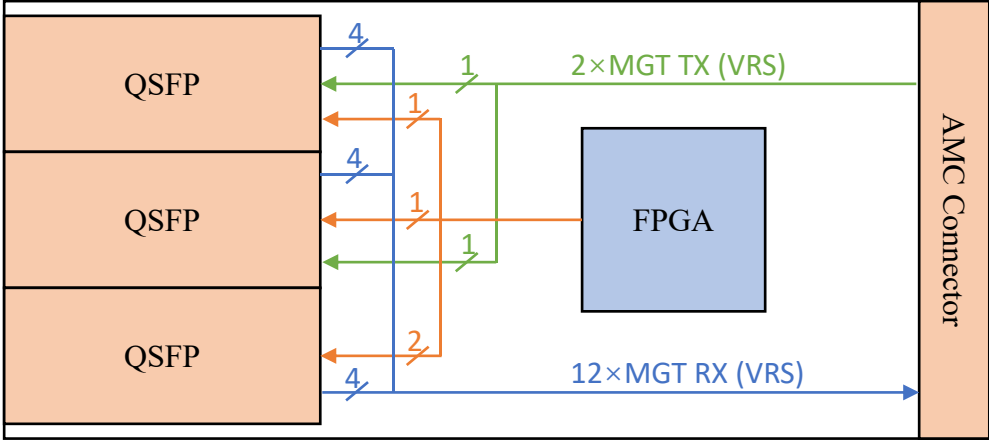
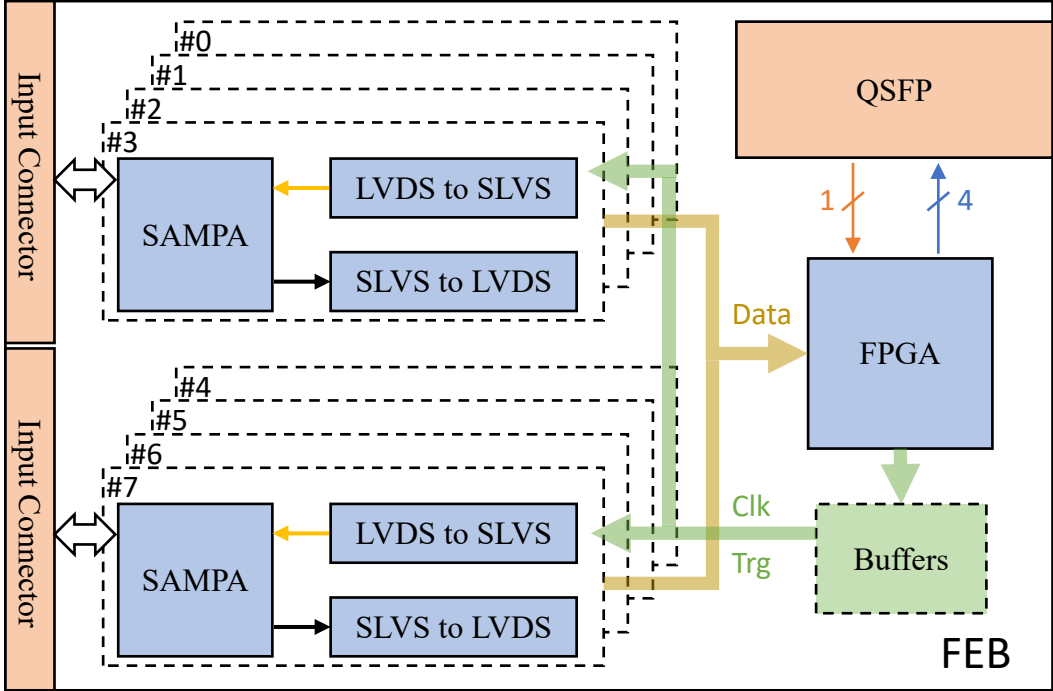
- 注入板输入端接地
- 最大值~1000e, 平均~700e

积分非线性测试

- 20 mV/fC
- 电荷量: 10 fC~80 fC
- SAMPA时钟与信号源同步



光传输方案设计



- ❑ 前端版
 - 小型FPGA，根据抗辐照需求考虑Flash 架构FPGA
- ❑ 单宽AMC
 - 小型FPGA为FEB提供上行链路
- ❑ 单AMC连接3个FEB
 - 单个ATCA模块可实现3072通道读出
 - 触发率可达80 kHz（受限与RDMA带宽）
- ❑ 单AMC连接6个FEB（需要分纤盒）
 - 单个ATCA模块可实现6144通道读出
 - 触发率可达40 kHz（受限与RDMA带宽）

	电信号传输方案	光信号传输方案
前端	简单	相对复杂，需考虑FPGA等抗辐照
最大读出通道数	1024	6144
最大通道数对应触发率	~165kHz	~40kHz
线缆	电缆密集	光纤（集成度高）
FEB-AMC距离	必须较近	支持远距离



总结

□ 模块化的VRS系统

- 硬件测试完成，将开展管理系统设计

□ MPGD读出原型样机

- 前端板和AMC子卡硬件基础功能测试通过
- 前端板性能已初步验证，将针对所有配置和指标进行全方面测试
- 固件已实现数据读出，正在配合全链路联调进行细节优化
- 近期将开展**MPGD-FEB-VRS-RDMA**的全链路读出的联调测试

□ 未来根据实验的触发率等需求可能基于光传输方案开展读出系统研究

