



中国科学技术大学
University of Science and Technology of China

H-NSO电子学设计进展

曹喆 秦家军 赵雷

中国科学技术大学

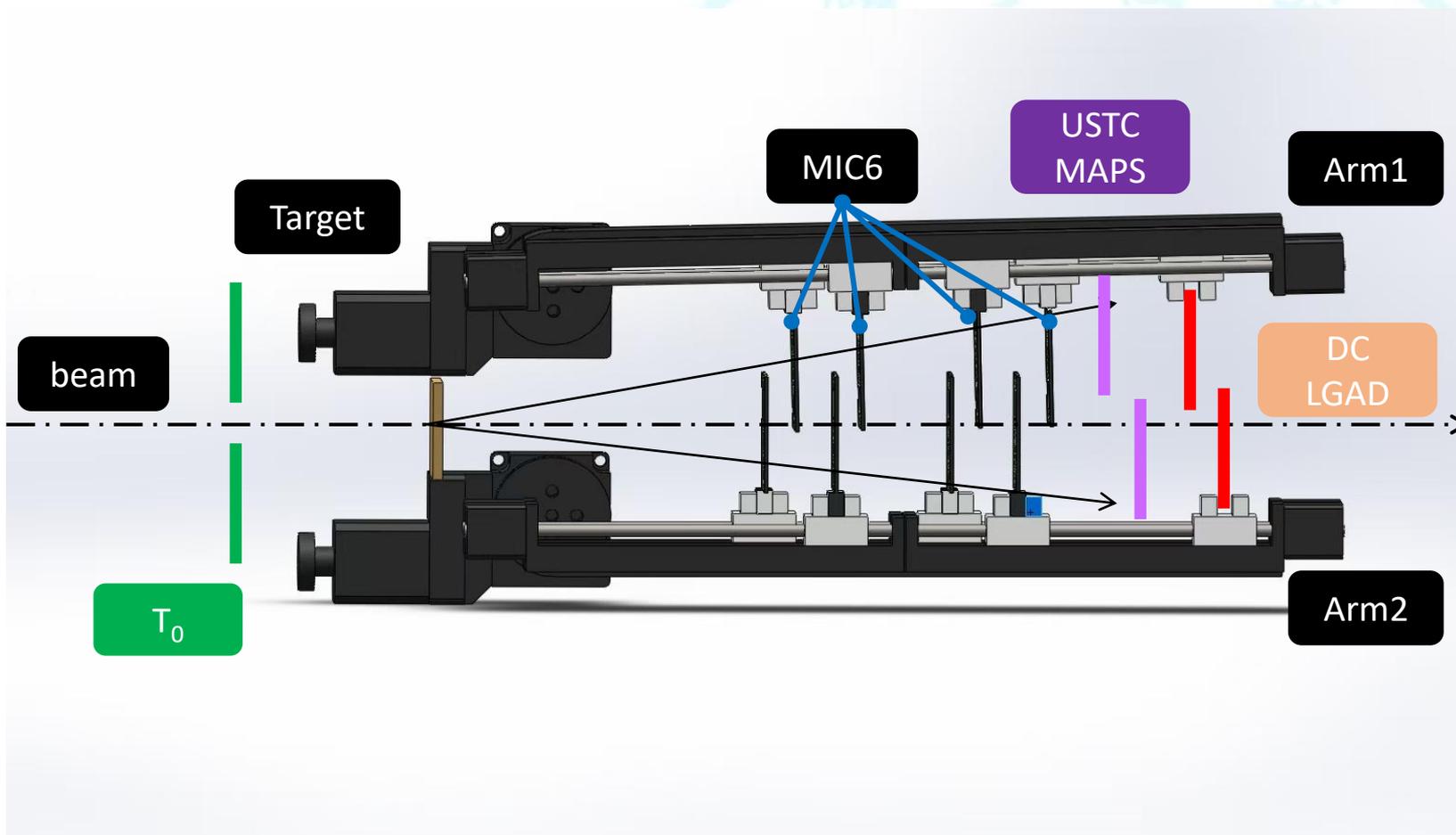
2026.2.10 惠州



Outline

- H-NS0电子学系统
- T0电子学进展
- MIC6电子学进展
- USTC-MAPS电子学进展
- LGAD电子学进展

H-NSO整体结构



读出电子学系统

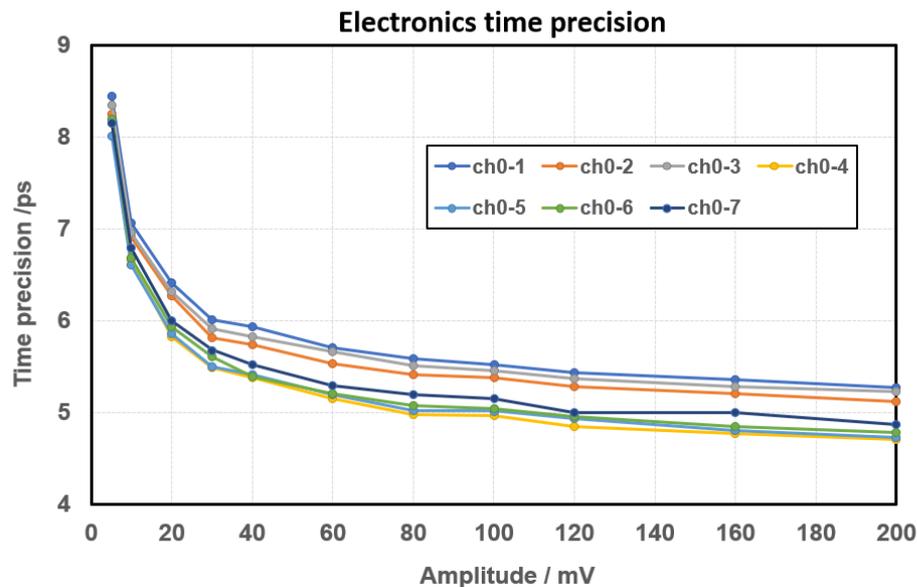
- T0：一套
 - 前放+TDM
- MIC6：左右支臂各4套
 - 载板+RU
- USTC MAPS：左右支臂各1套
 - 载板+RU
- LGAD：左右支臂各1套
 - 载板+数据汇总板

Outline

- *H-NS0*电子学系统
- **T0**电子学进展
- MIC6电子学进展
- USTC-MAPS电子学进展
- LGAD电子学进展

T0读出电子学

- 电子学性能测试
- 信号源+前放+TDM
 - 小信号好于9 ps，大信号好于6 ps



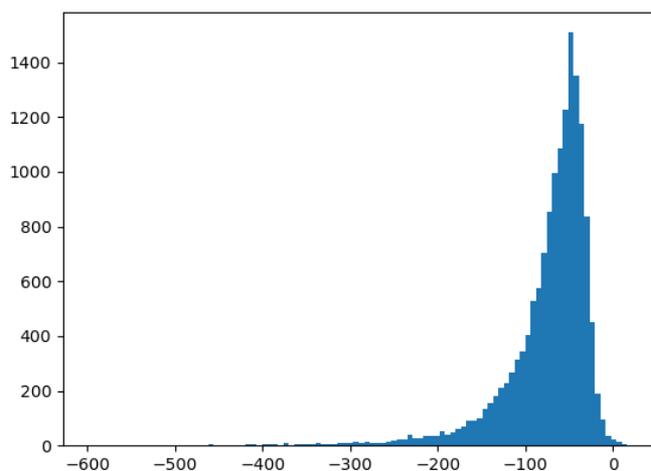
探测器电子学联合测试

- 探测器测试平台：PMT+功分+前放+TDM

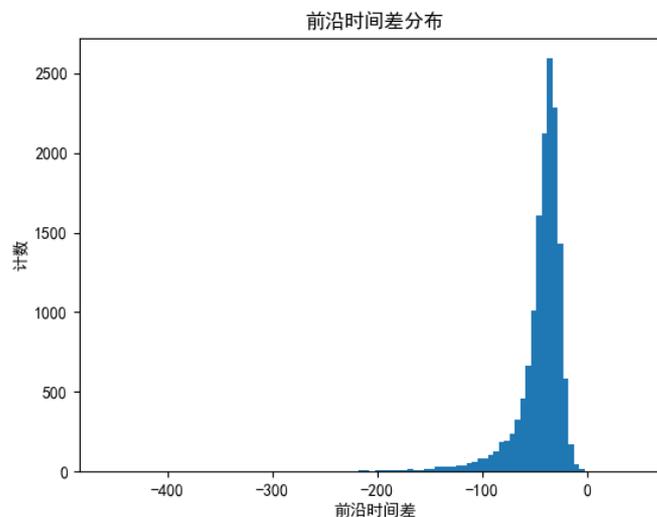


电子学加探测器联调结果

- 由于信号本身幅度过小 (5 mV~几十mV)，经过功分后再减小一半，与阈值非常接近



PMT 1600 V高压时：
时间测量精度rms = 37.9 ps



PMT 1800 V高压时：
时间测量精度rms = 20.6 ps

修正算法

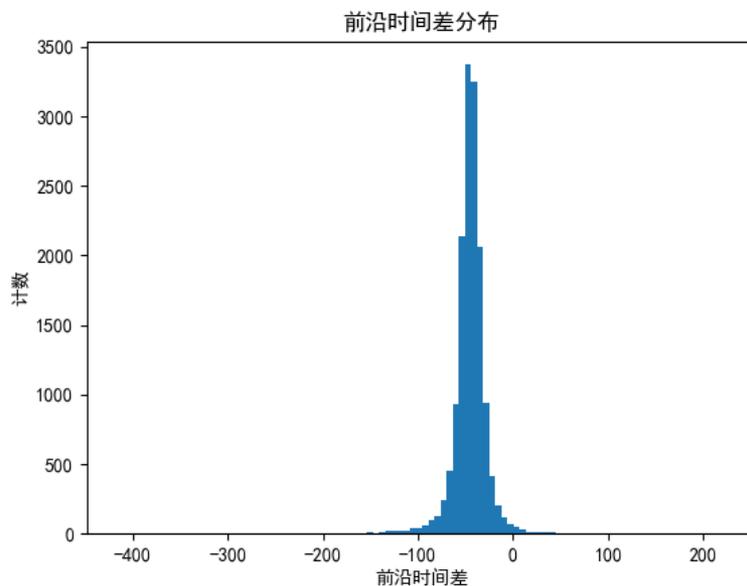
- 根据拟合关系迭代修正：可以拟合偏差time-TOT的依赖关系为：

$$f(x) = p_0 + \frac{p_1}{\sqrt{x}} + \frac{p_2}{x} + p_3 \cdot x$$

- 其中x为TOT，f(x)为前沿时间差 Δt 。将有效事件按TOT由小到大均分为50组后，用每组对应数据的均值进行拟合。
- 迭代修正：两个通道各自按照以下关系修正前沿时间：
 - $cor_{chA,i+1} = cor_{chA,i} + \alpha \cdot f(TOT_{chA})$
 - $cor_{chB,i+1} = cor_{chB,i} + \alpha \cdot f(TOT_{chB})$
- 其中 $cor_{chA,i}$ 为通道A第i次修正的前沿时间
- 迭代后 $f(x) = cor_{chB,i} - cor_{chA,i}$
- 经过二十轮迭代后，得到修正数据

探测器联调结果修正

- 对于1800 V高压时:
- 修正前: 20.6 ps
- 修正后: 13.6 ps



Outline

- *H-NS0*电子学系统
- *T0*电子学进展
- **MIC6**电子学进展
- USTC-MAPS电子学进展
- LGAD电子学进展

MIC6读出电子学

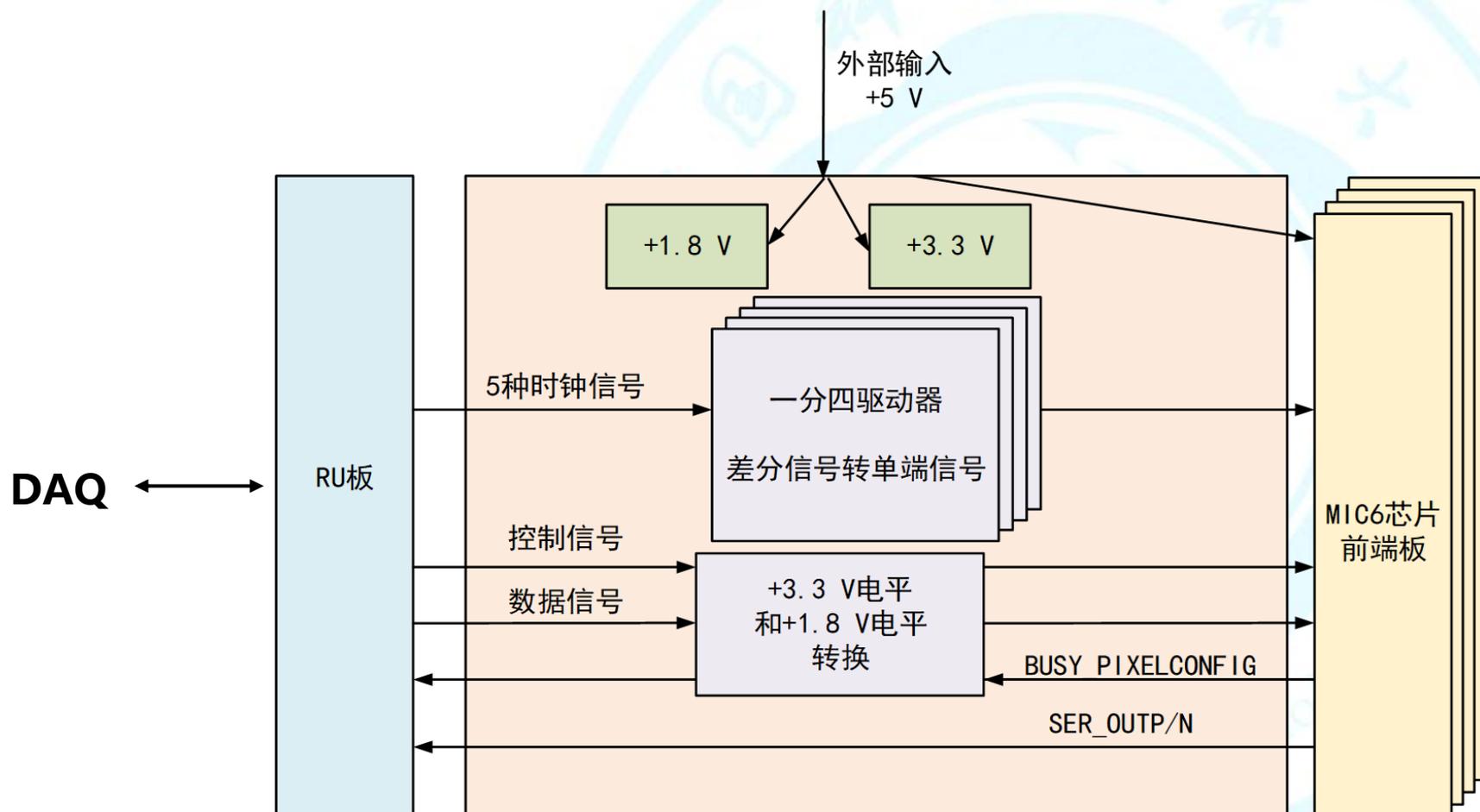
■ 已完成工作

- 完成第一版转接板设计与测试
- 完成第二版转接板的改版与测试

■ 接下来工作计划

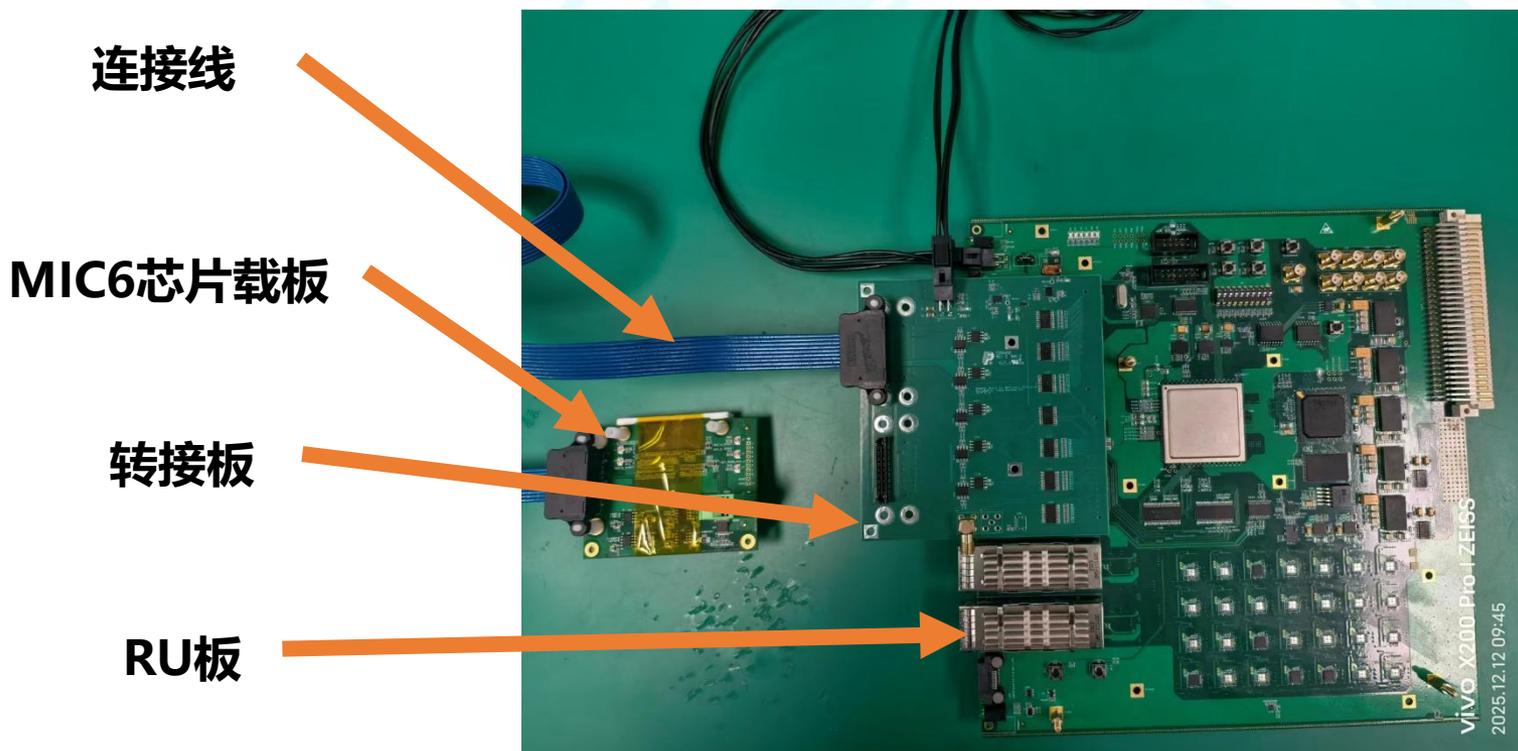
- 完成与DAQ接口逻辑设计
- 与DAQ进行联调测试

MIC6读出电子学



第一版测试平台

■ 测试平台示意图



第一版测试结果

- 初步验证了转接板与前端载板的互联通信
 - 可通过RU对载板进行配置
 - RU可正确接收并识别MIC6输出的数据



- ◇ 芯片并行数据DATA_8b_2的波形，通过配置像素的开关选择是否有数据输出
- ◇ 左为空帧输出，右为有数据的输出

第一版测试结果

■ 测试中发现的问题

1. MIC6芯片串行数据速率为385 MHz，达不到RU板的GT口速率下限
2. 转接板时钟分发芯片驱动能力不足

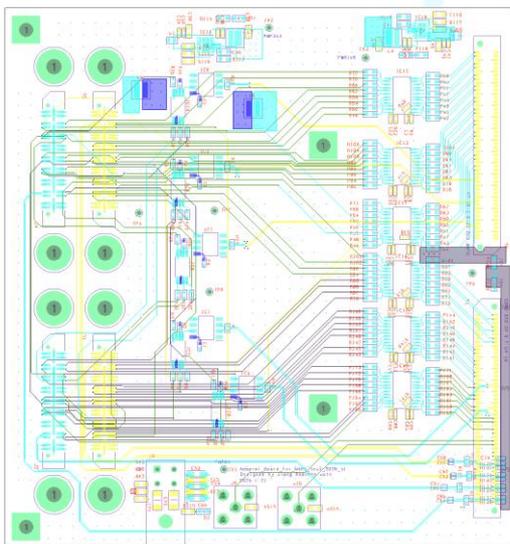
■ 临时解决方案

1. 将MIC6输出的串行信号飞线到一对普通差分IO
2. 将时钟信号飞线到信号电平转换芯片进行分发

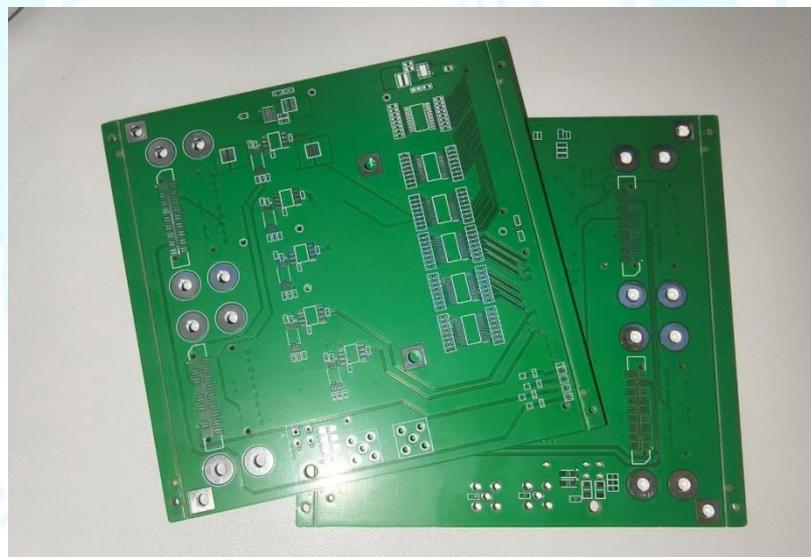
以上方案已验证成功，并据此改版

第二版转接板的绘制与制板

- 将串行数据连接到普通IO口
- 更换更强驱动能力的时钟一分四驱动芯片



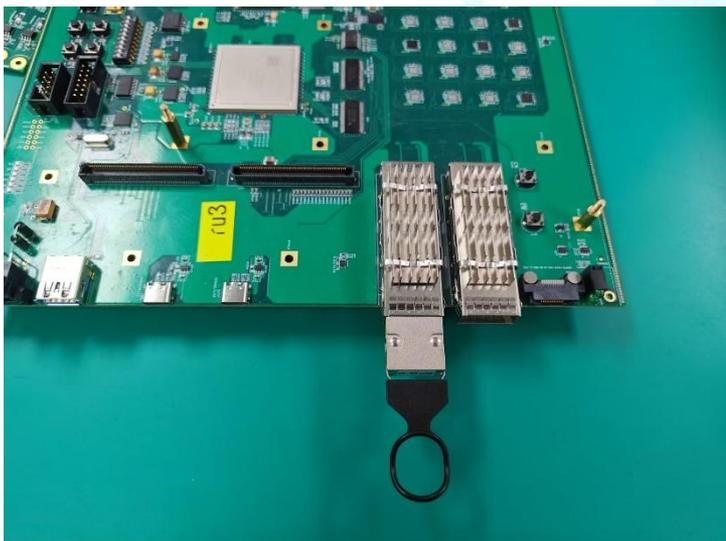
◆ 版图



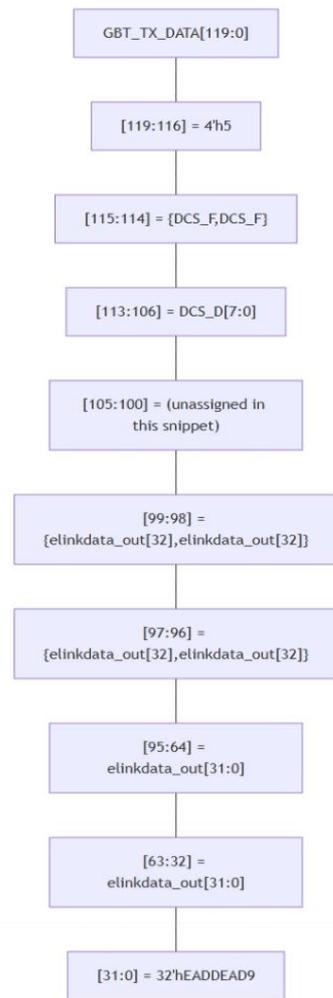
◆ 裸板实物图

GBT自回环测试

- 使用自回环插件进行测试，如下图所示
- 数据格式与GBT标准格式一致，如右图所示

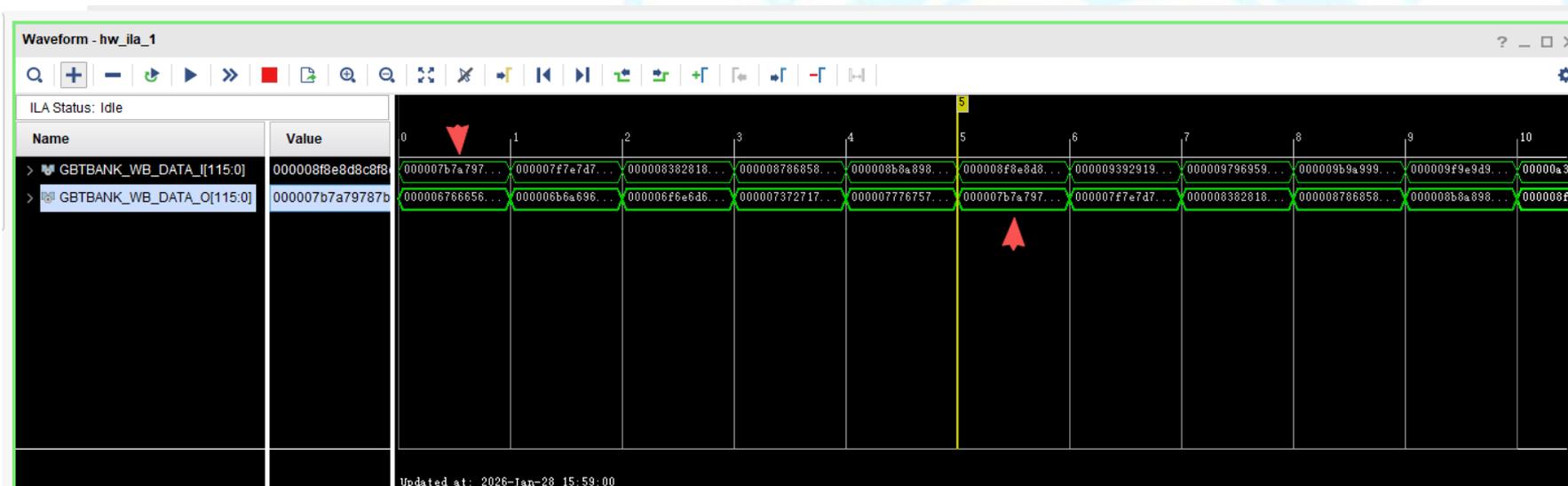


◆ QSFP自回环插件



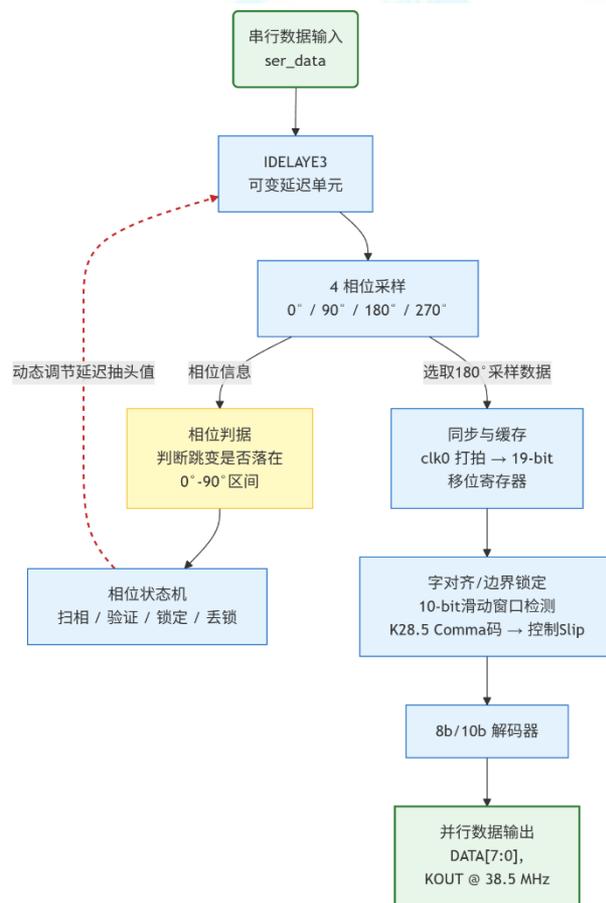
◆ 数据格式
2026/2/10

GBT自回环测试



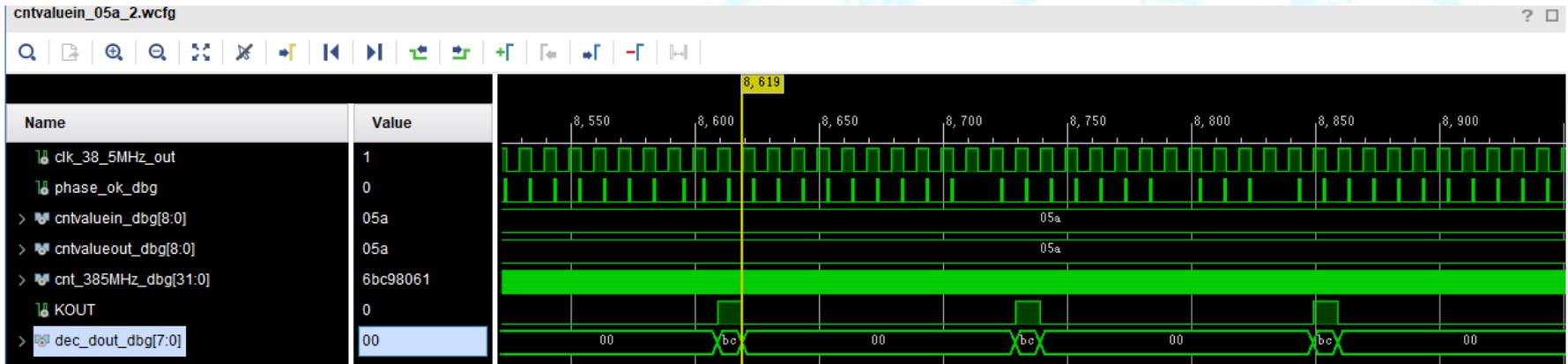
◆ 使用40 MHz时钟驱动的ila可以观察到，
输入GBT模块的数据在5个时钟周期后被模块读出

MIC6芯片的串行信号的读出

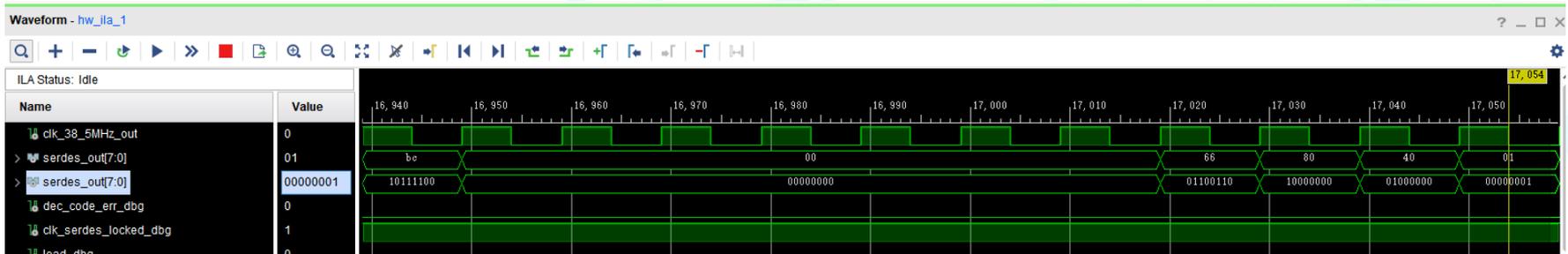


◆ 解串代码整体结构

MIC6芯片的串行信号的读出



◆ 空帧情况下，可以读到基本稳定的空帧信号



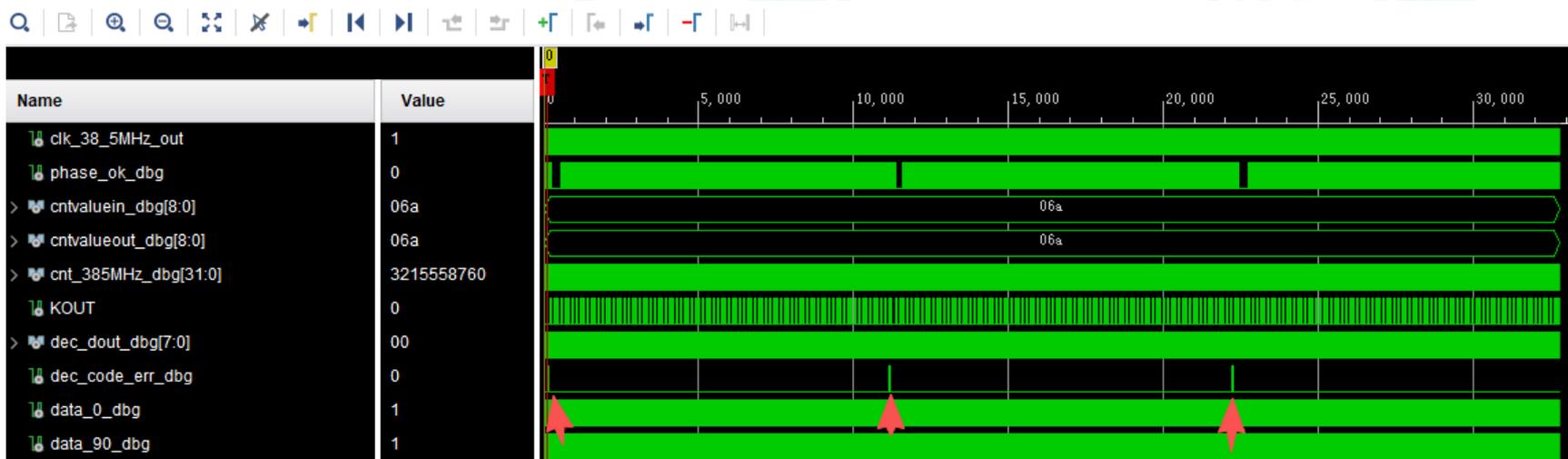
◆ 打开列为0b0，行为0b1的像素

◆ 在28位的数据中读到0b0110_0110_1000_0000_0100_0000_0000，

对应addr位数据是0b00_0000_0010

串行信号的读出遇到的问题

- 测试中观察到在红箭头所指处，可以观察到误码现象，经过测试，稳定约 $28.6\ \mu\text{s}$ 发生一次，时间间隔与IDELAYE3延迟单元的调节无关

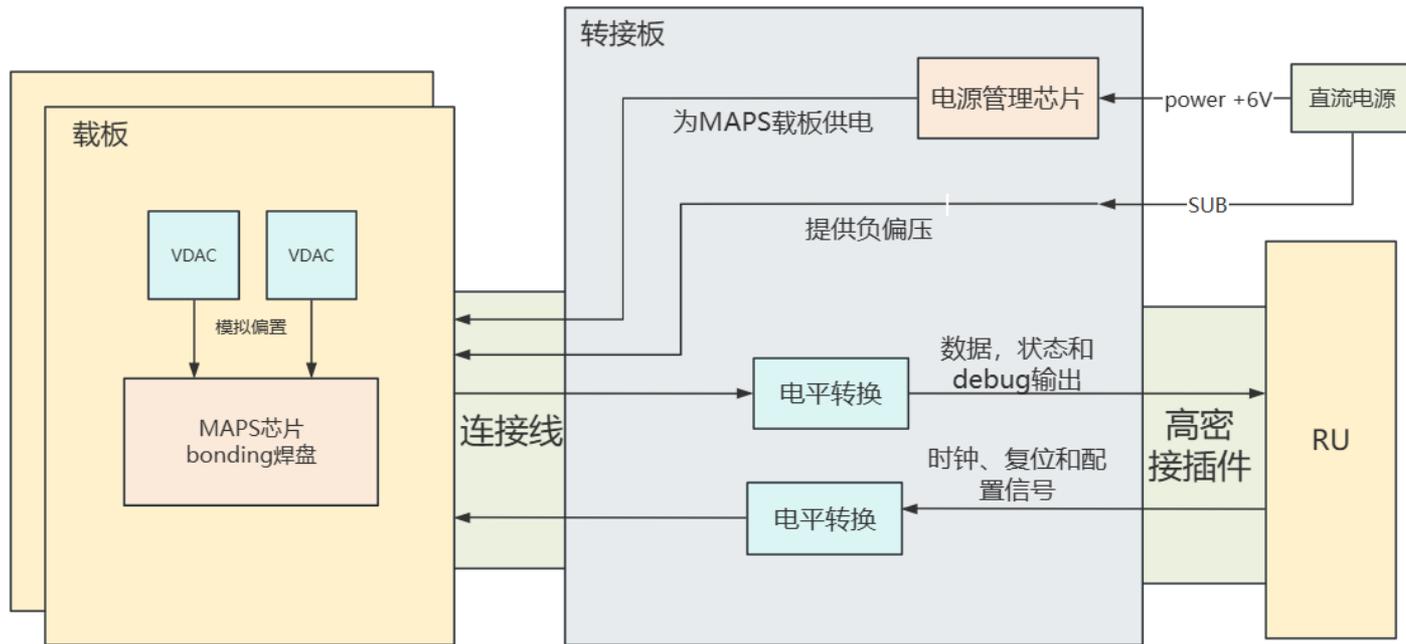


- 计划更换MIC6芯片再测试验证

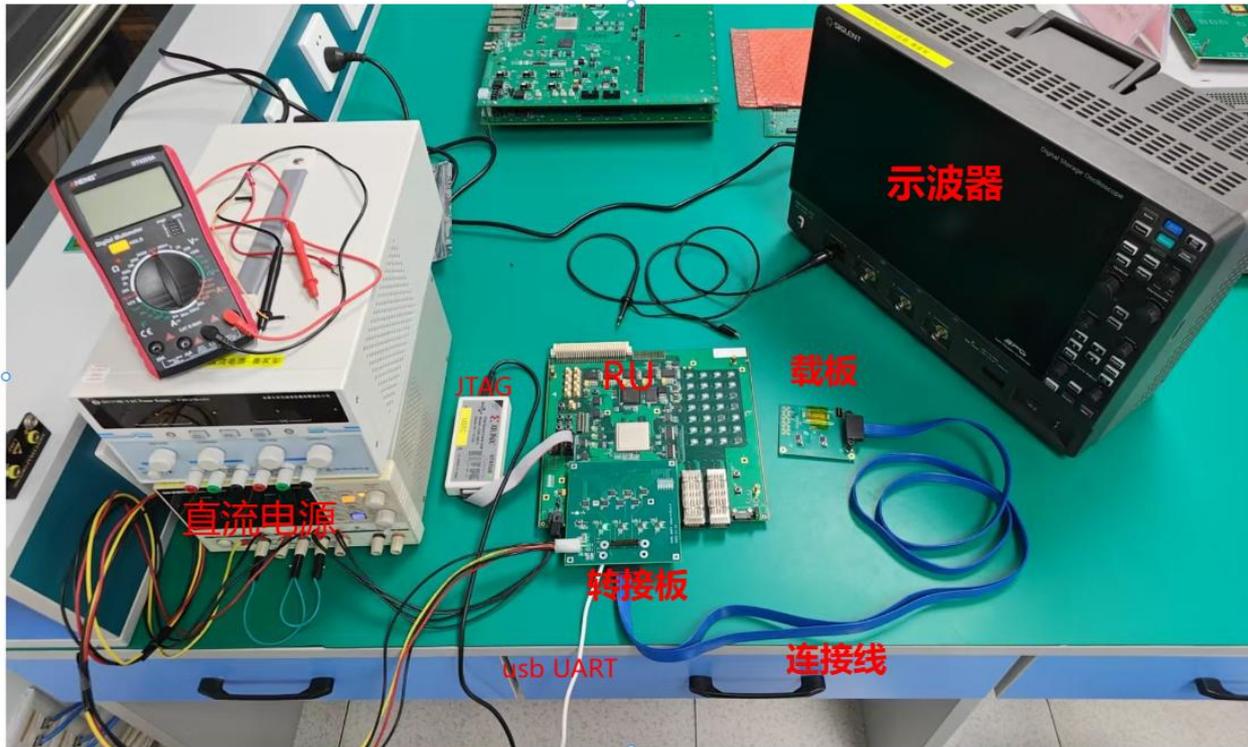
Outline

- *H-NS0*电子学系统
- *T0*电子学进展
- *MIC6*电子学进展
- **USTC-MAPS**电子学进展
- **LGAD**电子学进展

USTC MAPS整体结构

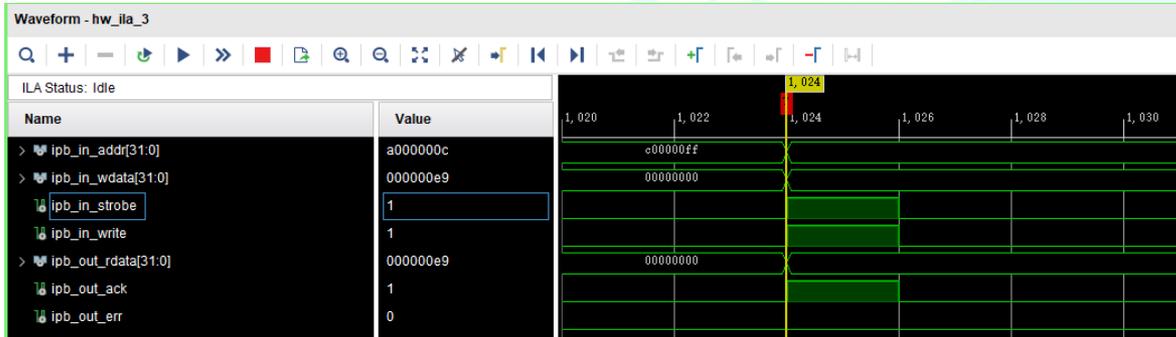


测试平台

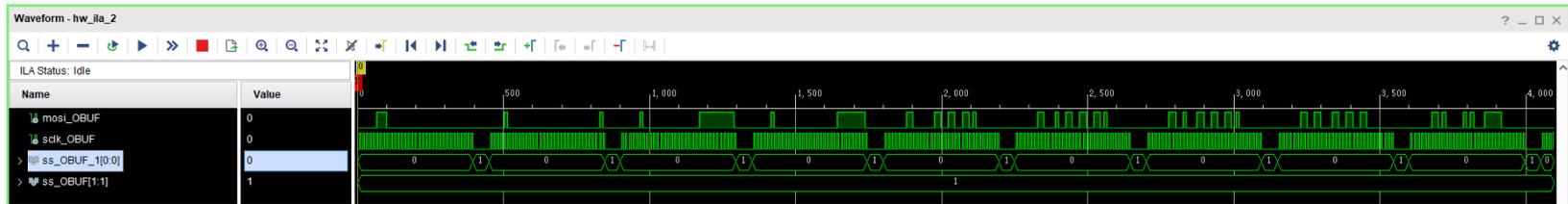


固件验证

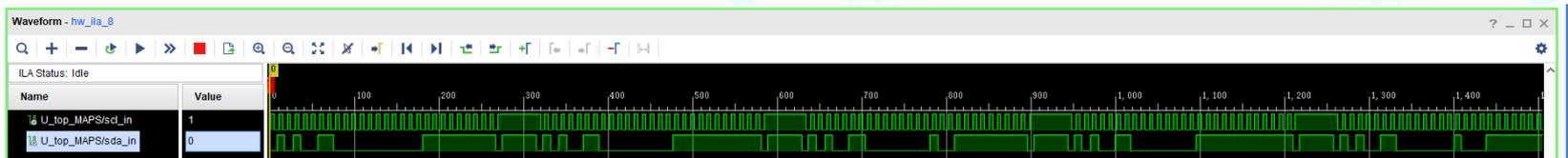
- 由软件发起一次IPBUS事务，从机响应正常



- 使用SPI总线对电压DAC进行配置，SPI各信号时序正确，电压DAC输出符合预期



- 使用I2C总线对MAPS芯片进行配置，时序正确，芯片响应符合预期



固件验证

- 芯片输出数据包包含如下信息:

bit	信号名称	信号描述
[47: 46]	subarray_order[1:0]	子阵列序号 (2-bit)
[45: 7]	ColDataBus[38:0]	[38:35] 列地址(4-bit)
		[34:27] 前沿时间戳(8-bit)
		[26:19] 后沿时间戳(8-bit)
		[18:9] 读出通道行地址(10-bit)
		[8:4] 细时间戳(5-bit)
	[3:0] 像素组地址&奇偶性(4-bit)	
[6: 0]	TimeStamp[7:0]	高位时间戳 (7-bit)

软件设计

使用python面向对象的编程方法，将生成配置字的过程封装为类，可以方便的替换底层的实现方法。可以实现以太网、串口和GBT的灵活切换。

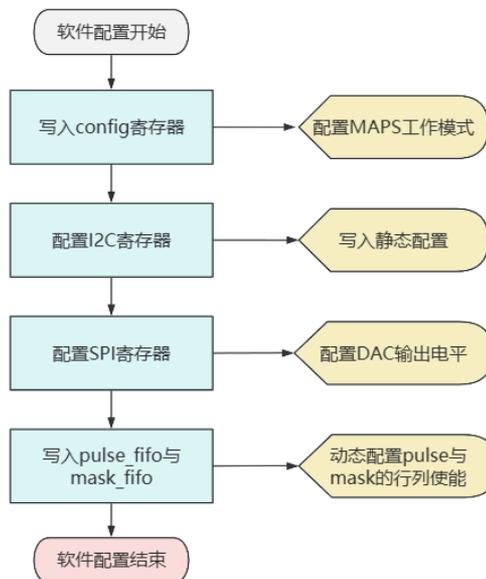
串口实现底层通讯

```
uart_link = UartLink()
spi_dev = SPIDevice(uart_link)
led_dev = LedDevice(uart_link)
i2c_dev = I2CDevice(uart_link)
jadepix_dev = JadePixDevice(uart_link)
```

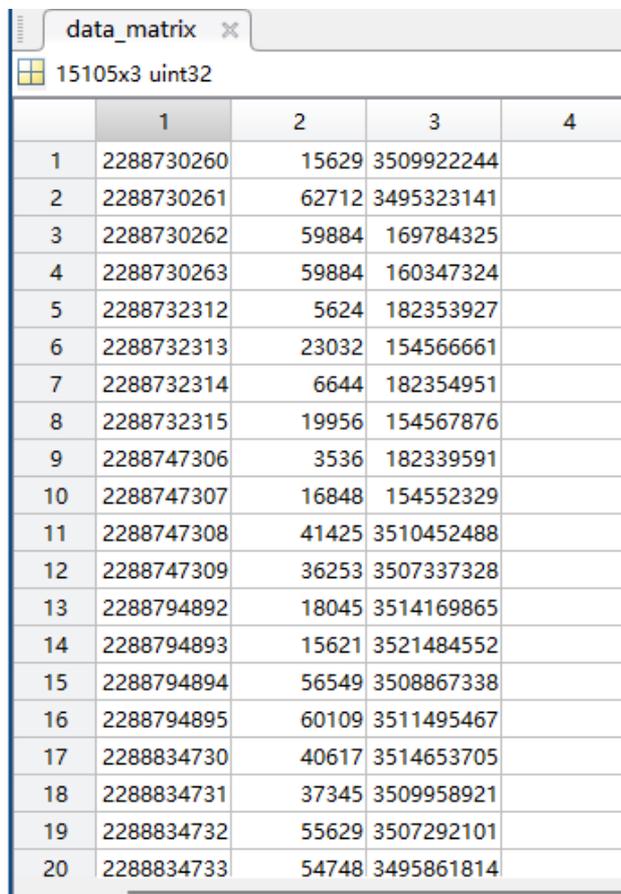
以太网实现底层通讯

```
device_ip = "192.168.3.18"
ipbus_link = IPbusLink(device_ip)
spi_dev = SpiDevice(ipbus_link)
led_dev = LedDevice(ipbus_link)
i2c_dev = I2cDevice(ipbus_link)
jadepix_dev = JadePixDevice(ipbus_link)
```

- 软件配置流程



链路测试结果



The screenshot shows a window titled 'data_matrix' with a close button. Below the title bar, it indicates '15105x3 uint32'. The main content is a table with 20 rows and 4 columns. The columns are labeled 1, 2, 3, and 4. Each row contains four numerical values.

	1	2	3	4
1	2288730260	15629	3509922244	
2	2288730261	62712	3495323141	
3	2288730262	59884	169784325	
4	2288730263	59884	160347324	
5	2288732312	5624	182353927	
6	2288732313	23032	154566661	
7	2288732314	6644	182354951	
8	2288732315	19956	154567876	
9	2288747306	3536	182339591	
10	2288747307	16848	154552329	
11	2288747308	41425	3510452488	
12	2288747309	36253	3507337328	
13	2288794892	18045	3514169865	
14	2288794893	15621	3521484552	
15	2288794894	56549	3508867338	
16	2288794895	60109	3511495467	
17	2288834730	40617	3514653705	
18	2288834731	37345	3509958921	
19	2288834732	55629	3507292101	
20	2288834733	54748	3495861814	

- 整个链路正常工作，可以正确配置MAPS芯片并获取得到数据，可以看到时间戳信息和击中信息。

工作计划

- 进一步优化和改进：
 - 完善芯片测试
 - 优化转接板设计：增强驱动能力
 - 集成与DAQ的接口逻辑，与DAQ进行对接测试

Outline

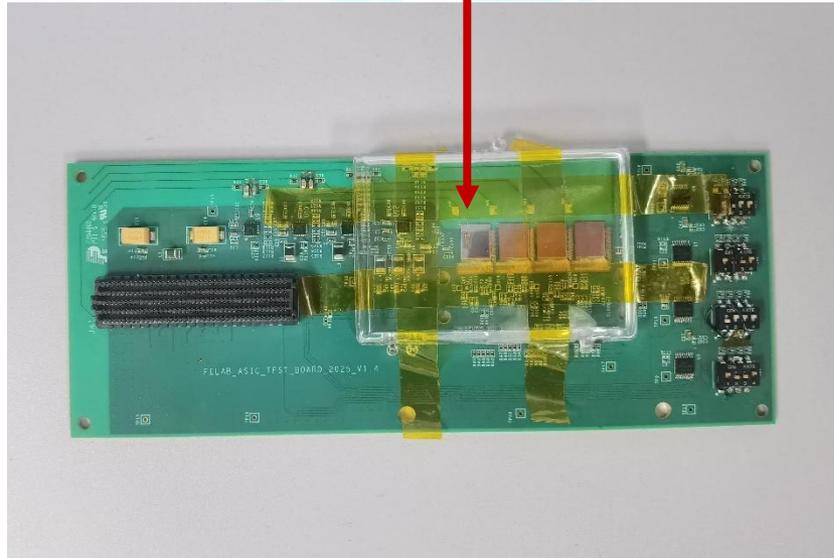
- *H-NS0*电子学系统
- *T0*电子学进展
- *MIC6*电子学进展
- *USTC-MAPS*电子学进展
- **LGAD**电子学进展

LGAD读出电子学

- 基于Latic V1 读出电子学
- 基于Latic V2 读出电子学
 - 芯片完成键合
 - 测试板完成打线焊接
 - 测试正在展开

Latic V1载板

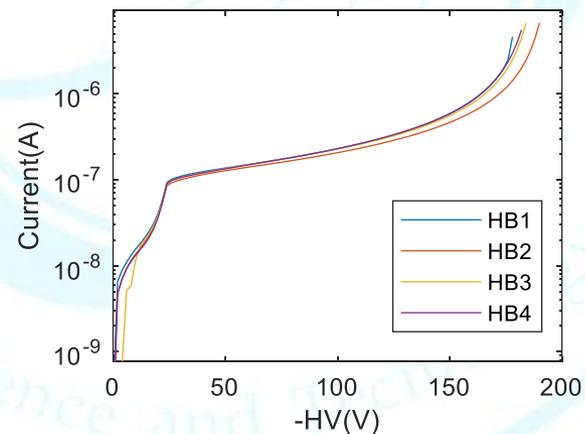
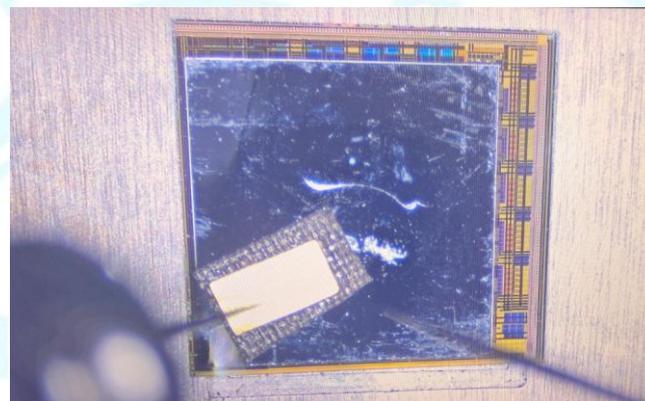
键合后的Latic V1



Latic V2 Hybrids

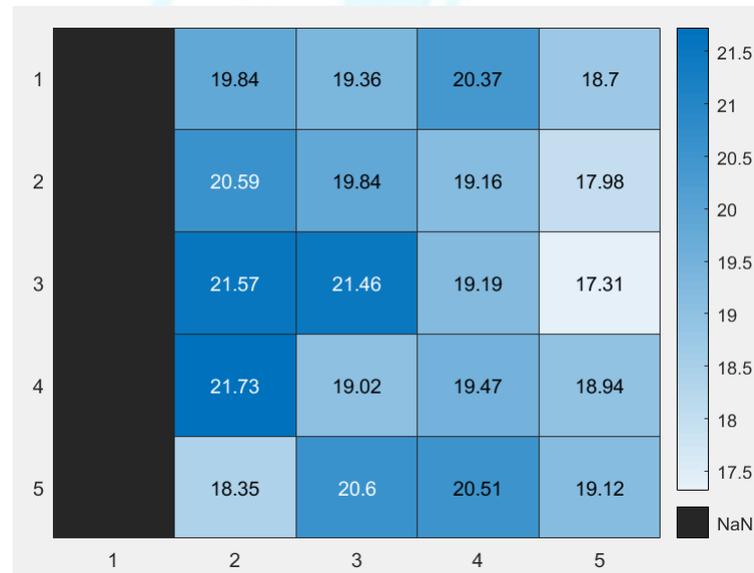
■ 收到4片LATIC v2 module, IV测试正常, 打线其中2片 (HB2、HB3) 到测试板测试。

- HB1: W17-P15-SE3IP3
- HB2: W17-P20-SE3IP3
- HB3: W17-P23-SE4IP5
- HB4: W17-P23-SE3IP3
- ASIC: LATICv2



初步测试结果

- 电子学性能测试结果（芯片）
 - 所有通道好于22 ps



■ 电子学性能测试结果（键合后module）

- 所有通道好于25 ps

Chn	21	16	11	6	1
Jitter(ps)	23.9	24.2	22.3	21.73	22.96
Chn	22	17	12	7	2
Jitter(ps)	24.5	23.4	20.9	21.7	19.9
Chn	23 [♦]	18	13	8	3
Jitter(ps)	24.6	24.3	23.9	22.7	21.1
Chn	24	19	14	9	4
Jitter(ps)	24.8	24.9	24.3	23.6	22.9
Chn	25	20	15	10	5
Jitter(ps)	24.6	24.7	20.8	19.1	19.9



谢谢!