



基于SCA技术的高速波形数字化 ASIC电路研究进展

赵 雷

中国科学技术大学

核探测与核电子学国家重点实验室

2017年4月11日

主要内容

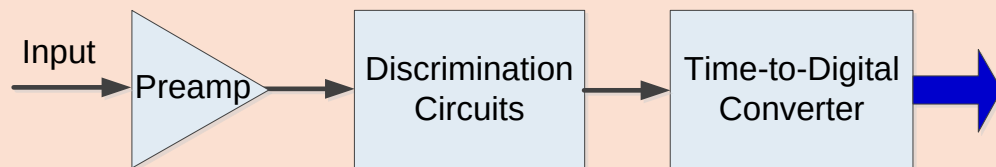
- ▶ 研究背景
- ▶ 研究内容
- ▶ 总结

主要内容

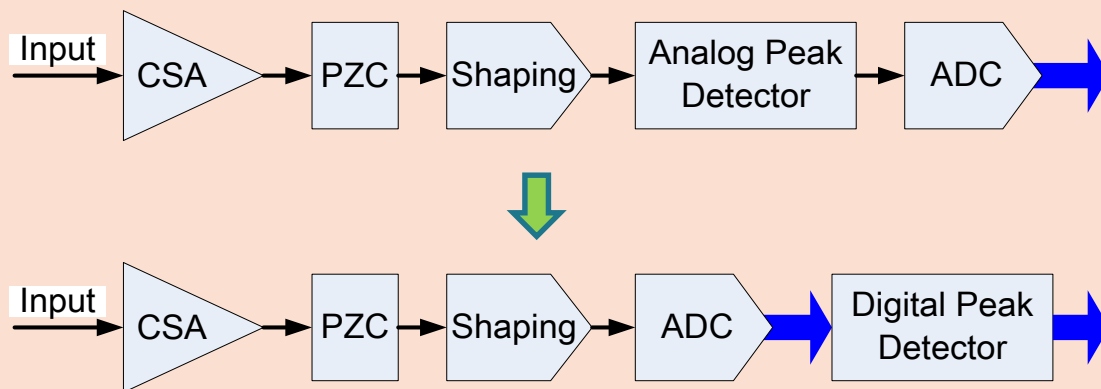
- ▶ 研究背景
- ▶ 研究内容
- ▶ 总结

研究背景

- ▶ 传统的时间测量代表性技术：
放大、甄别、时间数字变换

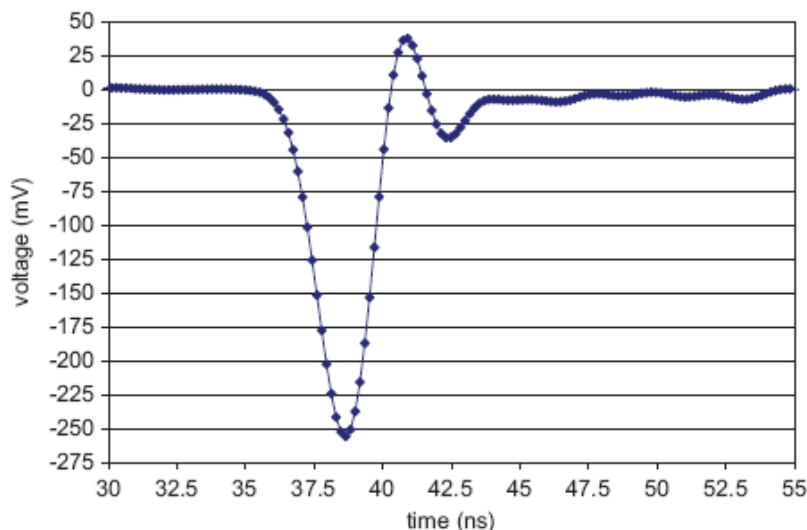


- ▶ 传统的电荷测量的代表性技术：
基于放大、成形、模拟数字变换和数字寻峰



- ▶ 其他技术：如过阈时间法（Time-Over-Threshold, TOT），但都不能获得原始的波形信息

研究背景 – 波形数字化技术



- ▶ 波形前沿分析:

- ➡ 获得时间信息

- ▶ 波形数字积分（计算面积）：

- ➡ 获得电荷信息

- ▶ 随着模拟数字变换器（ADC）技术的发展，进行超高速的波形数字化成为可能

- ▶ 采样率 ~ Gsps

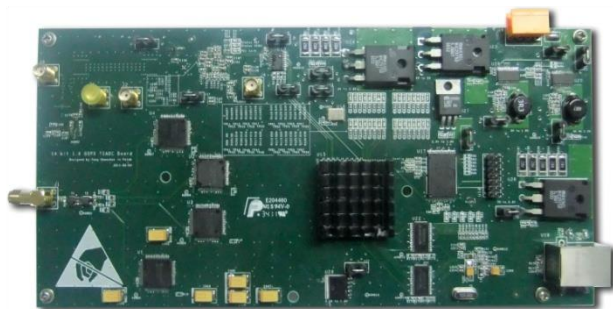
- ▶ 相对于传统的时间及电荷测量方法的优势：

- ◇ 最大程度获取原始波形信息
 - ◇ 任意无规则的波形信号处理

研究背景 – 波形数字化技术发展

- ▶ 高速波形数字化一直是实验物理学家梦寐以求的目标
- ▶ 成熟的技术是基于超高速ADC进行波形数字化

◇ CERN UA2实验	100 Msps ADC	
◇ Fermilab D0实验	100 Msps ADC	
◇ 意大利MACRO实验	200 Msps ADC	
◇ E787实验	500 Msps ADC	7 W/ch
◇ MAGIC实验	300 Msps ADC → 2 Gsps, 10 bit	



14 Bit@1.6 Gsps ADC系统

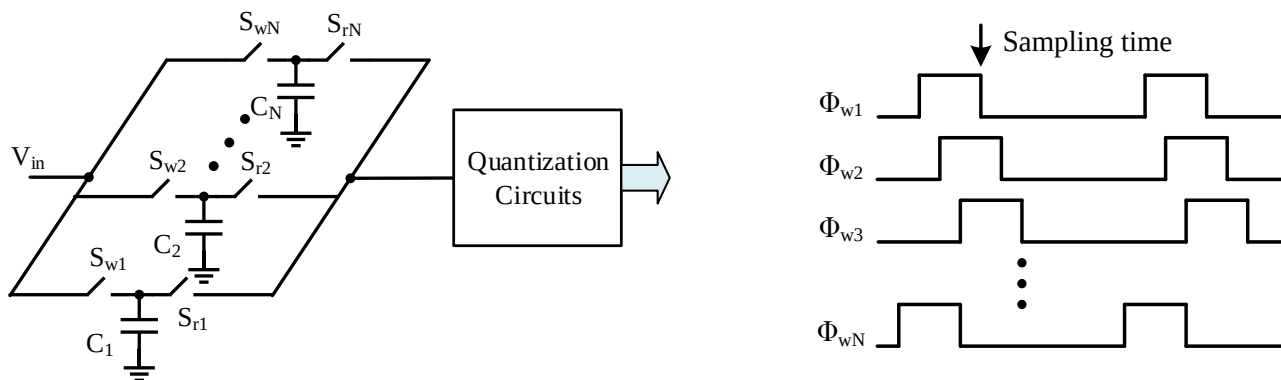


8 Bit@10 Gsps ADC系统

- ▶ 然而，高速ADC的**高功耗、高电路复杂度**（包括ADC本身及所需的高速缓存、接口配套电路等）与粒子物理实验中**高集成度、高可靠性、低功耗和低成本**的电子学系统设计要求相矛盾

研究背景 – SCA技术

- 基于开关电容阵列（Switched Capacitor Array, SCA）技术，可以实现超高速的模拟波形采样



- 其基本原理是将高速采样过程和量化过程分离
 - 超高速采样过程是基于开关电容阵列来实现，然后配合较低速的量化电路即可实现数字化
- 此技术适用于核与粒子物理实验中事例偶发的特点
- 同时消除了超高速ADC的高复杂度和高功耗的问题，以及附加缓存、数据接口和传输电路的系统复杂性问题
- 其核心技术是基于SCA的专用集成电路（ASIC）的设计

国内外技术现状

- 国际上多个科研机构都在加紧发展基于SCA的波形数字化ASIC研究

Function\Chip	Analog Memory	ATWD	ARS1	DRS4	LABRADOR3	PSEC4	MATACQ	SAM
采样率 (GS/s)	0.9	0.00005-2	0.13-1.2	0.7-5	0.02-3.7	4-15	1-2	1-2
模拟带宽 (MHz)	-	350	80	950	1000	1500	300	250
单通道采样深度	32	128	128	1024	260	256	20×128	16×16
通道数	2	4	4	8+1	8+1	6	1	2
RMS噪声 (mV)	0.3	1	4	0.35	1.3	0.7	<0.2	0.7
最大输入信号 (V)	2.5	3	3	1	1	1	+/-0.5	2
芯片工艺 (μm)	2	0.2	0.8	0.25	0.25	0.13	0.8	0.35
内置ADC	No	Yes	Yes	No	Yes	Yes	No	No

- 目前国际水平可以实现足够高的采样率，但其动态指标性能有待进一步提升
- 国内ASIC研究近年来发展迅速，在此技术方向上处于起步阶段
 - 中科院高能所、清华大学和科大三家曾合作设计1~2 Gsps采样率的SCA芯片

主要内容

- ▶ 研究背景
- ▶ 研究内容
- ▶ 总结

主要内容

- ▶ 研究背景

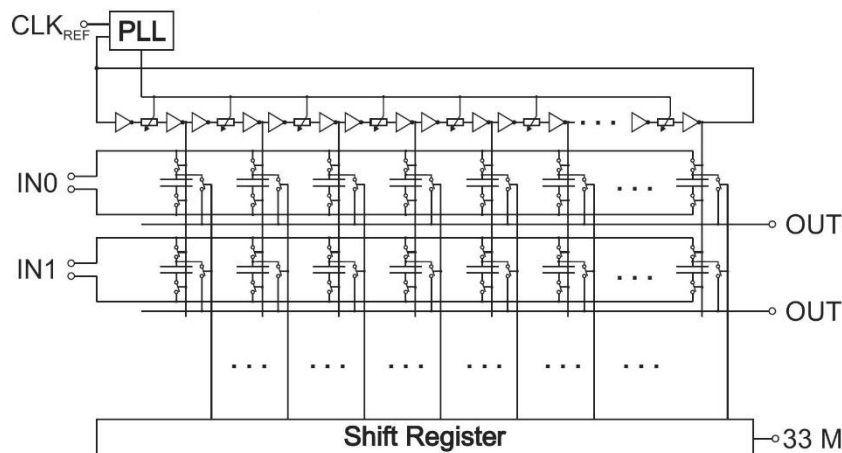
- ▶ 研究内容

- ◇ （一）基于高速模拟采样的波形数字化ASIC构架研究
- ◇ （二）波形数字化ASIC的高带宽、高采样率的实现方法
- ◇ （三）提升超高速波形数字化ASIC的采样测量精度方法研究
- ◇ （四）实现数字读出接口的芯片内量化电路设计研究
- ◇ （五）通道仿真

- ▶ 总结

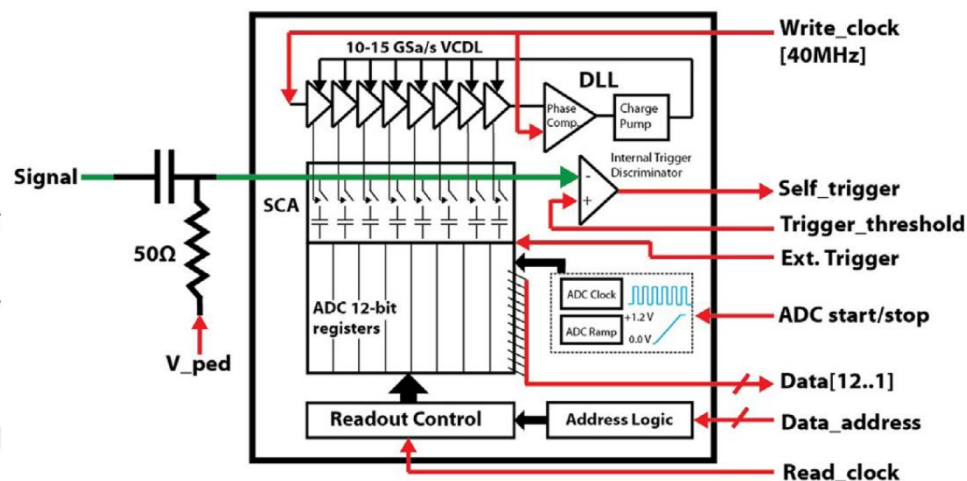
研究内容

(一) 基于高速模拟采样的波形数字化ASIC构架研究



DRS4

- ◇ Domino Ring产生采样时钟
- ◇ 模拟读出，片外商用ADC数字化
- ◇ 需要高性能模拟buffer驱动输出

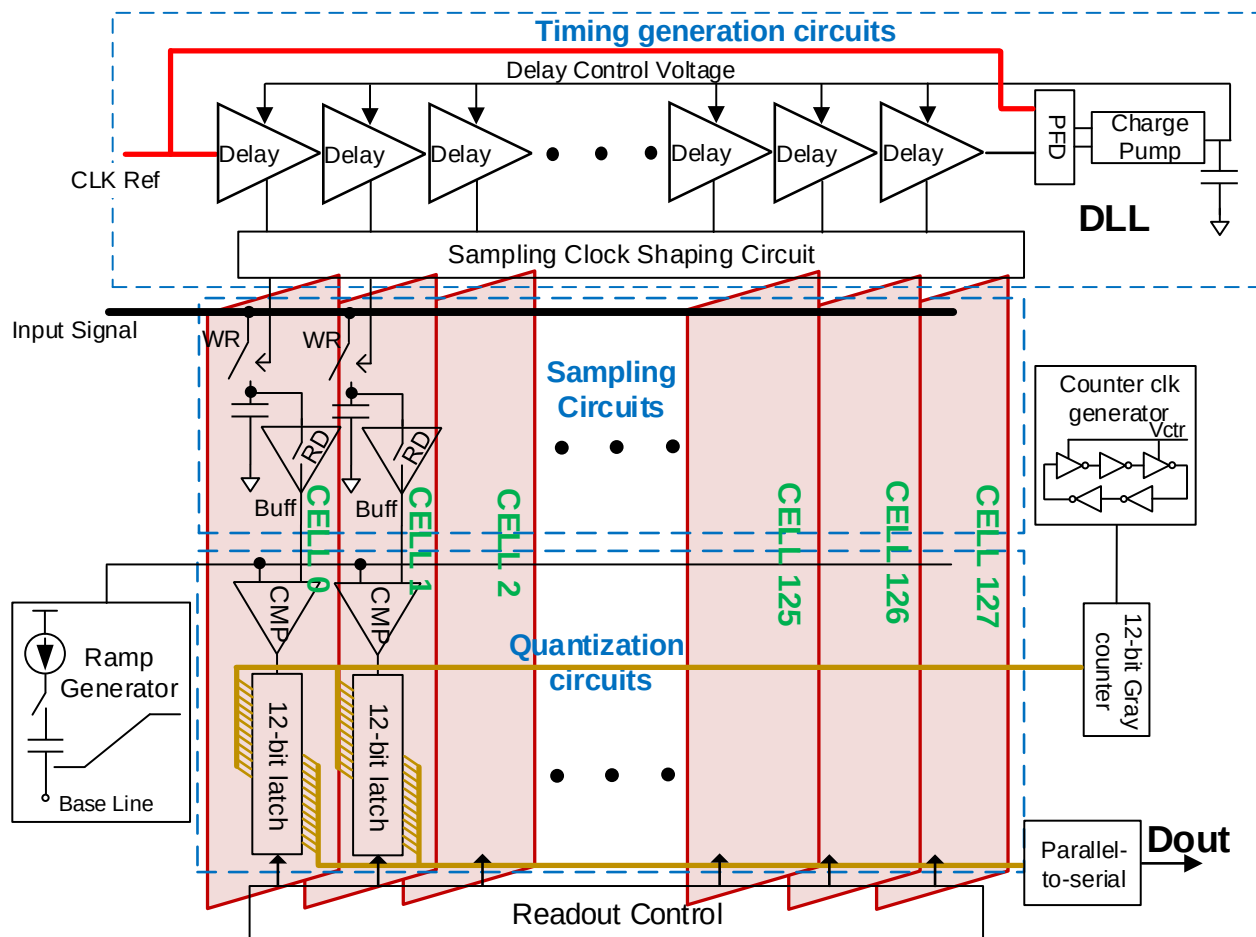


PSEC4

- ◇ DLL产生采样时钟
- ◇ 数字读出，片内Wilkinson ADC数字化
- ◇ 单元分辨 12 bits
- ◇ 降低系统设计复杂度

研究内容

(一) 基于高速模拟采样的波形数字化ASIC构架研究



研究内容

▶ 其中核心技术问题包括：

◇ 波形数字化ASIC的高带宽、高采样率的实现方法：

核心难点在于采样单元和开关控制时钟产生电路的设计

◇ 提升SCA ASIC采样精度技术的研究：

采样电路本身精度的优化+从芯片构架级提升采样精度

◇ 实现数字读出接口的量化电路设计研究：

将量化电路（如Wilkinson ADC）集成在ASIC中，提升ASIC应用灵活性

◇ 考虑基于更小特征尺寸的CMOS工艺进行超高速波形数字化ASIC设计

主要内容

▶ 研究背景

▶ 研究内容

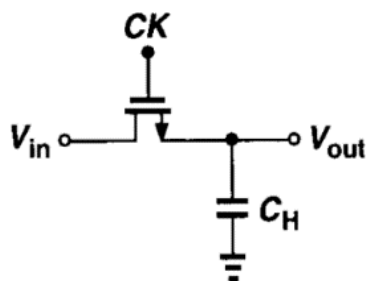
- ◇ （一）基于高速模拟采样的波形数字化ASIC构架研究
- ◇ **（二）波形数字化ASIC的高带宽、高采样率的实现方法**
- ◇ （三）提升超高速波形数字化ASIC的采样测量精度方法研究
- ◇ （四）实现数字读出接口的芯片内量化电路设计研究
- ◇ （五）通道仿真

▶ 总结

研究内容

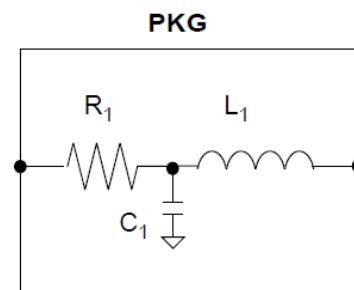
(二) 波形数字化ASIC的高带宽、高采样率的实现方法

► ① 高模拟带宽设计技术研究

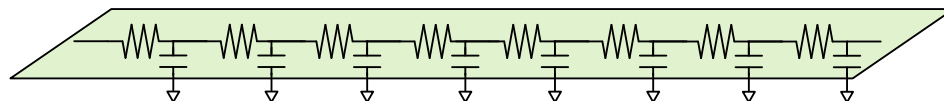


$$f_{3dB} = \frac{1}{2\pi R_{on} C_H}$$

(a) 采样单元本身的带宽限制



(b) 封装寄生参数对带宽的影响

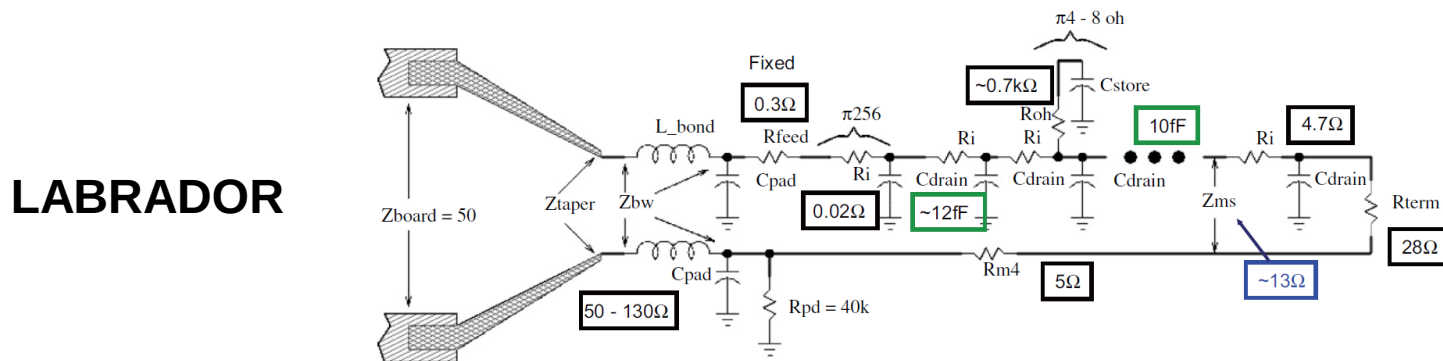


(c) 输入总线的寄生电阻电容的影响

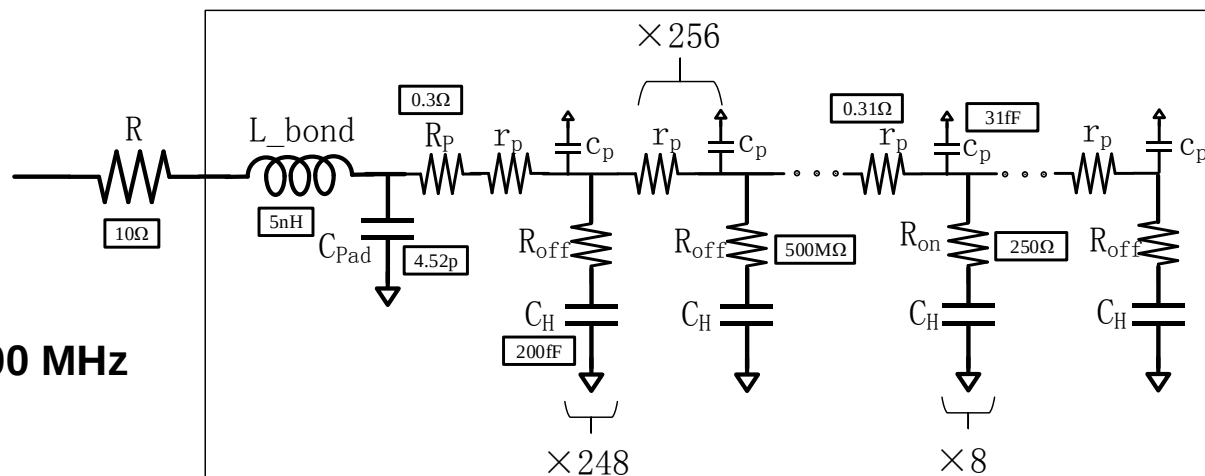
研究内容

(二) 波形数字化ASIC的高带宽、高采样率的实现方法

① 高模拟带宽设计技术研究



Band Width ~600 MHz



采样单元相关RLC网络原理示意图

研究内容

(二) 波形数字化ASIC的高带宽、高采样率的实现方法

② 超高速采样速率实现方法研究

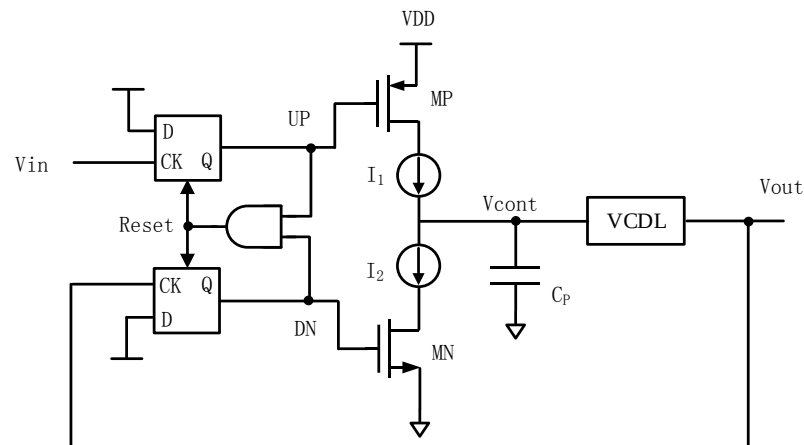
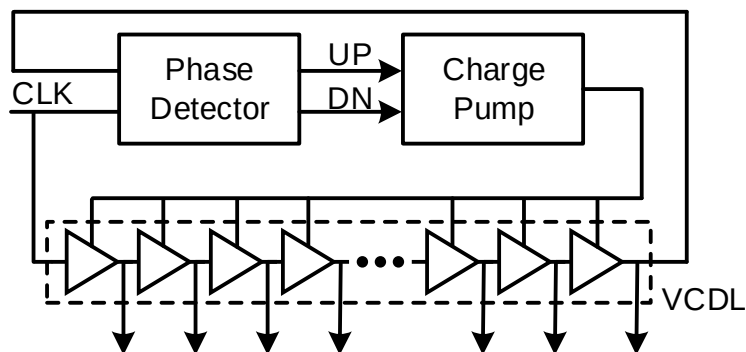
采样时钟的非理想性对于测量精度的直接影响

$$SNR = -20 \log(2\pi f_{in} \sigma_t)$$

1) 电路噪声所导致的采样时钟的随机晃动

2) 采样时钟产生电路自身结构导致的采样间隔不均匀

采样时钟产生电路的结构选择



关键电路设计技术

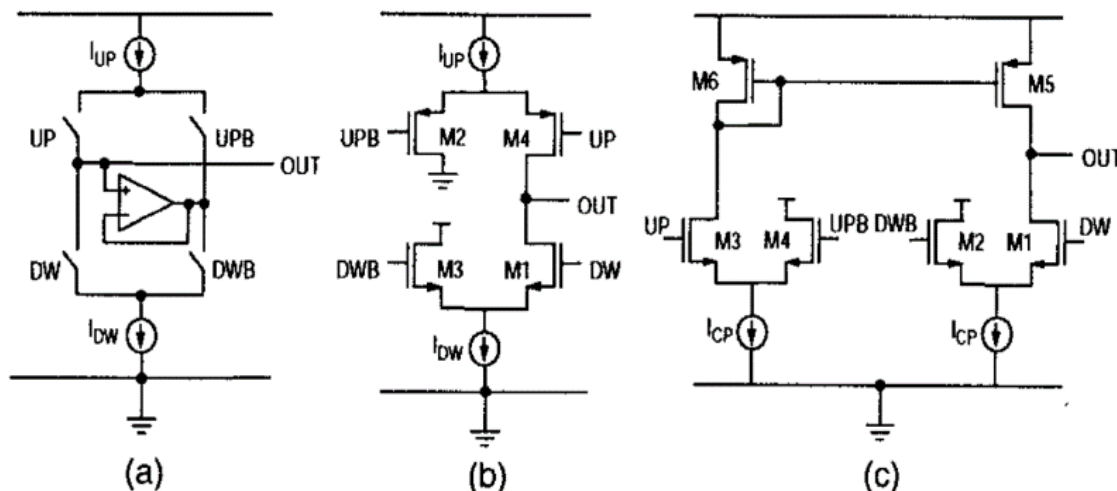
1. DLL实现锁定之后，控制电压仍存在周期性纹波。CP控制开关的切换所致电荷注入失配会进一步增加相位误差和控制电压的纹波。
2. 由于短沟道MOSFET的低输出阻抗，Charge Pump输出电压变化会导致相位锁定误差；

研究内容

(二) 波形数字化ASIC的高带宽、高采样率的实现方法

② 超高速采样速率实现方法研究

电荷泵是DLL最关键的部分，可以实现高速开关的典型的CP结构有以下几种：



《Design of High-Performance CMOS Charge Pumps in Phase-Locked Loops》

(a) 单位增益运放保证上下电流镜的漏极电压等于输出电压，防止电荷分配

(b) current Steering结构可以提升开关速度

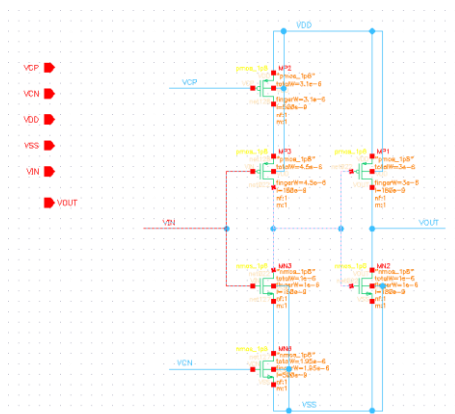
(c) 避免PMOS和NMOS的不匹配，用全NMOS开关

◇ 选用 (a) 结构：可以实现小的锁定误差以及较大范围内充放电电流匹配

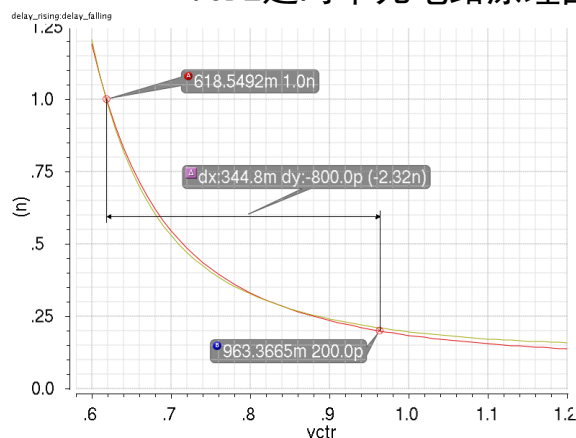
研究内容

（二）波形数字化ASIC的高带宽、高采样率的实现方法

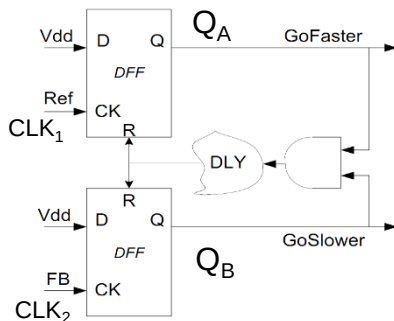
② 超高速采样速率实现方法研究



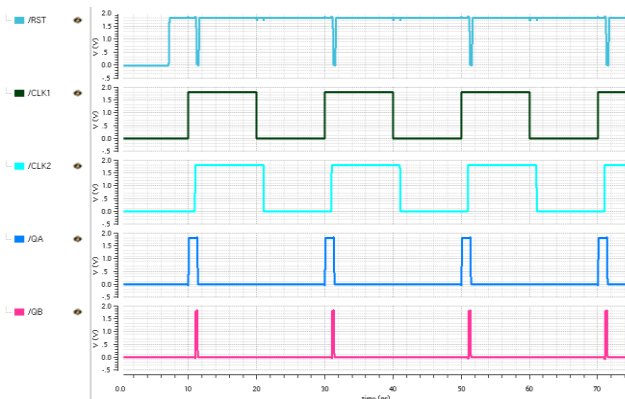
VCDL延时单元电路原理图



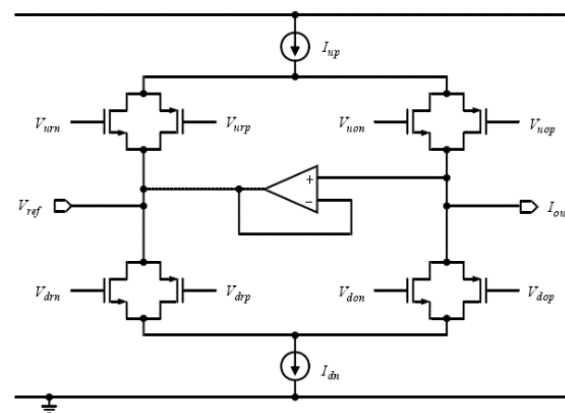
延时仿真结果



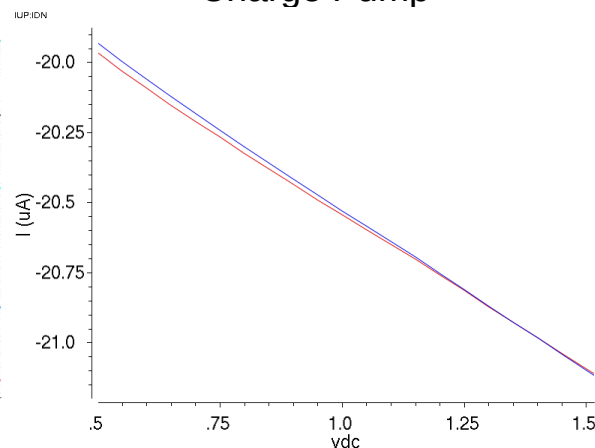
PFD



PFD仿真结果



Charge Pump



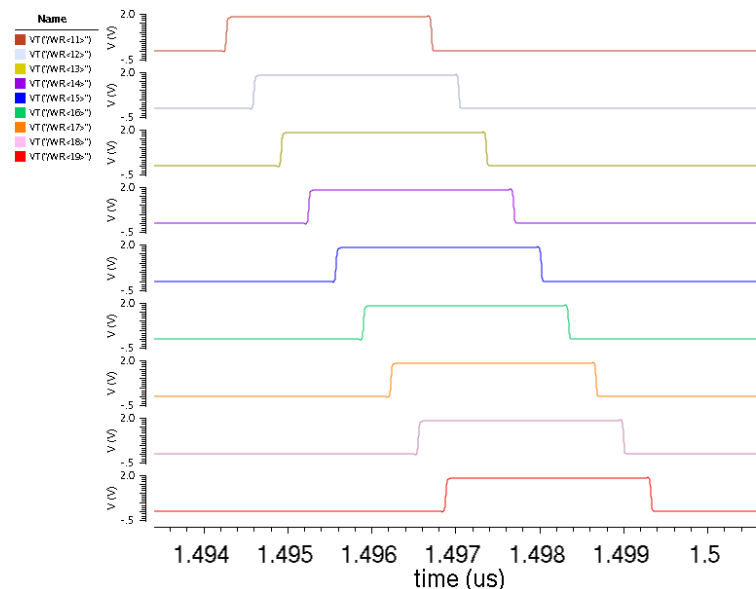
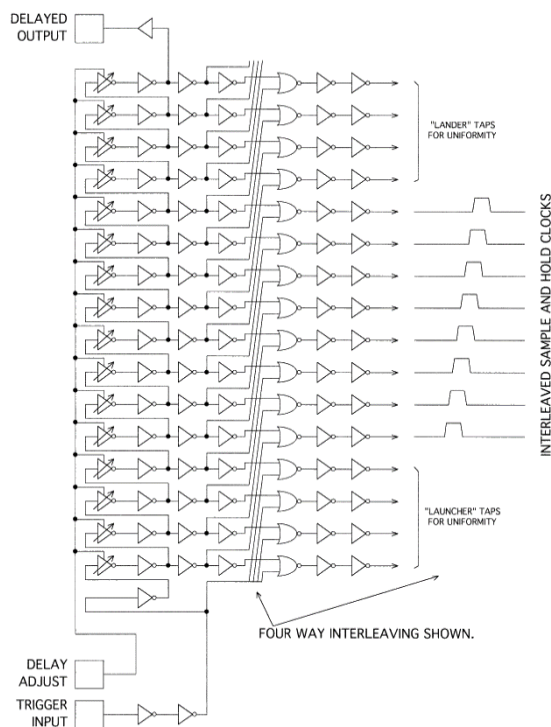
充放电电流随输出电压关系

研究内容

(二) 波形数字化ASIC的高带宽、高采样率的实现方法

② 超高速采样速率实现方法研究

输出整形电路



时序产生电路仿真波形

《Gigahertz Waveform Sampling and Digitization Circuit Design and Implementation》

主要内容

▶ 研究背景

▶ 研究内容

- ◇ （一）基于高速模拟采样的波形数字化ASIC构架研究
- ◇ （二）波形数字化ASIC的高带宽、高采样率的实现方法
- ◇ （三）提升超高速波形数字化ASIC的采样测量精度方法研究
 - ① 提升单元采样电路的测量精度方法研究
 - ② ASIC芯片级提升系统测量精度的研究
- ◇ （四）实现数字读出接口的芯片内量化电路设计研究
- ◇ （五）通道仿真

▶ 总结

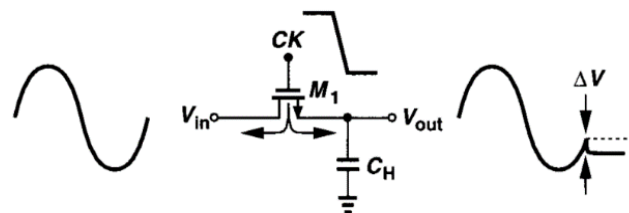
研究内容

(三) 提升超高速波形数字化ASIC的采样测量精度方法研究

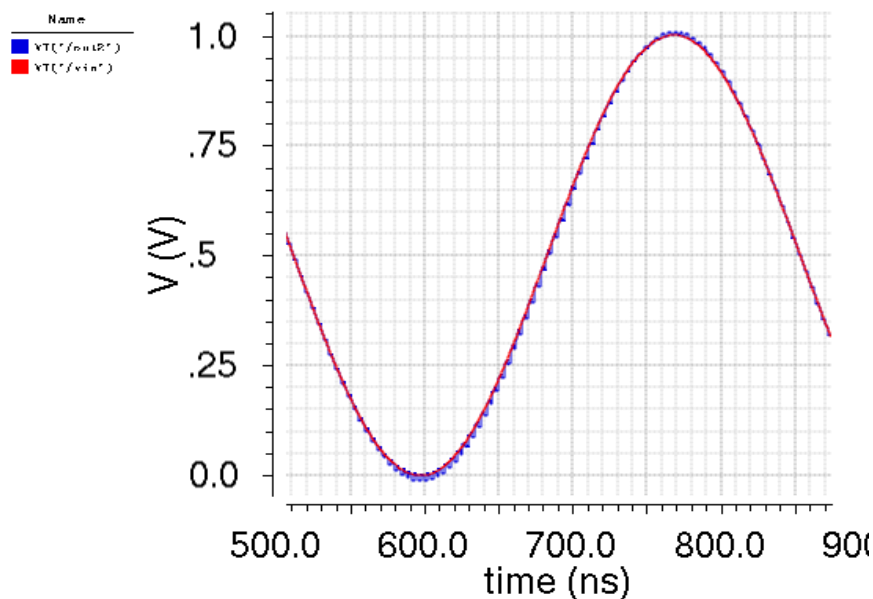
► ① 提升单元采样电路的测量精度方法研究

1) 电荷注入效应的抑制

$$V_{out} \approx V_{in} - \frac{WLC_{ox}(V_{DD} - V_{in} - V_{TH})}{C_H}$$



- ◇ 综合考虑开关尺寸和电容大小
- ◇ 采用尺寸相等的NMOS和PMOS，最大程度抵消电荷注入



研究内容

(三) 提升超高速波形数字化ASIC的采样测量精度方法研究

① 提升单元采样电路的测量精度方法研究

2) 采样电路噪声控制 $\sqrt{kT/C}$

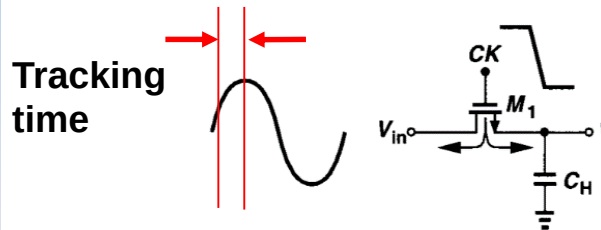
- ◇ 对于A/D变换系统，正弦波输入下ENOB计算方法

$$ENOB = \frac{20\lg(V_{sig}/V_{noise}) - 1.761}{6.02}$$

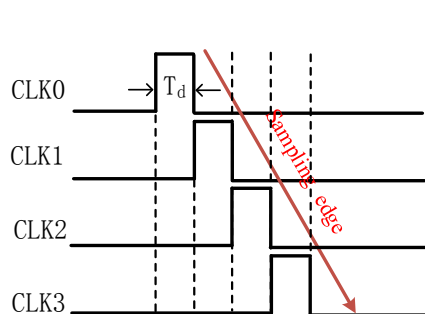
- ◇ 电容值取大于200 fF
- ◇ 稍大电容抑制不一致性

ENOB (bit)	V_{noise} (μV)	Cap (fF)
10	280	52.8
11	141	208.2
12	71	821.3

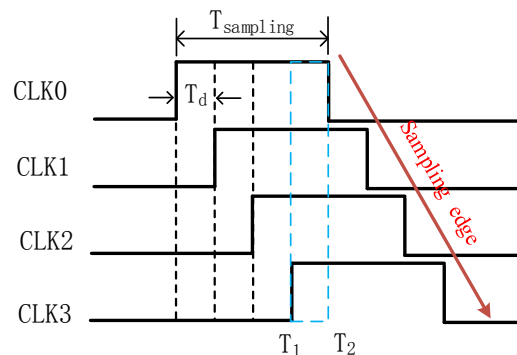
3) 采样窗口的优化



- ◇ 需在模拟带宽及tracking精度间进行权衡和优化



(a) T_d



(b) $N \times T_d$

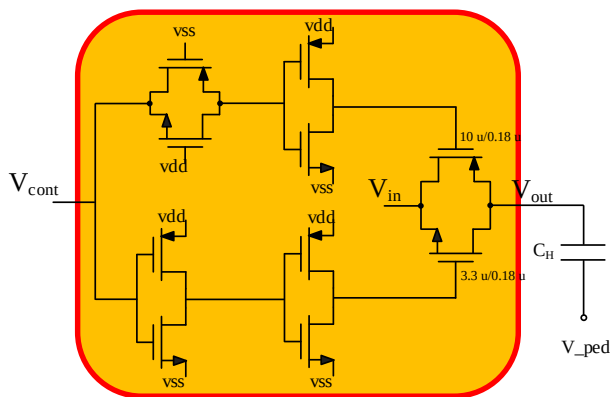
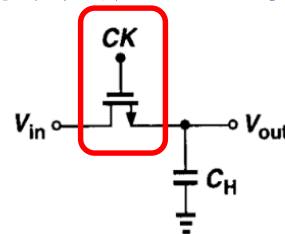
采样窗口原理示意图

研究内容

(三) 提升超高速波形数字化ASIC的采样测量精度方法研究

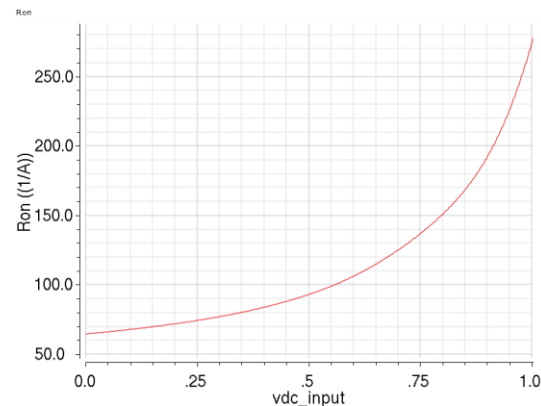
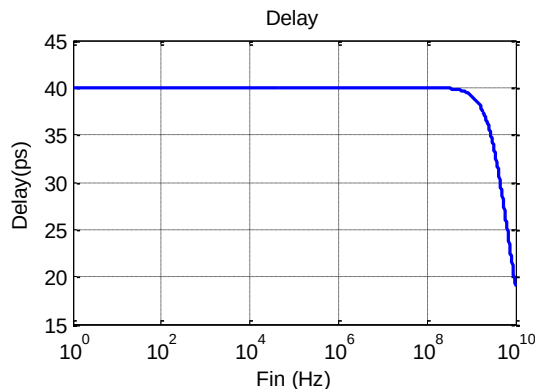
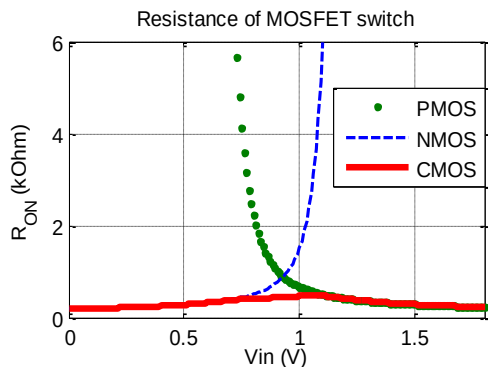
① 提升单元采样电路的测量精度方法研究

4) 采样电路信号失真的分析及处理技术研究



◇ 幅频响应分析：进行考虑RC常数在不同输入信号幅度下变化，会导致等效3 dB带宽发生变化

◇ 从相频响应的角度出发，RC常数随输入信号幅度变化会导致相移变化（即延时变化），因此会导致信号失真，所以要让开关导通阻抗在输入范围内尽量平坦



研究内容

(三) 提升超高速波形数字化ASIC的采样测量精度方法研究

② ASIC芯片级提升系统测量精度的研究

- 研究从ASIC构架级考虑提升系统测量精度的方法
- 在一些物理实验中测量精度要求是相对值，例如要求在整个动态范围内测量误差不超过10%

假设波形数字化系统ENOB为8 bit:

低4位 → 10%

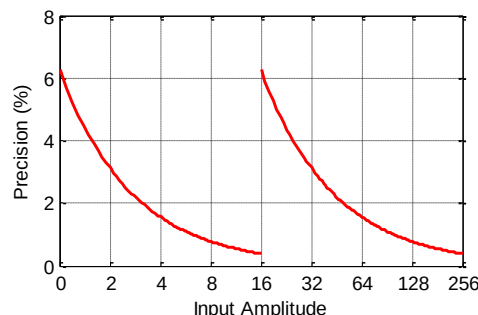
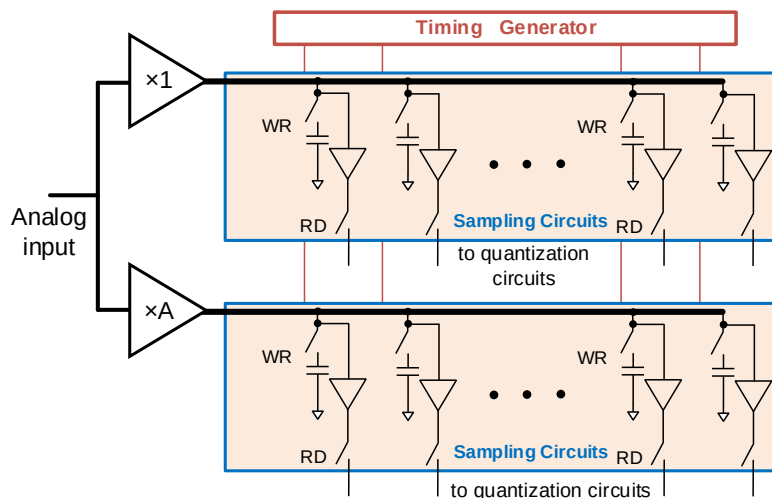
高4位 → 动态范围只能达到1~16

基于两个SCA通道实现的两量程分段测量

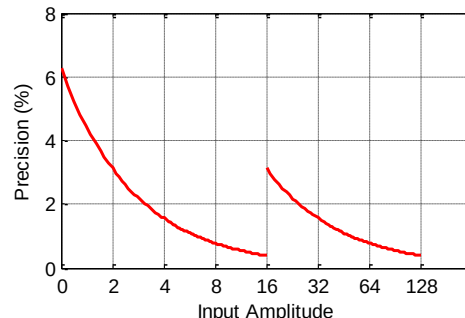
动态范围1~256 (2^8)~12 bit ENOB

基于两个9 bit SCA通道实现的两量程分段测量

动态范围1~1024 (2^{10})~14 bit ENOB



(a) 两个8 bit SCA通道无overlap情况



(b) 两个8 bit SCA通道有overlap情况

测量精度分析

主要内容

▶ 研究背景

▶ 研究内容

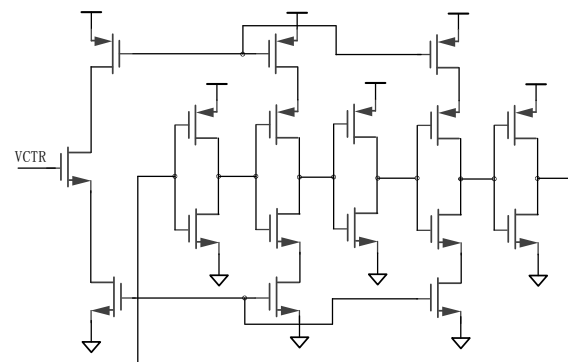
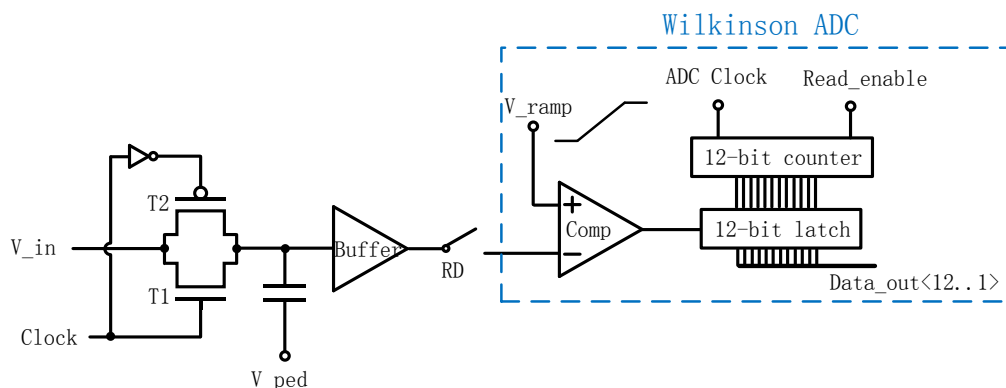
- ◇ （一）基于高速模拟采样的波形数字化ASIC构架研究
- ◇ （二）波形数字化ASIC的高带宽、高采样率的实现方法
- ◇ （三）提升超高速波形数字化ASIC的采样测量精度方法研究
- ◇ （四）实现数字读出接口的芯片内量化电路设计研究
- ◇ （五）通道仿真

▶ 总结

研究内容

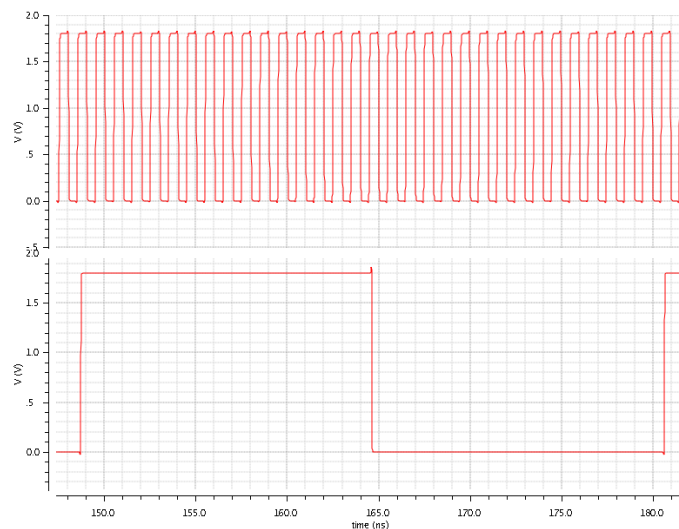
(四) 实现数字读出接口的芯片内量化电路设计研究

1) 片内数字化



Counter时钟产生电路

- ▶ 基于复用counter降低量化电路功耗
- ▶ Wilkinson结构实现全并行数字化

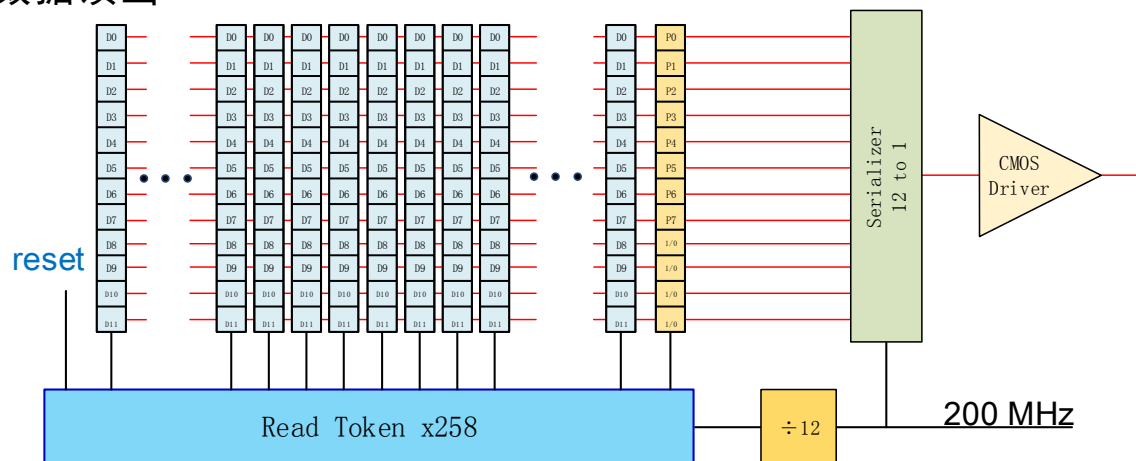


Counter时钟波形

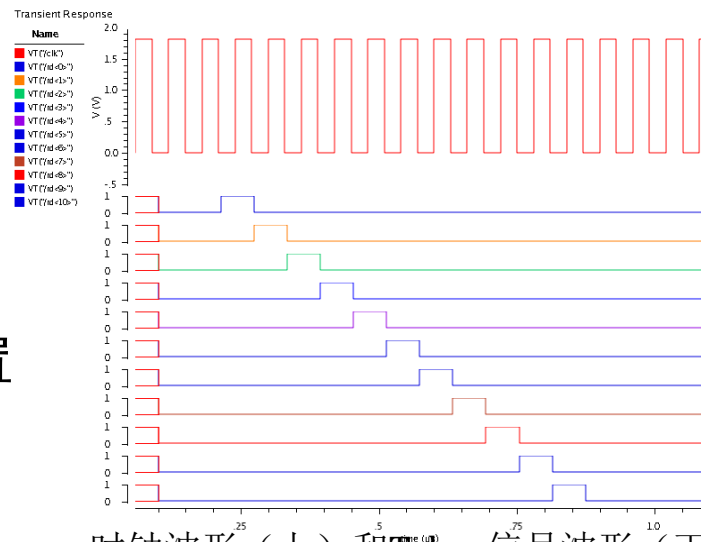
研究内容

(四) 实现数字读出接口的芯片内量化电路设计研究

2) 串行数据读出



- ▶ 实现串行数据读出
- ▶ 采样停止位置编码输出
- ▶ ROI (Region of interesting)模式可选配置

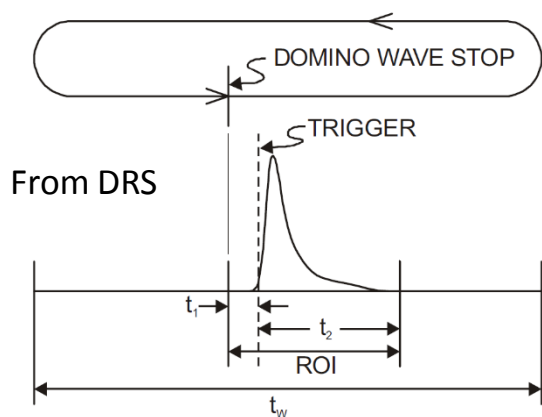


时钟波形（上）和Token信号波形（下） 28

研究内容

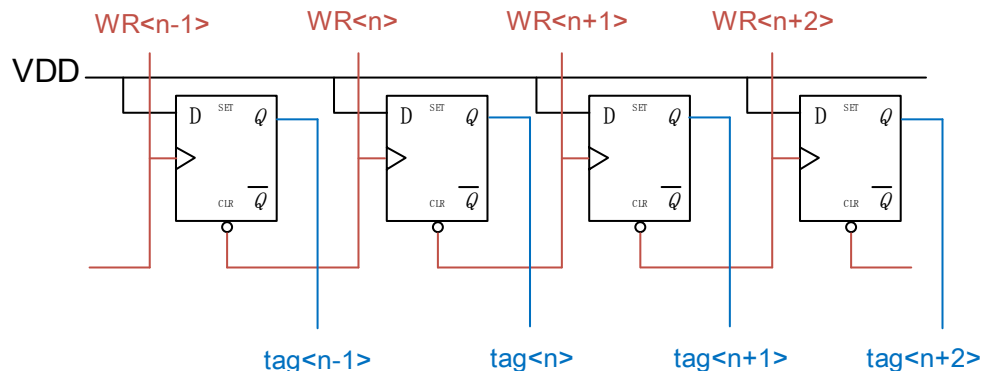
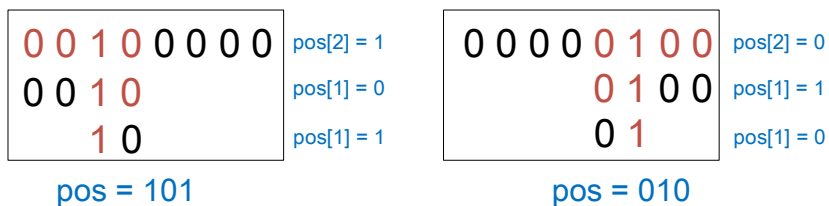
(四) 实现数字读出接口的芯片内量化电路设计研究

3) ROI 读出模式的实现

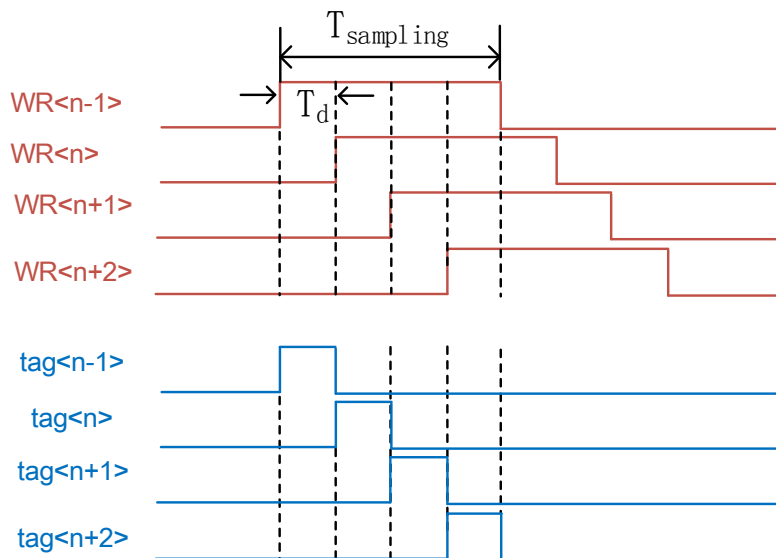


► 256位标志位需要编码 (8-bit) 输出

编码方式示意如下:



标志位产生电路示意图



采样时钟 (WR) 和标志位 (tag) 波形

主要内容

▶ 研究背景

▶ 研究内容

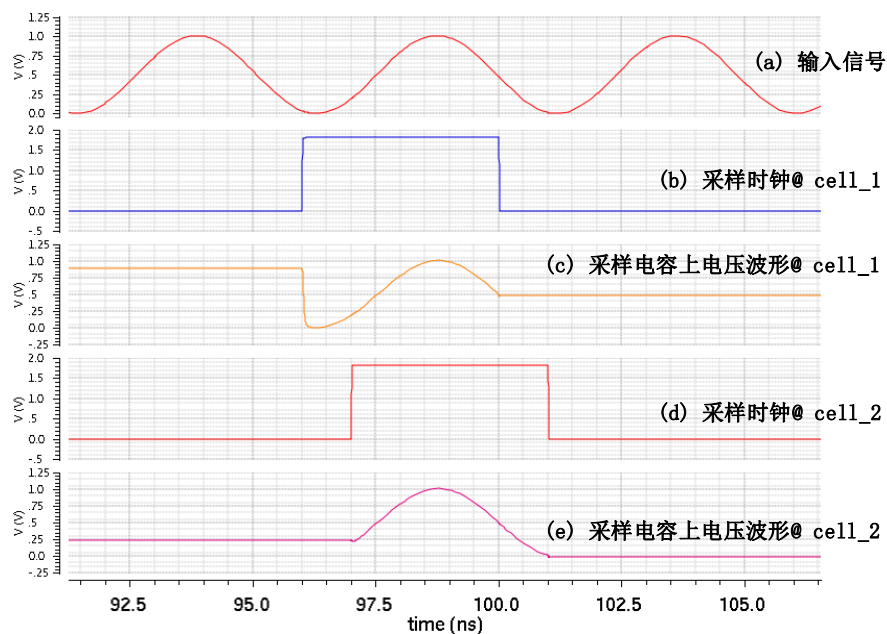
- ◇ （一）基于高速模拟采样的波形数字化ASIC构架研究
- ◇ （二）波形数字化ASIC的高带宽、高采样率的实现方法
- ◇ （三）提升超高速波形数字化ASIC的采样测量精度方法研究
- ◇ （四）实现数字读出接口的芯片内量化电路设计研究
- ◇ （五）通道仿真

▶ 总结

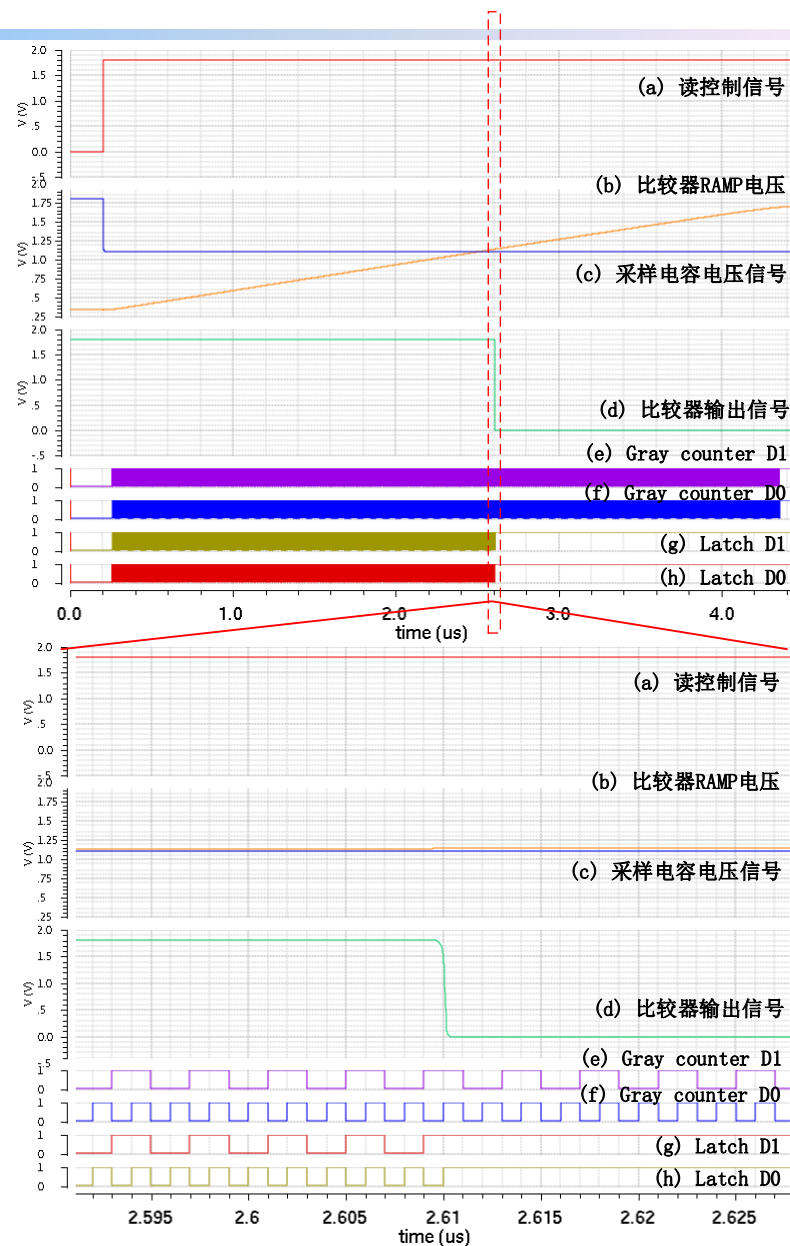
研究内容

(五) 通道仿真

1) 关键节点瞬态波形



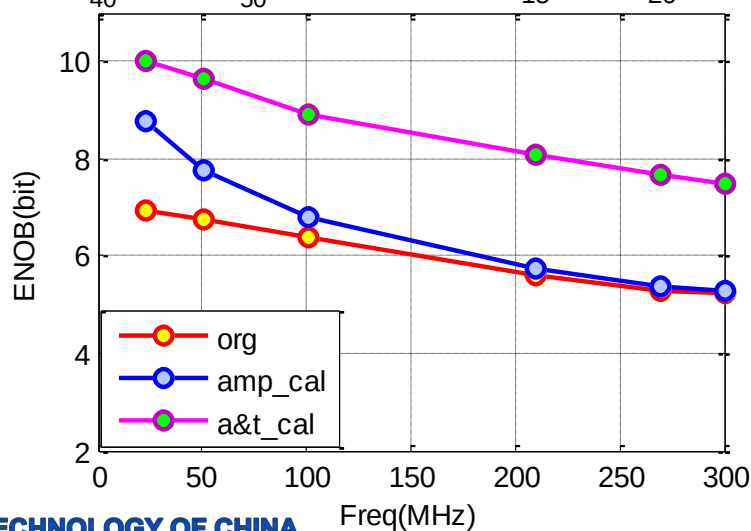
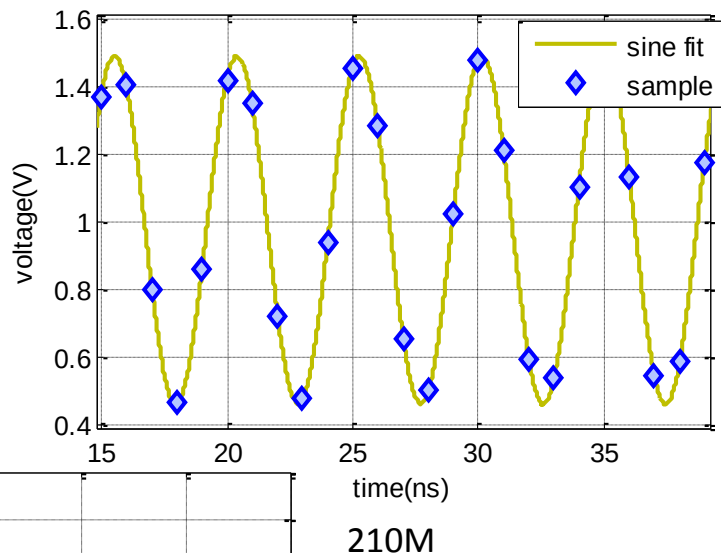
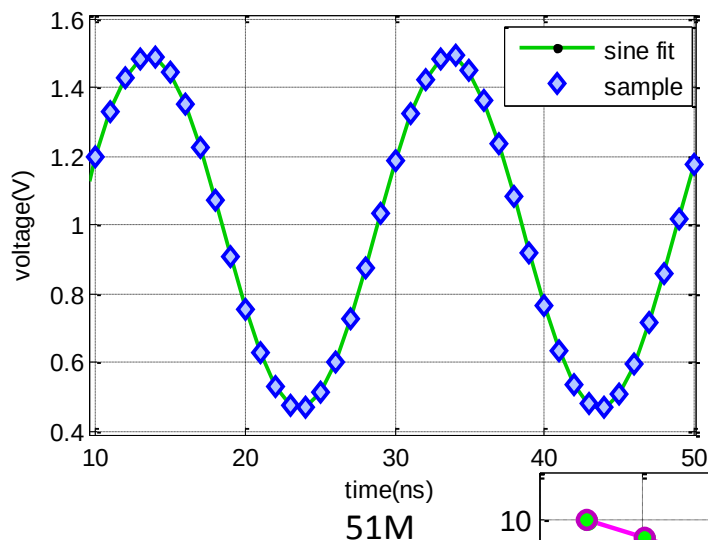
▶ 采样和量化电路关键节点瞬态波形



研究内容

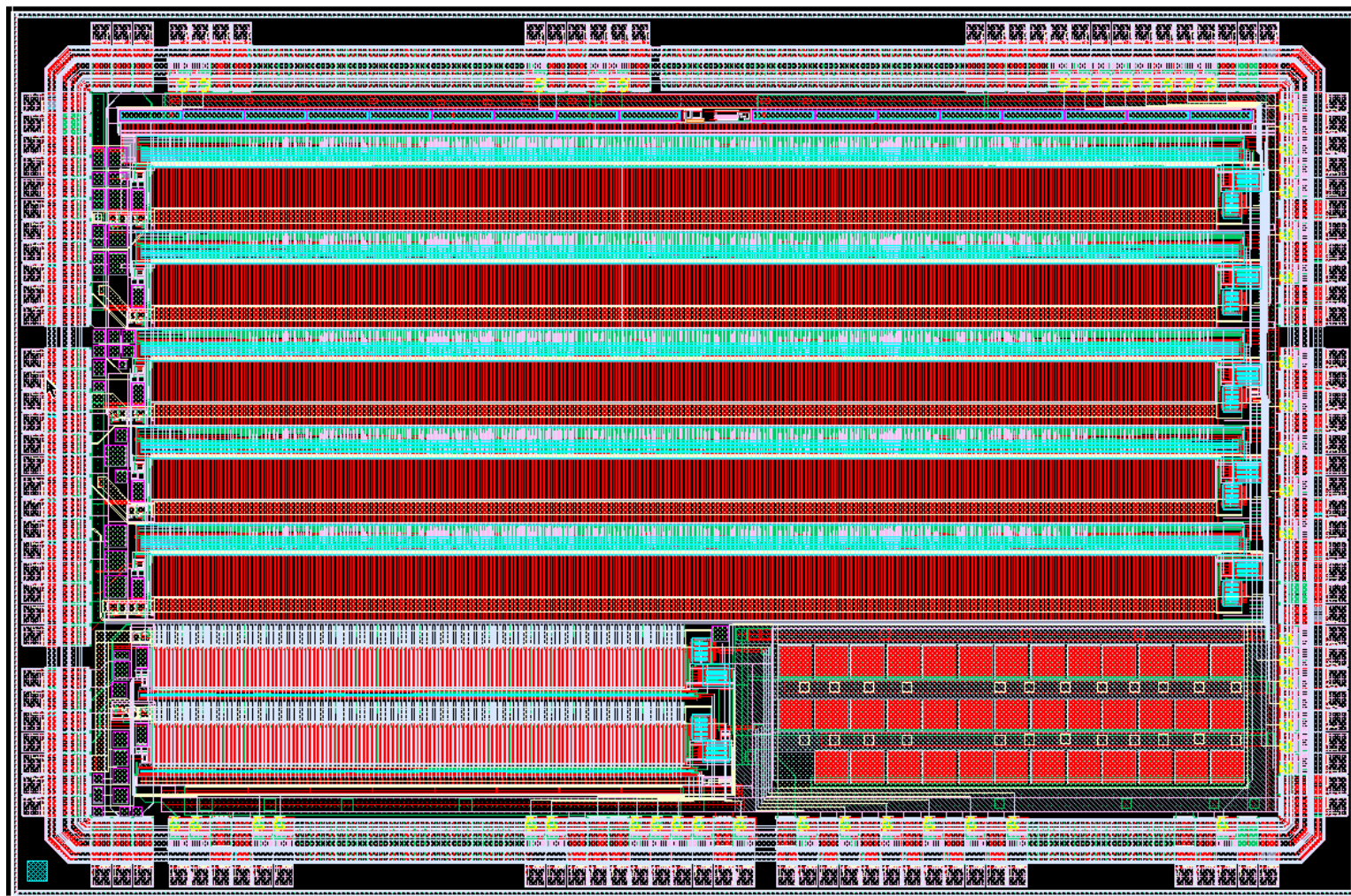
(五) 通道仿真

2) 瞬态仿真



研究内容

版图



4492 μm x 2902 μm

总结

- ▶ 探究并实现了高速高精度模拟采样
- ▶ 基于数字流程完成串行读出及控制模块
- ▶ 基于仿真完成幅度刻度和延时随幅度修正

谢谢