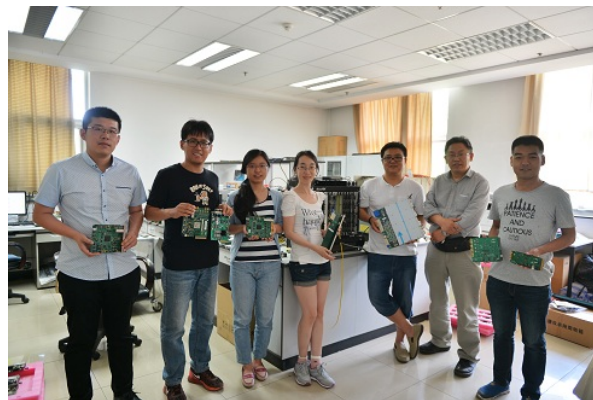
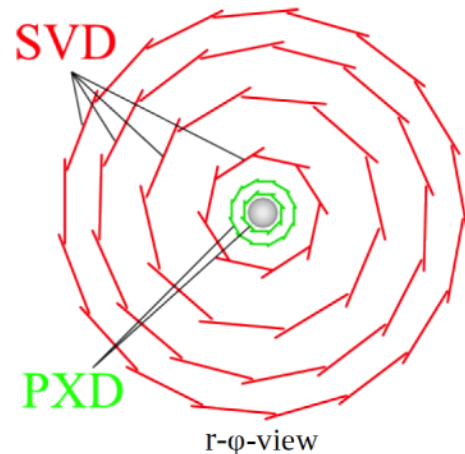
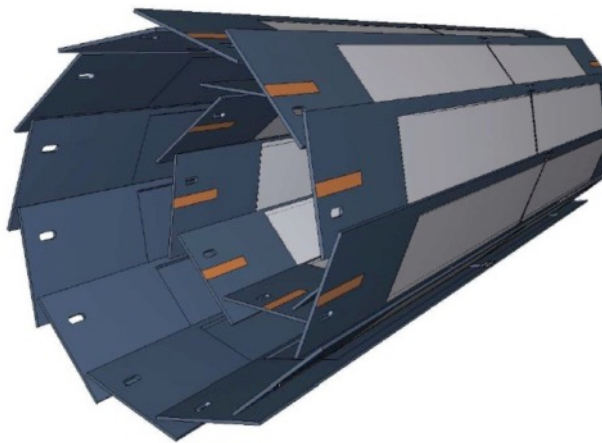
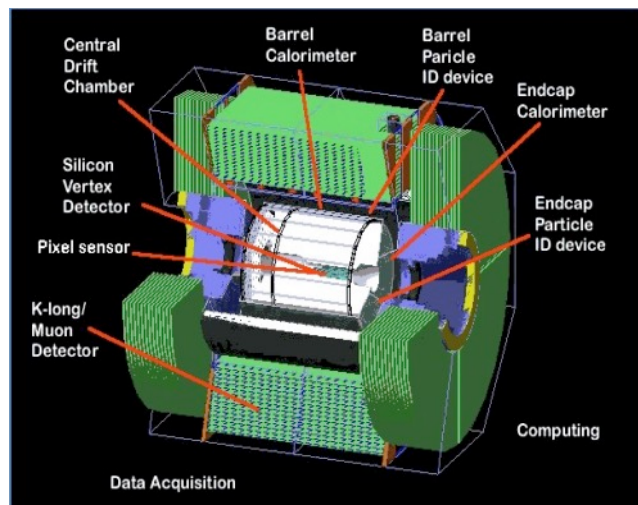


Belle II国际合作硬件贡献及相关 先进技术



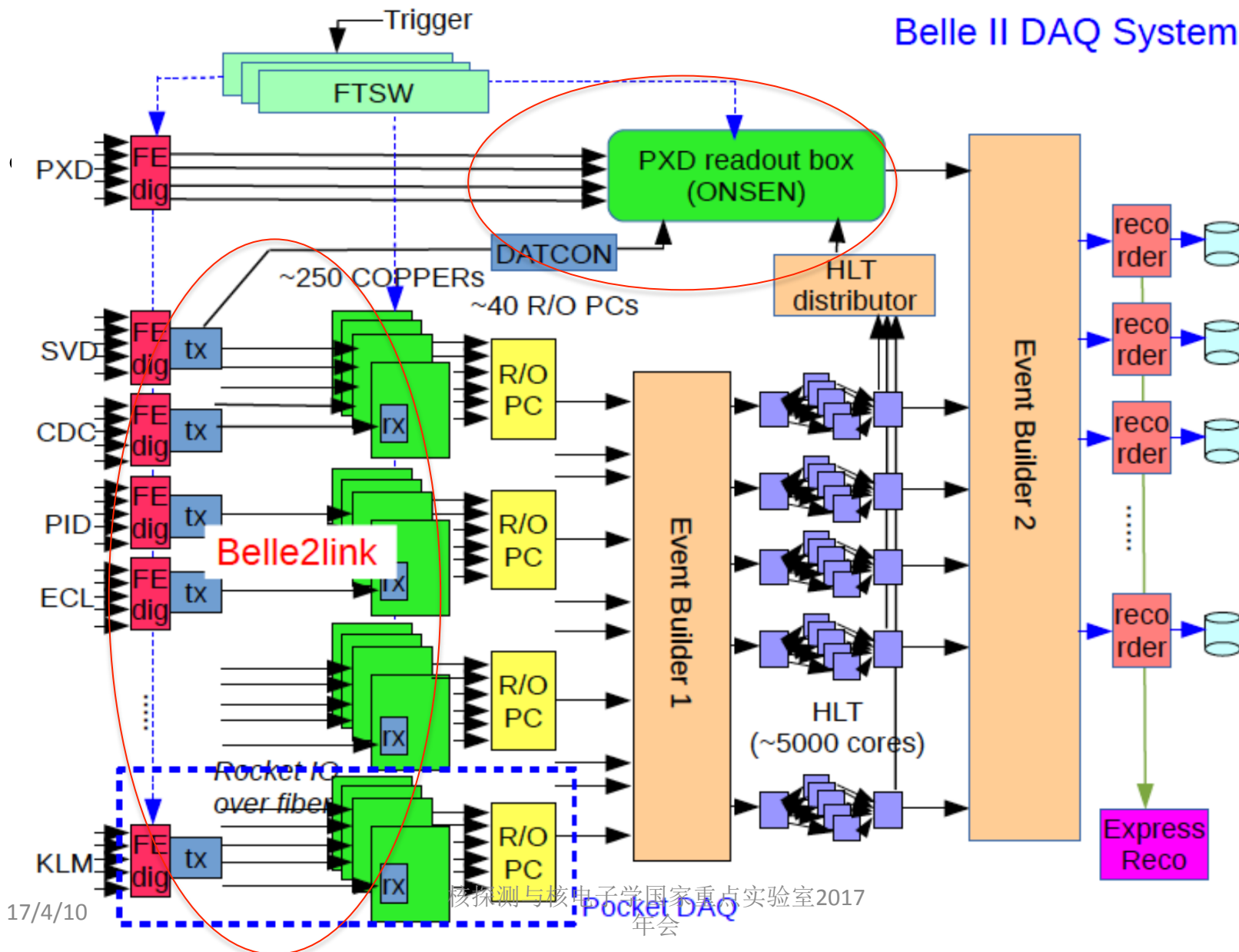
刘振安 高能所触发实验室
核探测与核电子学国家重点实验室2017年会
2017年4月11日
合肥中国科大

Belle II实验探测器简介



- **SuperKEKB:** KEK的B 介子工厂加速器KEKB 的升级，是不对称能量的双环正负电子对撞机，能量分别在4 GeV 和7 GeV，设计亮度 $8 \times 10^{35} \text{ cm}^{-2} \text{ s}^{-1}$ 。
- **Belle II** 是将运行在SuperKEKB上的探测器，也是原Belle探测器的升级，它由束流管，硅像素探测器(PXD)、顶点探测器(SVD)、中央漂移室(CDC)、粒子鉴别探测器(PID)、电磁量能器(ECL)以及KLO 粒子和 μ 粒子探测器(KLM)等探测器组成。
- PXD探测器是升级改造工程中增加的新型硅像素(DEPFET)探测器，位于Belle II的最内层，产生的数据量巨大，常规的数据读出系统根本不能满足Belle II后端读出的要求
- 2018年调试运行，由于亮度提高80倍，对B 物理、tau 物理以及粲物理和强子物理的研究将达到前所未有的精度。

Belle II探测器、电子学、触发、DAQ总揽





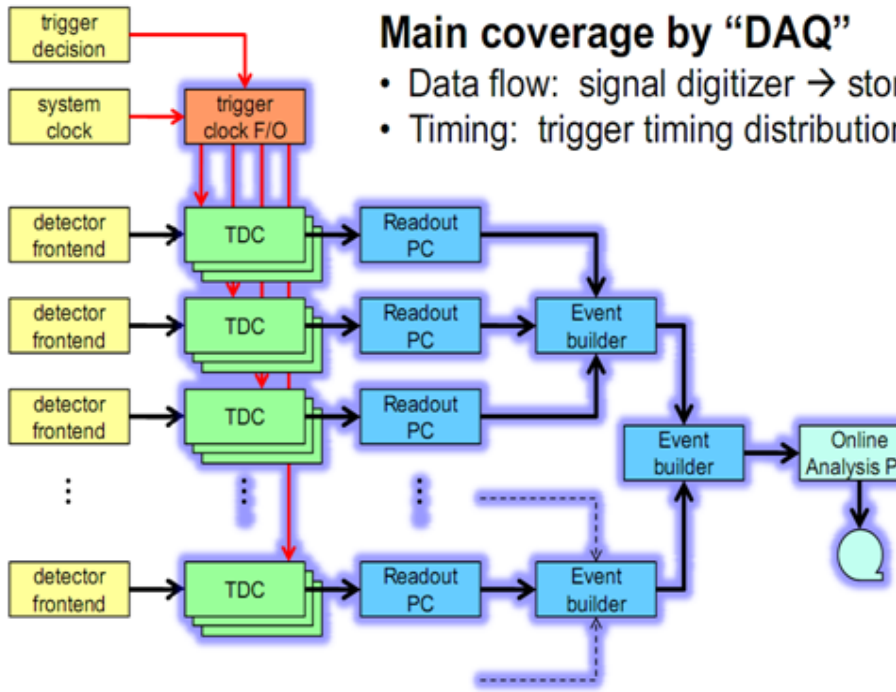
IHEP/KEK Belle II 硬件合作

- 高能所负责两个子系统
 - Belle II 全局读出与高速数据传输 (Belle2link)的研建
 - PXD硅像素探测器数据获取硬件 (PXD-DAQ)的研建
- IHEP 在Belle2link中具体任务
 - 系统设计与TDR编写
 - 原型设计和传输协议及固件软件的开发（高能所与KEK资金）
 - 原型系统的建立
 - 领导 Belle2link 工作组在所有探测器中的应用
 - 量产(HSLB 数据板, IHEP 提供100块板的经费, 共730块)
 - 系统安装与调试运行(与KEK/DAQ 合作)
- IHEP 在PXD-DAQ的具体任务
 - 核心插件（CN板）的原型设计
 - 软件开发（与德国吉森大学合作, 外方为主）
 - 量产（高能所负责构成系统的所有经费）
 - 系统安装与调试(与吉森大学合作)



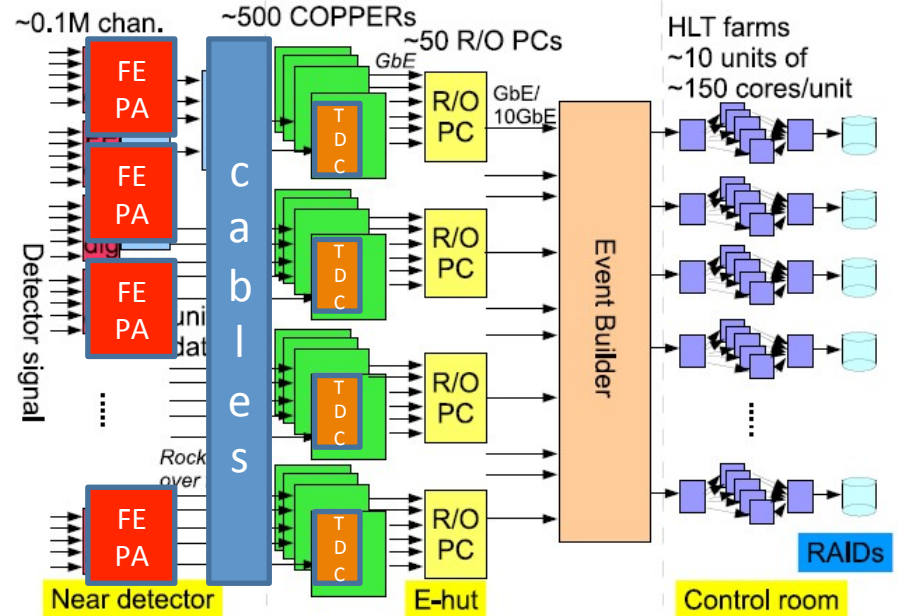
Belle II 数据获取系统

Belle DAQ



Belle II Preliminary DAQ Structure

Global DAQ Design



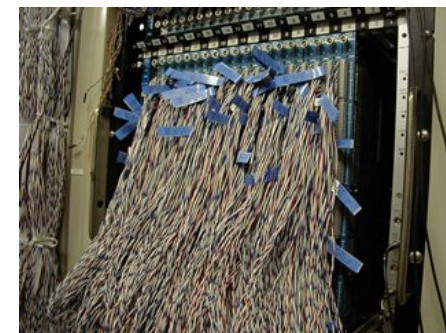
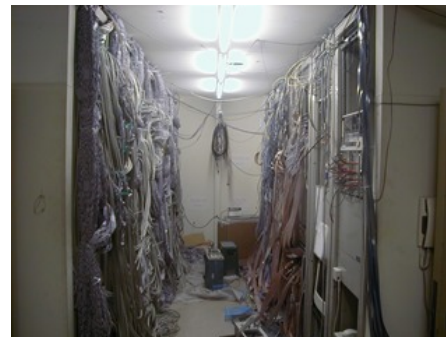
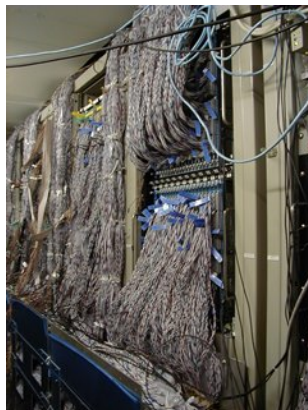
- Belle II DAQ
 - 前放
 - 电缆
 - 数字化平台/COPPER

BELLE II 数据获取

☑KEK开发了通用VME读出平台COPPER

☑不足与困扰之处

长电缆架构结构复杂，地线回路干扰，数量多成本高。



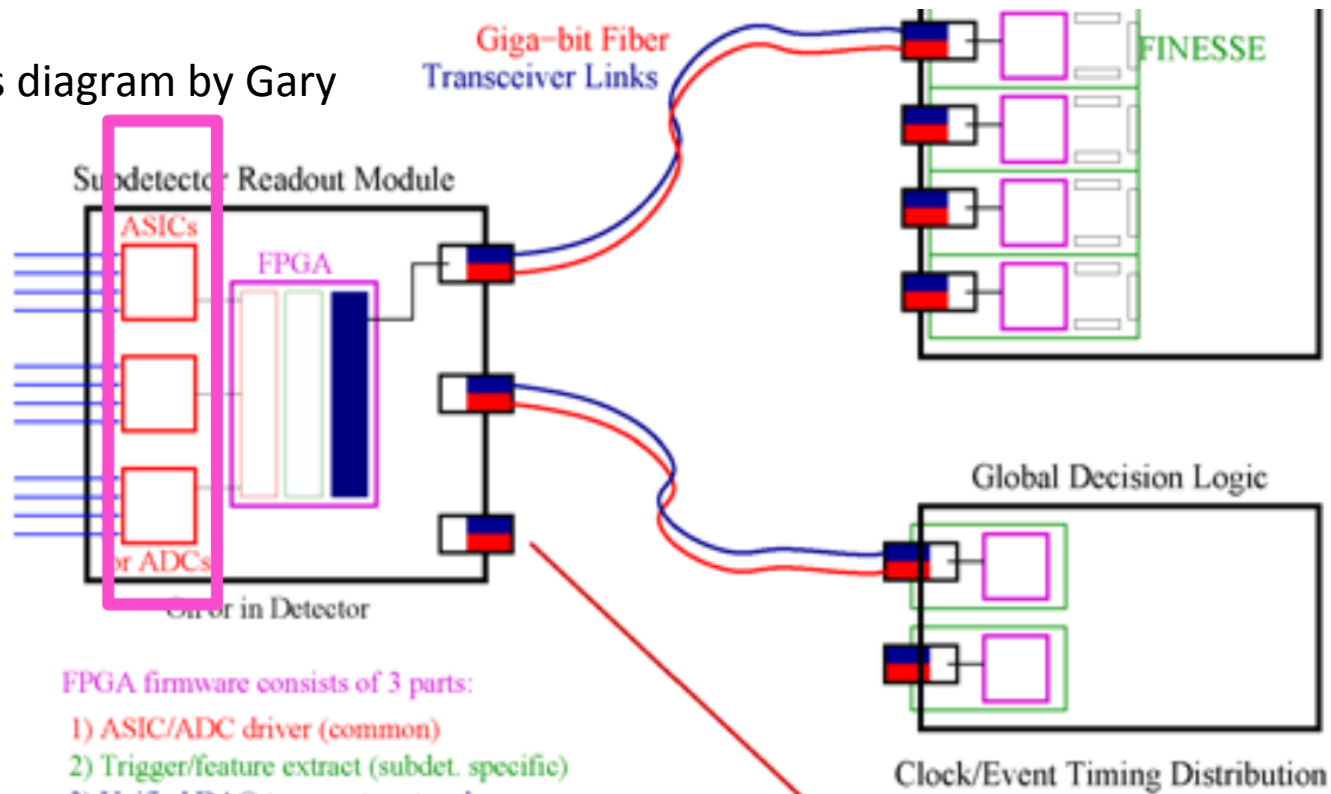
DAQ升级

☑ 新方案 (Gary+Zhen-An)

☑ 2009 ITOH/Nakao 教授参观BESIII并进行了探讨

- 利用BESIII 高速传输与光纤隔离经验
- 完全重新设计前端电子学
- 统一的探测器读出+标准HSLB
- 决定邀请高能所触发组参加Belle II 合作

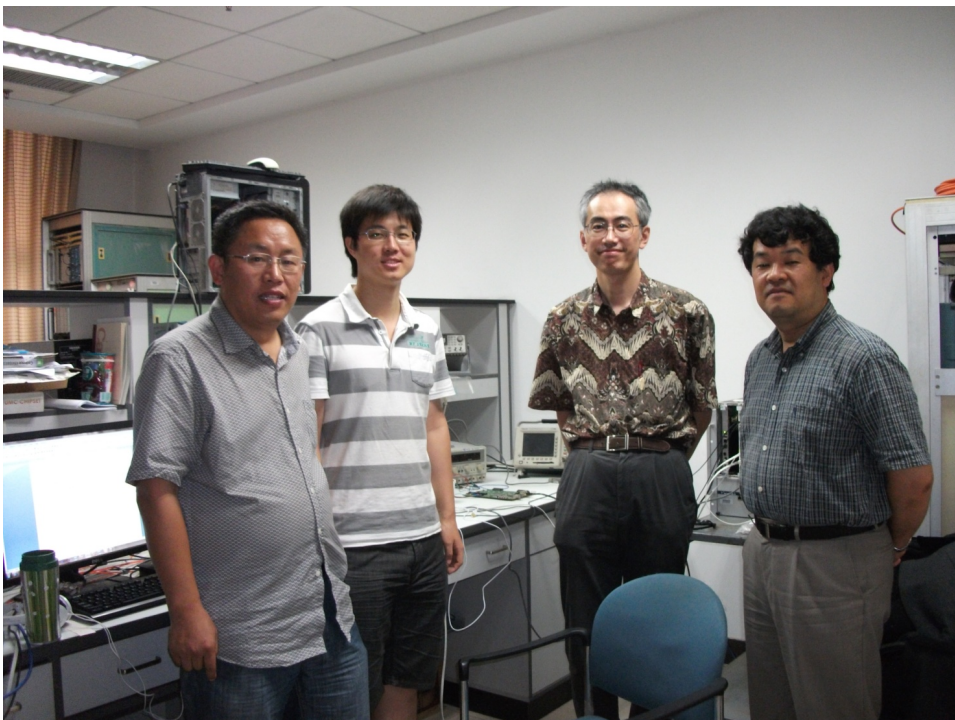
Famous diagram by Gary



多次互访技术交流

- 2010: KEK Trigger+DAQ 7人技术代表团访问
高能所触发实验室做技术交流
 - 提供R&D 设备
 - FINESSE + COPPER/VME
 - 开始研究设计
- 2011年在北京举行
Belle II TDAQ研讨会

曾同时建议：高能所开发的CN取代COPPER
未被采纳



技术难点

Belle2Link is a name for global fast data readout and transmission between Detector Front-End Electronics(FEE) and Back-End DAQ system of Belle II experiment. It features, with system simplicity and reliability, as:

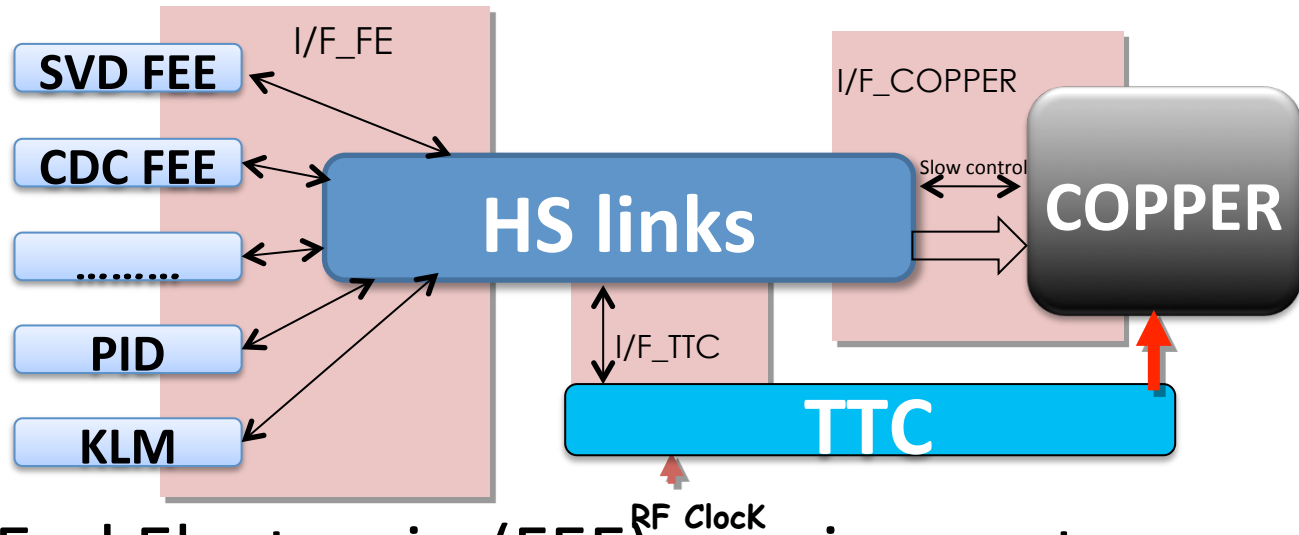
1. unification in hardware design(for each detector sub-system)
2. unification in firmware design(for each detector sub-system)
3. provides electrical isolation
4. provides high speed transmission rate(3 Gbps)
5. work at different input data rate(with different detector sub-system)
6. home brew transmission protocol
7. Slow control on the same link

Belle2Link

方案

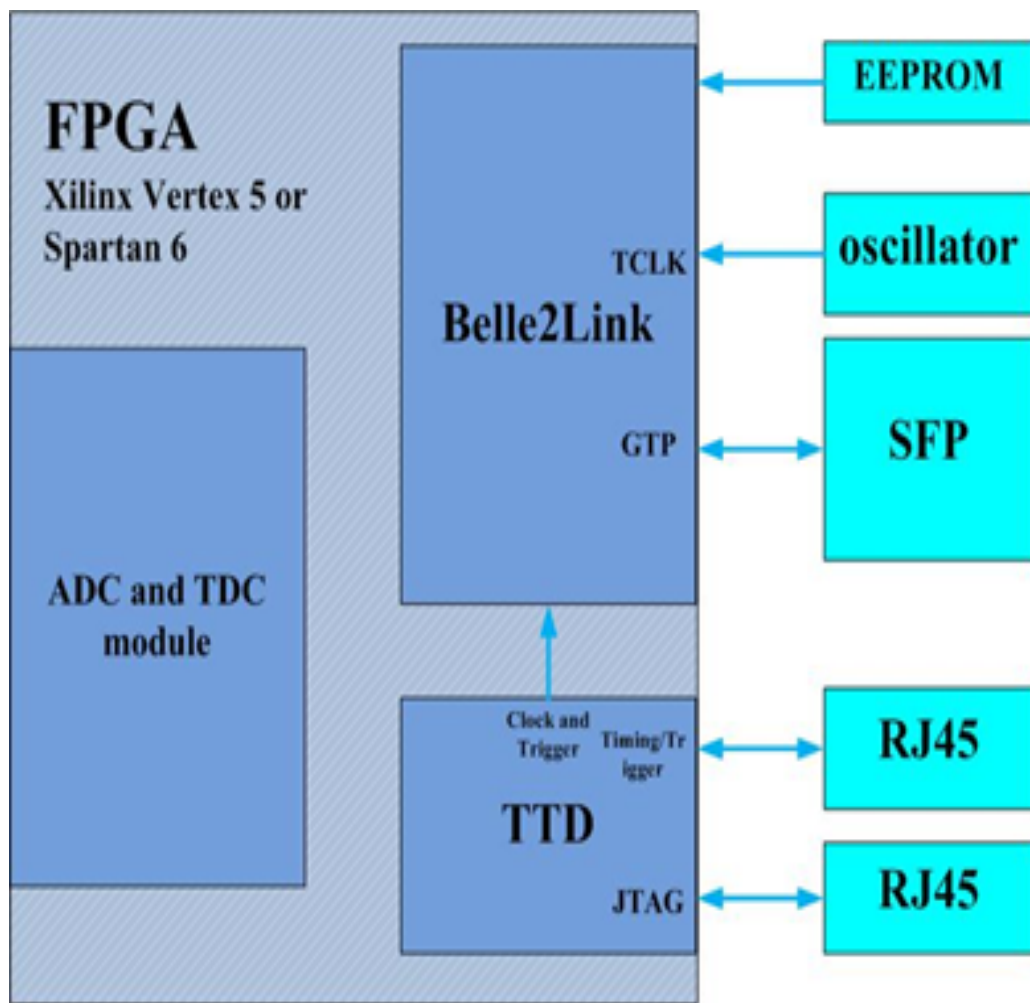
- Agreement :
 - Belle2link is not only a link as its looks
 - Belle2Link is a global fast data readout and transmission between Detector Front-End Electronics(FEE) and Back-End DAQ system of Belle II experiment.
 - The slow control(later defined as detector parameter setting/reading) function are also requested to Belle2Link.
 - R&D with CDC system -> Model system(by IHEP)
 - Integration to detector system
 - B2Link Working Group
 - » IHEP Group(leading)
 - » KEK/DAQ group
 - » One or two from Each detector system

硬件



- Front-End Electronics(FEE) requirement
 - The hardware will be designed by each detector system **following Belle2Link requirement** for FPGA and high speed transceivers
 - The readout and data transmission will be part of belle2link
 - Integration of FEE and Belle2link by each Detector system
 - IHEP for CDC as a Model system

2.2 Belle2Link前端硬件规范

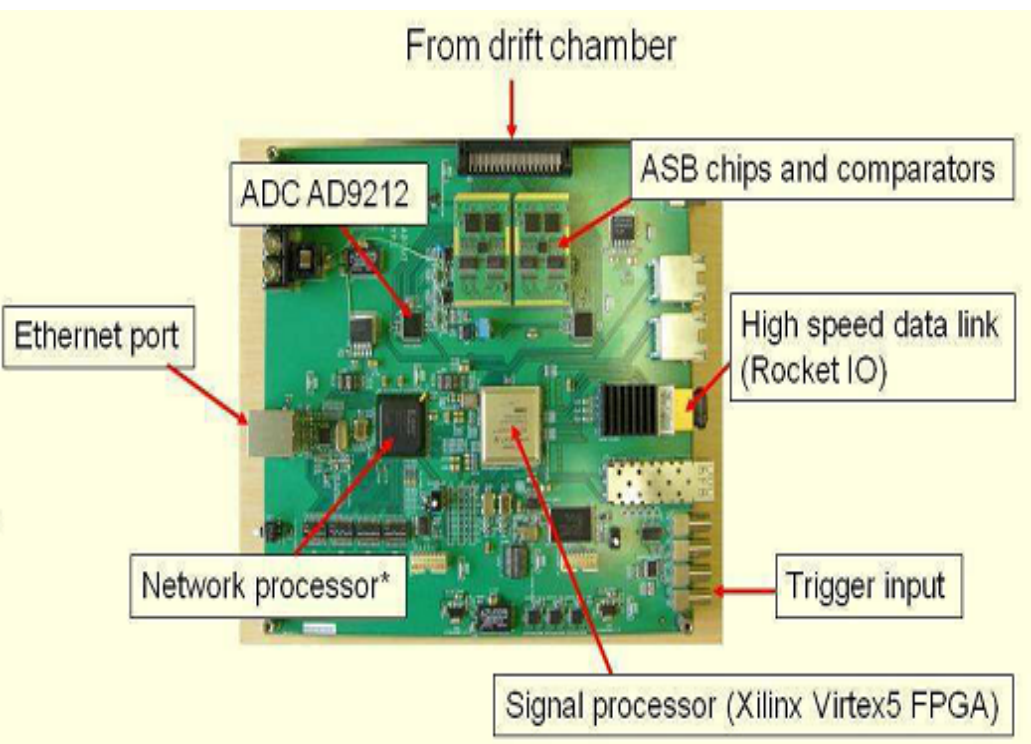


☑ 【Belle2Link前端部分】

从硬件设计的统一性考虑，主要功能逻辑器件FPGA的型号做了规定：

- 带有RocketIO GTP 模块的Xilinx 的 Viretex5 或Spartan6 FPGA。
- 同时在管脚定义域连接器方面，各个子探测器必须有以下端口和连接器：
- 一个SFP光纤收发器连接到GTP的串行收发管脚
 - 一个板上的高精度时钟通过专用时钟管脚连接到GTP模块
 - 两个RJ45连接器

CDC前端电子学板



☑【数字化部分】

包含了快速成型ASIC，ADC，
以及在主FPGA实现的TDC和
pipeline等

☑【读出部分】

主FPGA内数据预处理、传输控
制逻辑和GTP。

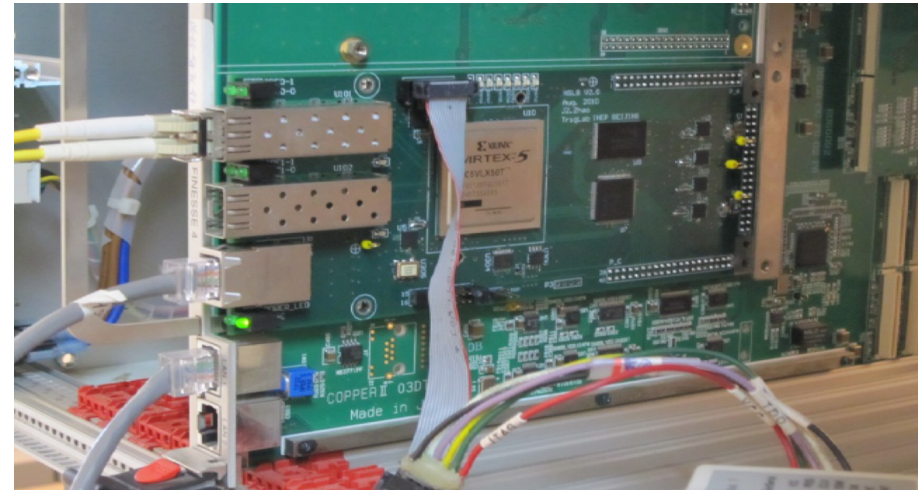
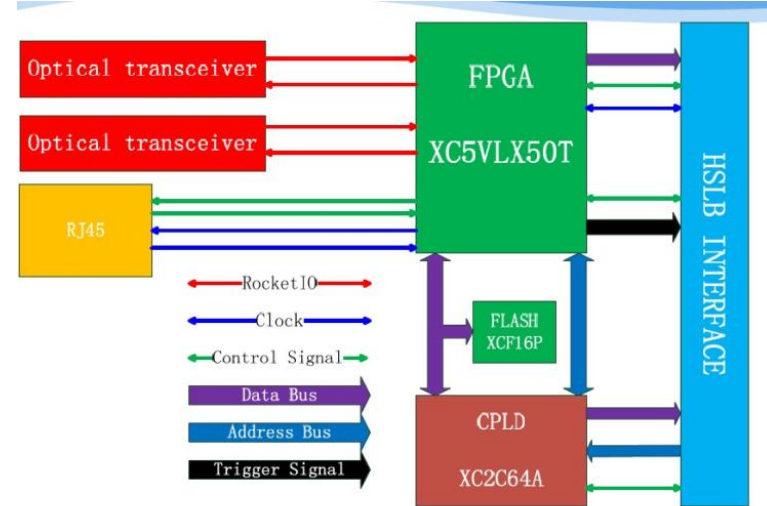
与GTP高速串行管脚连接的光
纤收发器。

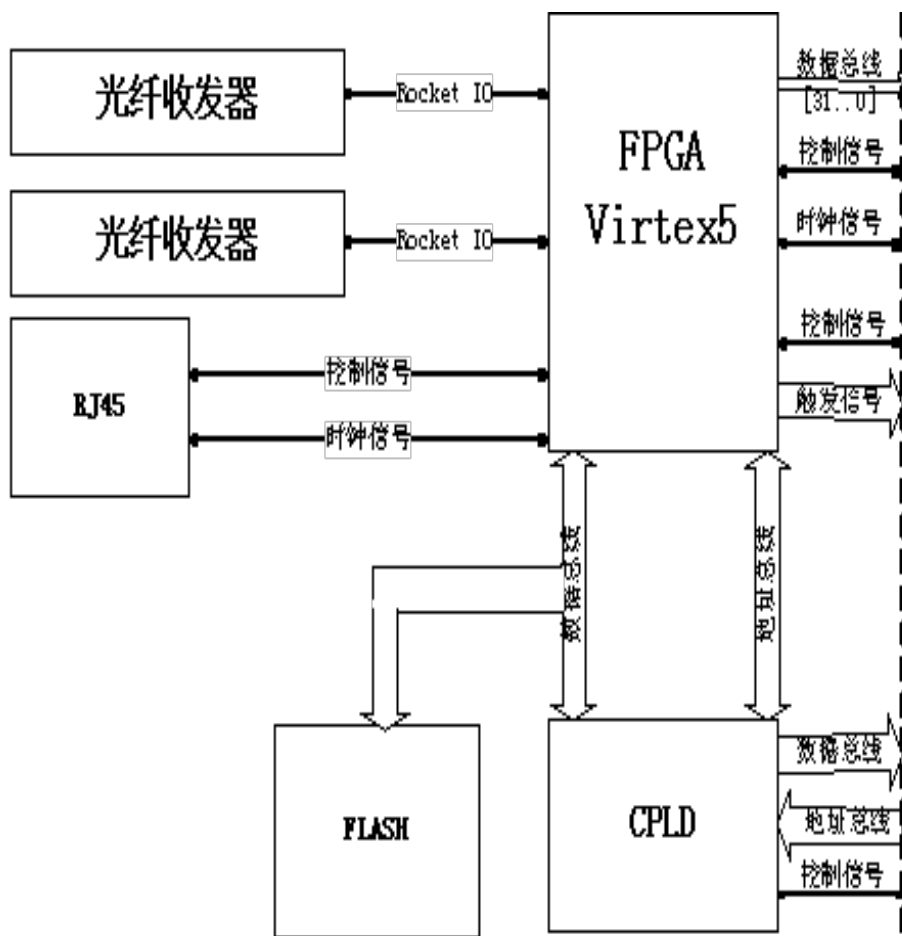
☑【TTD部分】

RJ45等

后端与COPPER接口

- Belle II DAQ is based on COPPER
- **HSLB**: High speed Link Board put on existing COPPER board
- Designed lane rate : 3.125Gb/s/ch.
- Data Preprocessing ability
- Online configuration.
- Version 2.0 is satisfactory.



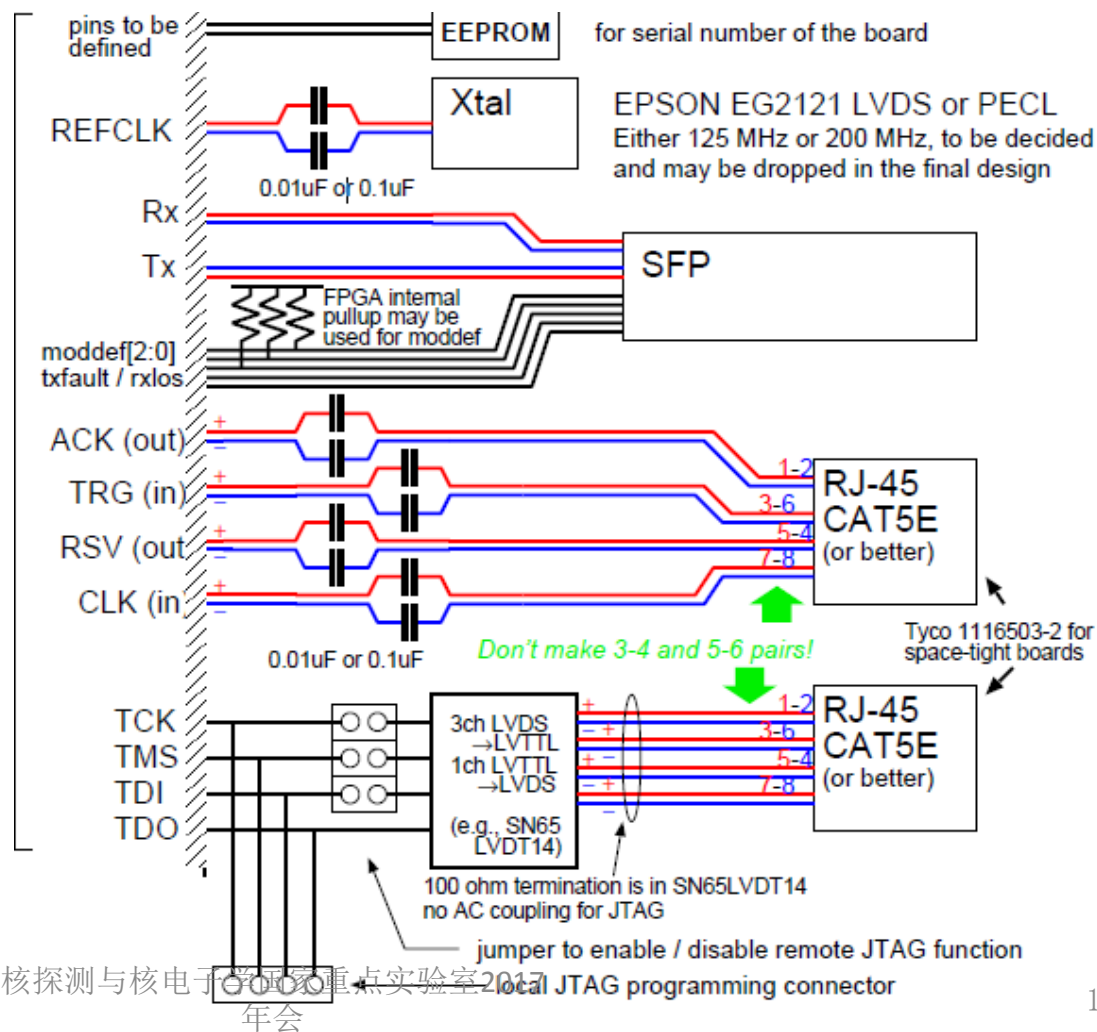


☑ 【HSLB主要特性】

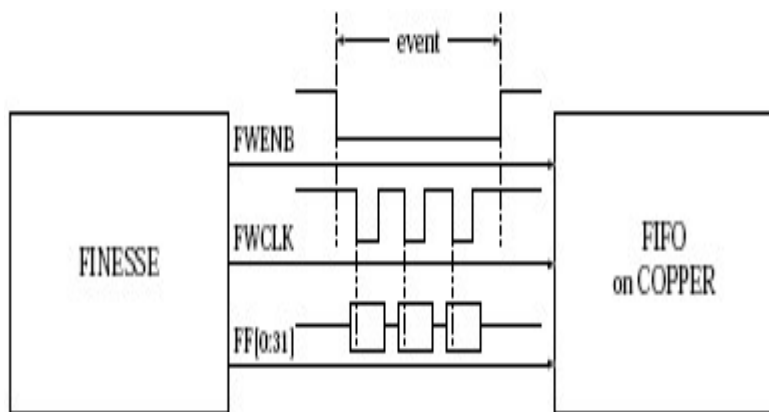
1. 板上光纤收发器单通道传输速率达到3.125Gbps
2. 在线配置;
3. 时钟管理
4. 连接localbus总线
5. 能够通过RJ45接口接受来自于TTD系统分布的时钟信号，和一些控制信号。

前端电子学FEE的定时信号

- Unification in Belle2/timing interface Design(**B2TT**) by KEK/DAQ
- A GTP dual with SPF transceiver for data transmission
- RJ45X2 for JTAG and Timing
- **On-board crystal for backup**

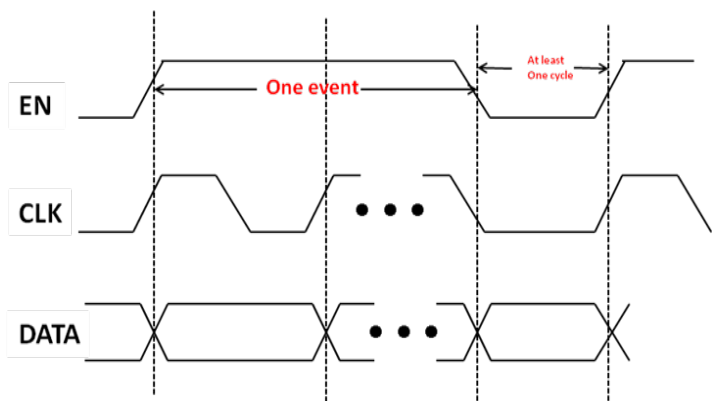


Belle2Link统一的数据接口设计



☑【COPPER端数据接口】

Belle2Link从各个前段电子学读出的数据最终是要送往COPPER上的数据缓存，进而由COPPER系统处理打包。接口位宽与读写周期由硬件接口决定。



☑【Belle2Link前端数据接口】

为了保证Belle2Link在数据读出的统一性，在前端Belle2Link定义了一个统一的数据接口与接口时序。

Belle2Link层次化的传输协议设计

Belle2Link作为统一的读出手段，面对各个前端电子学不同的系统时钟，数据位宽与结构，从设计之初便确定了层次化的协议设计方案。

☑【数据处理层】

面向探测器产生的事例进行处理。包括前端电子学端对数据的打包以及格式化，在接收端将数据校验与处理成COPPER需要的格式。此外还包含了慢控功能的实现等。

☑【链路层】

链路层的数据通过帧的方式进行传输，每个帧除了要传输的数据外还包含校验码，校验码由CRC生成器生成和校验。同时，帧的长度都可以通过参数进行配置和控制。

Belle2Link固件

Belle2Link在前端的
固件包含三个主要模块：

☑ 【慢控处理模块】

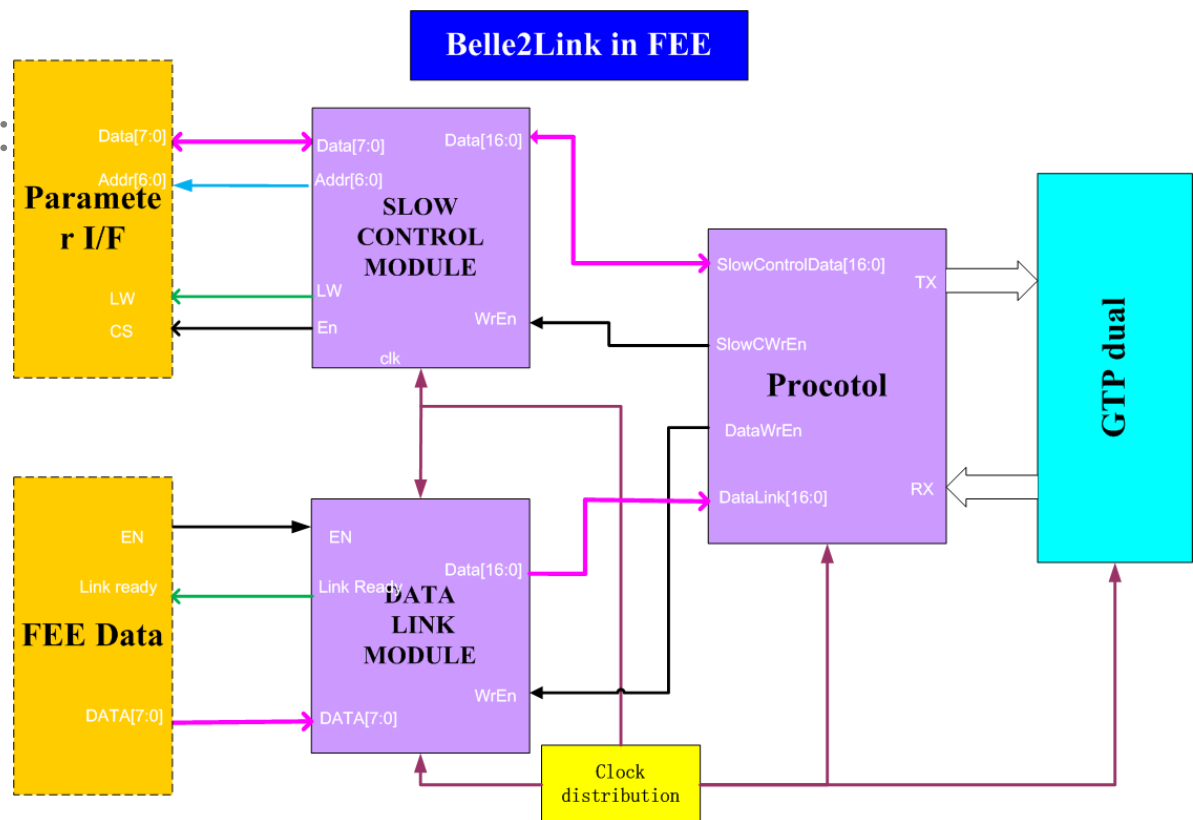
参数与控制接口

☑ 【事例数据处理模块】

数据接口

☑ 【链路层协议模块】

。



Belle2Link固件

Belle2Link在HSLB
端的固件包含三个主要模
块：

☑ 【慢控处理模块】

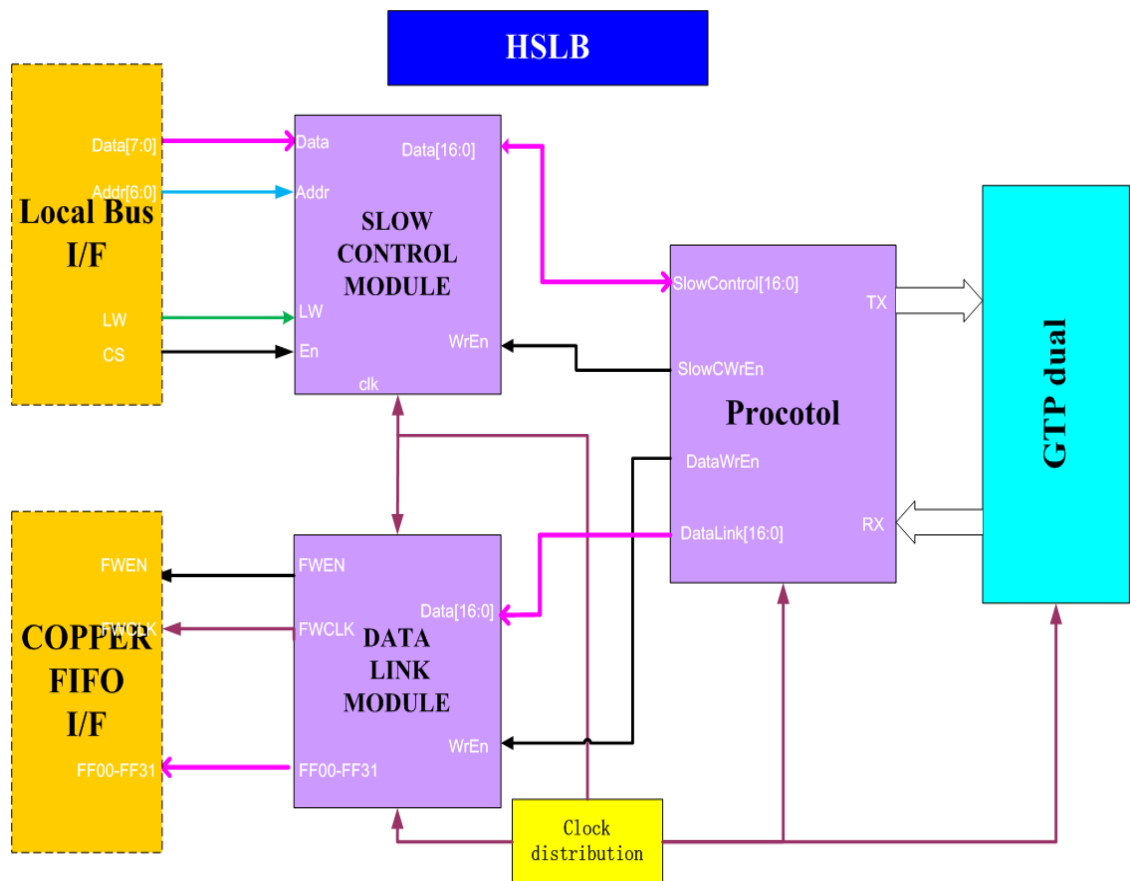
Local Bus接口

☑ 【事例数据处理模块】

COPPER FIFO接口

☑ 【链路层协议模块】

。



统一与兼容

Belle2Link通过层次化的传输协议实现了设计上的统一，也保证了对各个探测器的兼容。

☑【时钟域隔离】

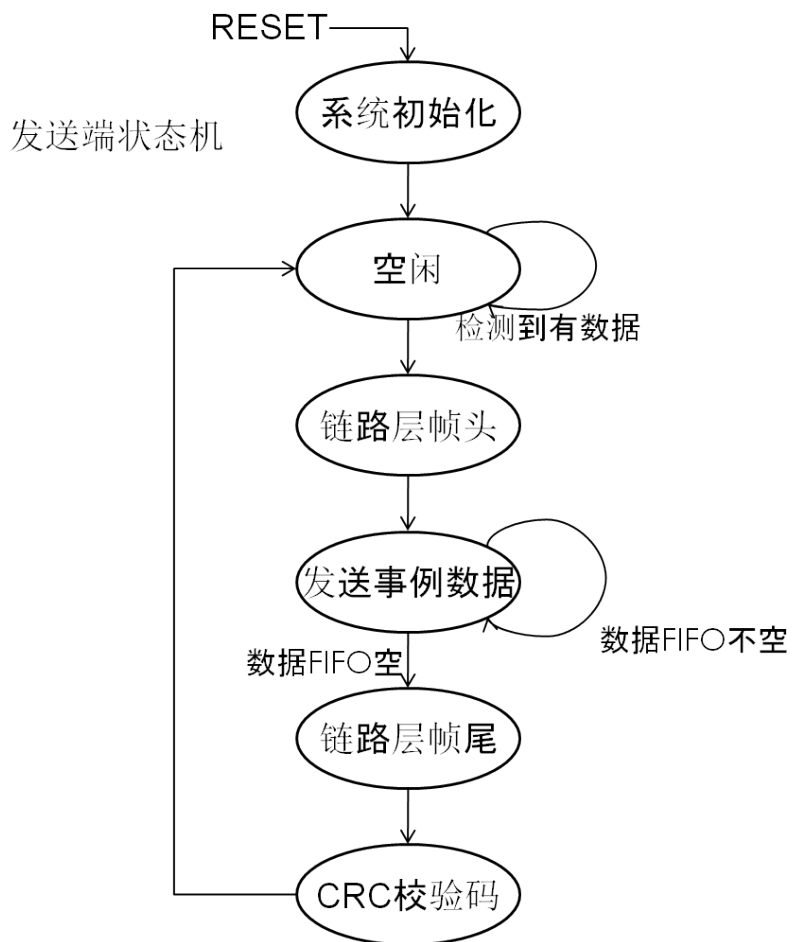
Belle2Link跨越了三个时钟域，前端探测器系统时钟域，用于高速串行传输时钟域，后端COPPER系统时钟域。层与层之间数据通过异步FIFO进行隔离。这就实现了各个时钟域的隔离。

☑【数据位宽与结构】

数据处理层面向事例，负责对事例的组装与预处理，Belle2Link前端的事例处理层可以处理不同位宽的事例，在后端处理成为统一的事例结构。

链路层采用了帧传输，其数据结构与事例无关。

传输协议的实现



状态机是实现数据传输的主要方式。在Belle2Link数据读出与传输过程中，分别有以下四个主要状态机构成：

- ☑【发送端数据处理层状态机】
- ☑【发送端链路层状态机】
- ☑【接收端链路层状态机】
- ☑【接收端数据处理层状态机】

事例结构

经过Belle2Link的预处理最终送入到COPPER中的事例由字头，事例号计数，长度计数，事例主体与长度计数等信息组成。在COPPER系统中，数据还会被进一步的汇总处理。

【设计局限】

在COPPER与HSLB的接口除了数据总线之外只有同步时钟线和使能信号。这就要求HSLB在接受一个完整的事例，这从无形中增加了系统的延时。

0xFFAA (16)↕	RESERV↕	ERR(2)↕	↕
FINESSE event count (24)↕		TTRX-ev (8)↕	↕
Data #0 (32)↕			↕
Data #1 (32)↕			↕
.....↕			↕
Data #n (32)↕			↕
0xFF55 (16)↕	Check-sum (16)↕		↕

原型系统

Purpose

- Working system for each detector system to follow

• Hardware

- FEE board(CDC board as model)
- Optic fibers
- High Speed Link Board (HSLB, Plugged to COPPER)
- COPPER board
- Server PC (file system server)



CDC board linked to HSLB



COPPER board



核探测与核电子学国家重点实验室2017
年会 HSLB



COPPER plugged in VME crate
with a File server

原型系统

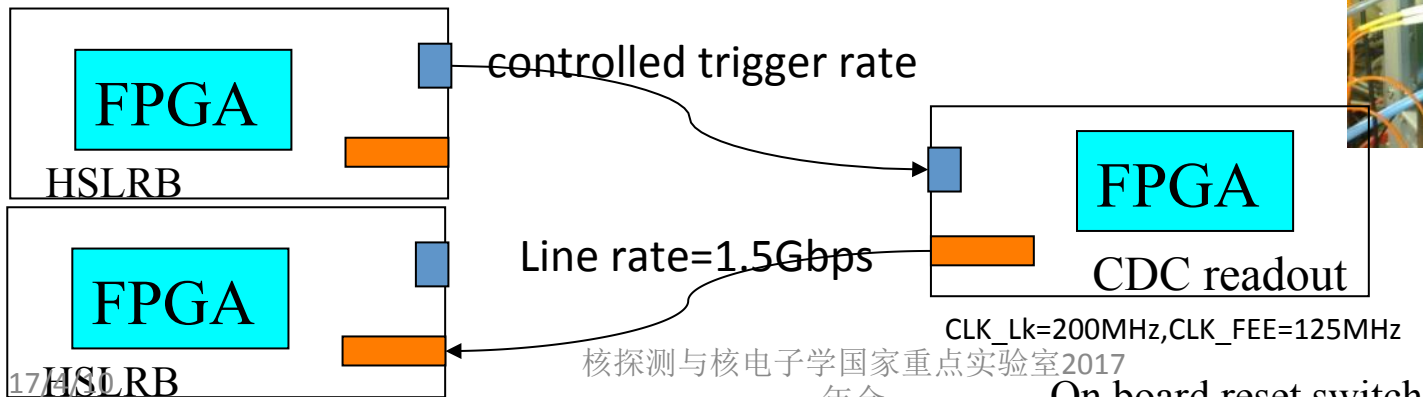
- Firmware
 - FEE
 - Belle2Link in FEE part
 - HSLB
 - Virtex 5 Firmware (Belle2link in HSLB part)
 - CPLD Firmware (online downloading)
- Software
 - Driver: HSLB Finesse card driver
 - Data processing
 - readhslb : read the data of FEE from the COPPER;
 - Slow control
 - paraconf : read or configure the register of HSLB and FEE
 - fileconf : dedicated configuration file to FEE, such as a DSP ROM file
- Manual

Model system--Joint tests at KEK

2011

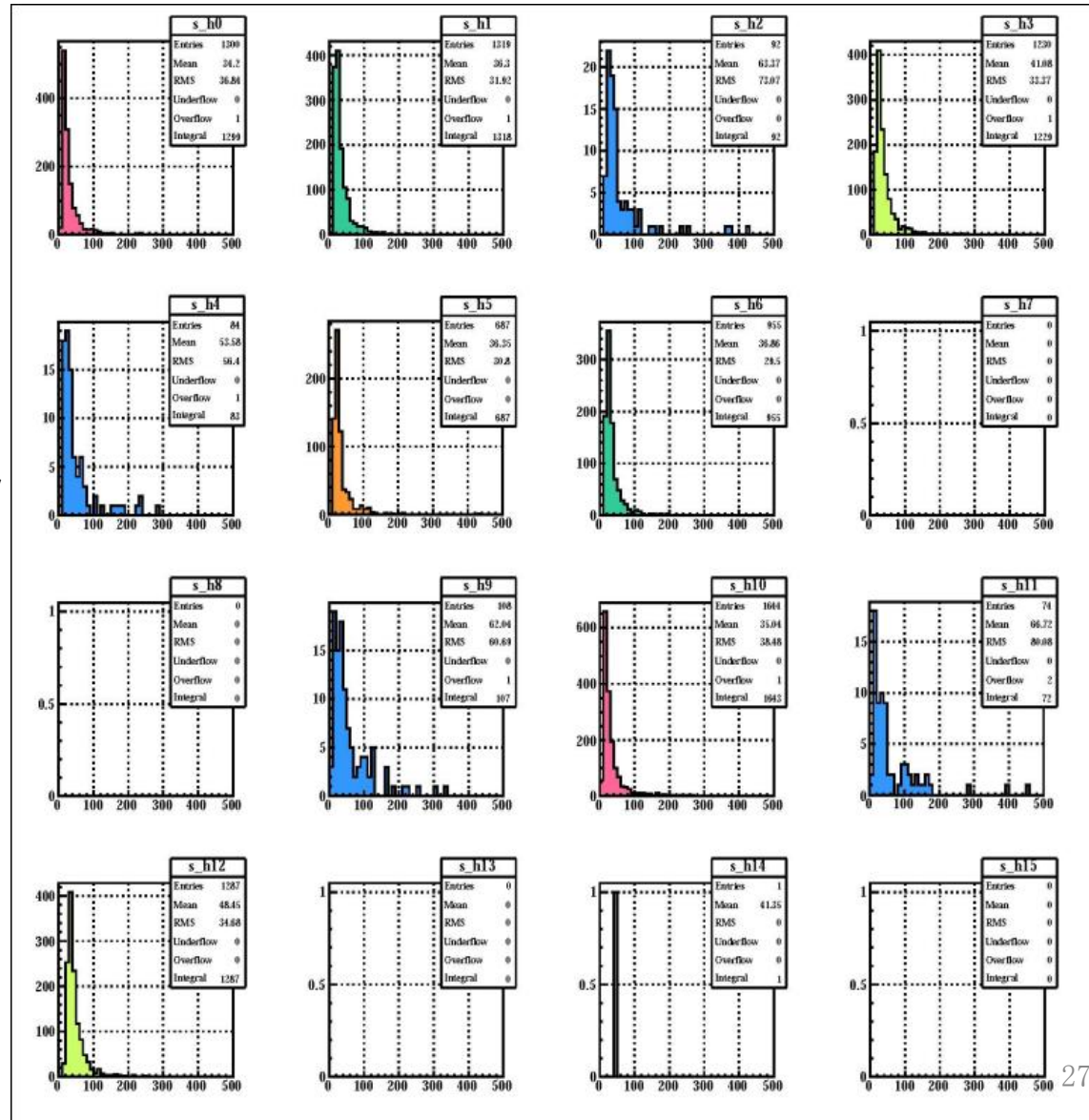
Setup: CDC-Prototype + 16ch FEE + fiber+ HSLB +COPPER + VME crate + File server

- ❖ Data from radioactive source
- ❖ Line rate: 3.125Gbps
- ❖ Data sample
 - 3M events collected
 - 10k events analyzed



Data Analysis showed success

- ❖ s_h^* means the sum of ADC value which are larger than the value of $2\text{sigma}(\text{pedestal})$
- ❖ The mean of pedestal is subtracted from ADC value before calculation. The value of sum correspond to energy loss of beta-ray in the chamber.
- ❖ Dead channels
 - Ch7,ch8,ch13-15



Belle2link在各个探测器系统的集成

- CDC: Manual + Model system sets(hard/Software) 2011
 - Working ever since even with parameter setting
- SVD: started Integration 2011
- Working Group active since 2012
 - Software Repository
- SVD: Integration Success Jun. 2013
 - No error report yet
- ECL: Integration Success Mar. 2015
- Busy working on TOP/ARICH/KLM in 2015
 - Some hardware modification(reserve)
 - Data Reading are reported OK Feb. 1
 - More test with Parameter reading
- 2016 所有探测器系统工作



量产

- Total 730
 - 2015/6 120 produced, to be tested
 - 2014/5 230
 - 2013/4 300
 - 2012/3 80
- IHEP 100
- April verification at KEK
- June 2016 be ready for Installation



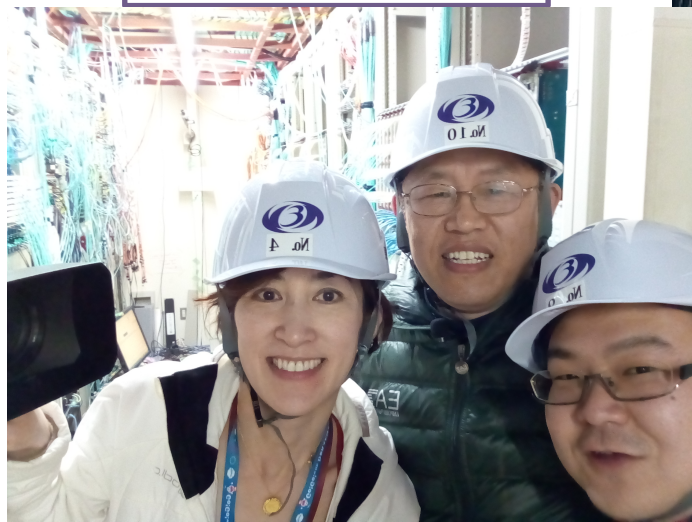
核探测与核电子学国家重点实验室2017
年会

调试计划

- CDC+ECL系统集成已完成，待宇宙线测试，2017年
- 2018底物理取数



Belle II安装现场，高能所标示

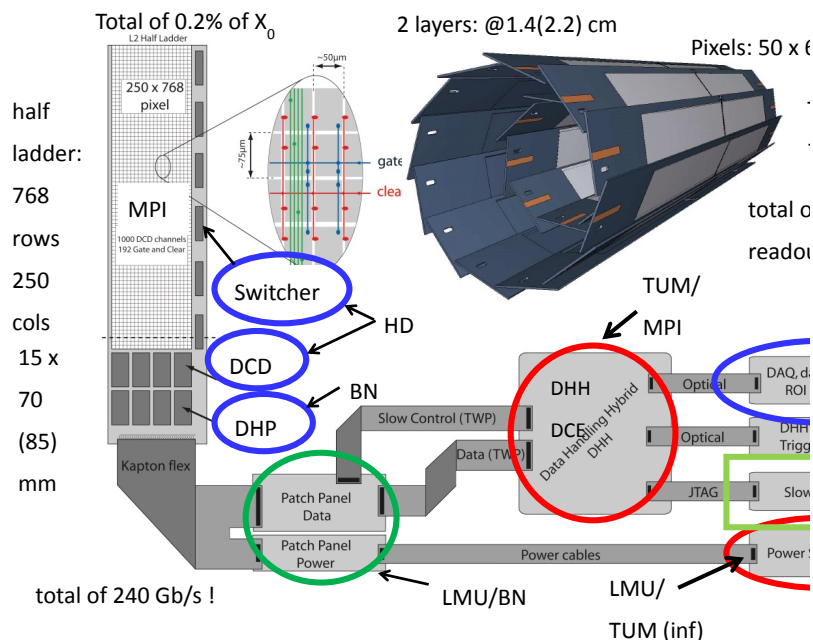


17/4/10

核探测与核电子学国家重点实验室2017
年会



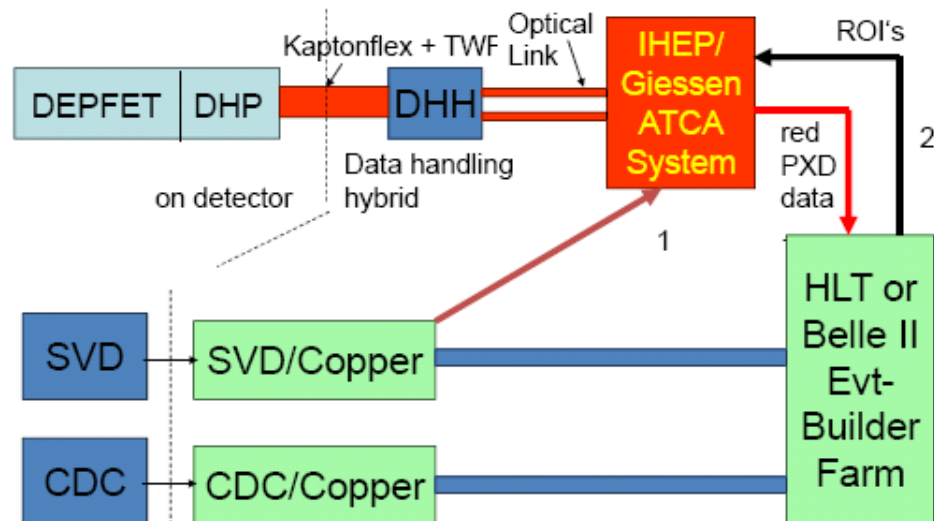
DEPFET硅像素探测器(PXD)DAQ系统



- 数据量太大
 - 240Gb/s
 - 大于Belle II 其他总和
- 压缩到1/10



Options for the PXD DAQ



Option 3: No ATCA system, PC for each DHH instead (no SVD data)

C. Kiesling, 2nd PXD-DAQ Meeting, Grinberg, Sep 25-26, 2010

任务分工

- 与德国吉森大学合作:DEPFET/PXD数据获取系统
 - 吉森大学负责软件研制
 - IHEP负责硬件研制与建造
 - ATCA载板
 - 电源板
 - AMC处理板
 - 智能控制板
- 高能所负责并提供整套系统
 - 所有核心插件的生产
 - ATCA机箱
 - 机箱控制器及电源

项目的困难与意义

- 解决任务中的困难，需要前沿技术
 - 高速传输：
 - LHC/1Gbps, BESIII/1.6Gbps, BelleII/3Gbps, DEPFET/6Gbps，单路
 - 全局统一协同处理
 - 像素探测器数据压缩(RoI)
 - 新架构
- 发挥在BESIII建设等项目积累的先进经验，在国际合作中展现我们的技术优势
 - 高速读出与传输
 - ATCA/MTCA/AMC研究
- 更重要的是，通过解决新项目的特殊要求与困难，继续提高硬件设计水平，为后续国内CEPC等项目积累经验。
 - 更高速度
 - 新型架构与算法
- 困难：经费
- 优势：得到了中心领导和所领导的大力支持

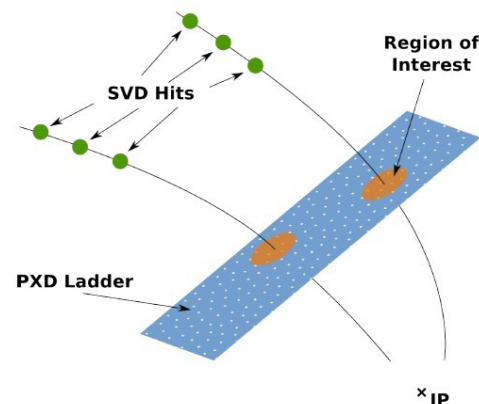
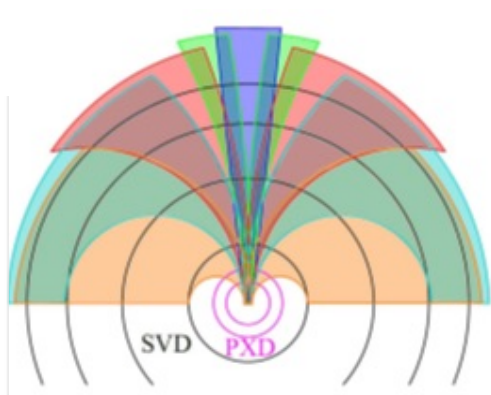
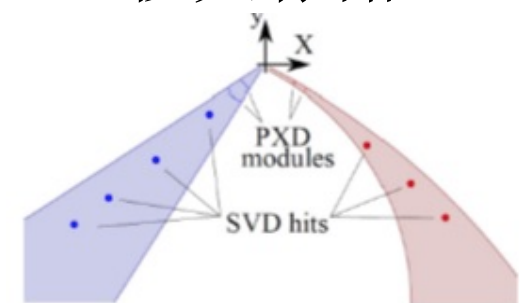
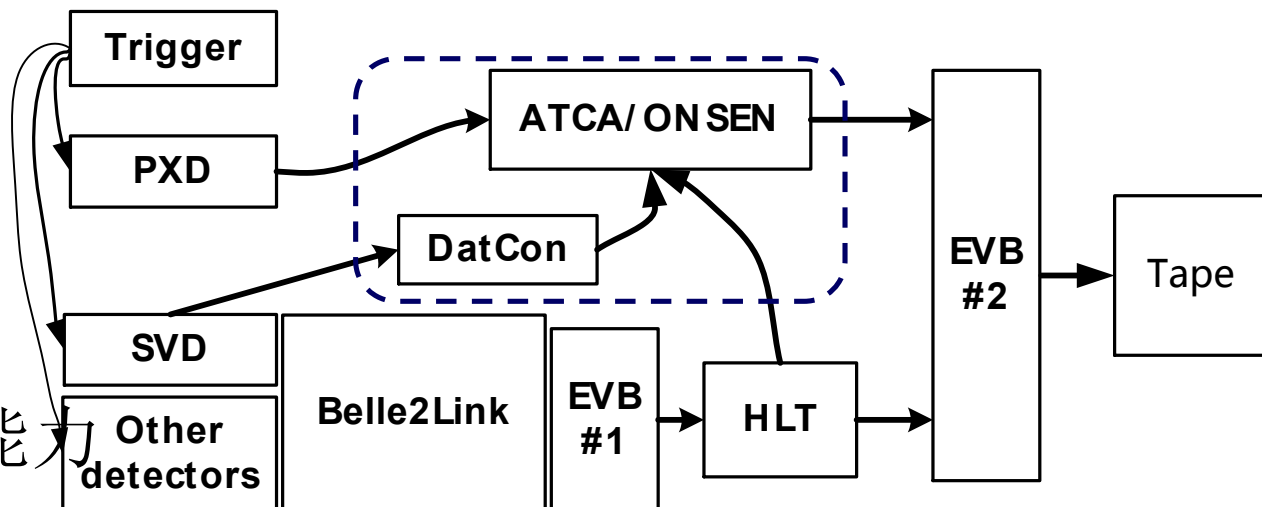
研究方案

- DEPFET数据获取（压缩）方案

- 基于硬件触发
- 利用SVD数据
- 径迹反推
- 寻找ROI
- 提取数据

- 难点

- 强大实时计算能力
- 算法
- 5秒大存储

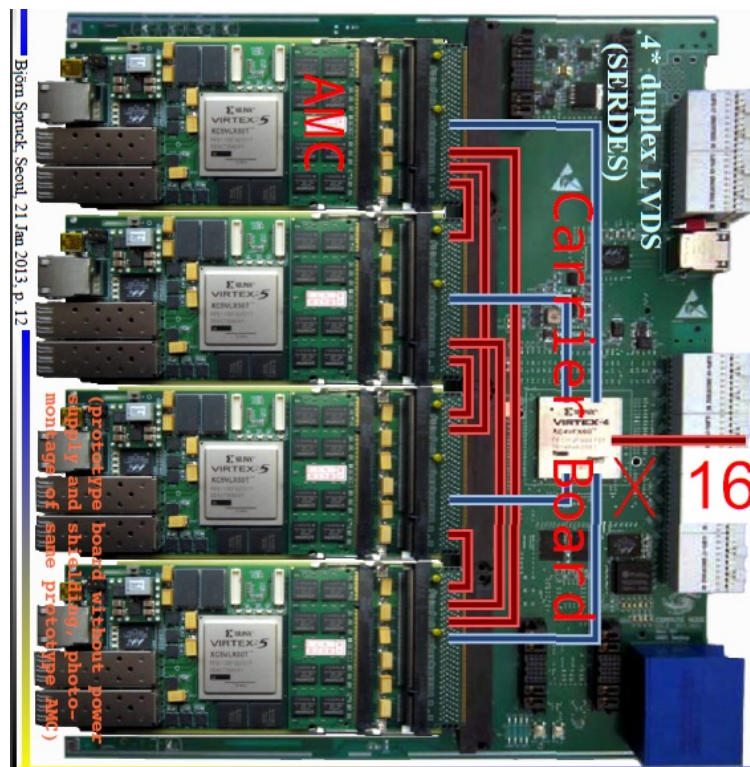
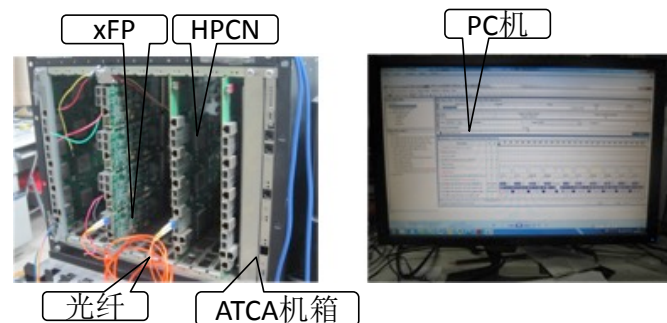


研究方案（续）

- ONSEN

- 软件
- 硬件

- 1 ATCA 机箱(商用)
- 2 机箱管理器(商用)
- 1 电源(商用)
- 10 计算节点CN(研建)
 - 1 个ATCA 载板
 - 1 个电源板
 - 4 个 xFP/AMC板
 - 5 MMC 智能管理子板



研究计划完成情况

- DEPFET
 - 2011年 需求讨论，第一版xFP原理样机
 - 2012年 第二版xFP原理样机、第一版载板及电源板
 - 2013年第三版xFP工程样机定型
 - 2014年底载板定型、计算节点量产，采购ATCA机箱等
 - 2015年样机系统在DESY束流测试
- 2016-7
 - 系统组装与运输
 - 完成在DESY和KEK的宇宙线实验



进展

- 完整系统已于2016年11月寄往德国DESY
 - PXD整体组装
- 2017年3月成功实现了RoI数据
 - ONSEN系统研制成功



小结

- Belle II两个项目的研建很成功，展示了国家实验室的实力，获得了合作同行的肯定
- 积累了新的经验，锻炼了队伍，为迎接新的挑战（比如CMS项目）奠定了基础
- 为未来国内项目做了技术准备

谢谢大家！