



STCF 时钟分发与高速数据传输系统 研究进展报告

王进红, 郭迪, 彭亮

湖南湘潭

2025年7月4日



汇报提纲

CONTENTS

① 当前进展情况

② 总体方案介绍

③ 技术研究进展

④ 总结与展望



1. 当前进展情况

ID	任务名称	开始	完成	持续时间	任务指标	是否强制检验点	2023												2024												2025												2026												2027					
							1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月
1	时钟分发系统：调研整体方案	1/2/2023	6/30/2023	26w	提出系统时钟分发方案	否	[Progress bar]																																																					
2	数据传输ASIC：关键技术方案调研	1/2/2023	6/30/2023	26w	明确关键技术模块划分，以及设计需求	否	[Progress bar]																																																					
3	时钟分发系统：方案评估	7/3/2023	1/3/2024	26.6w	评估确定技术方案	否													[Progress bar]																																									
4	数据传输ASIC：完成数据传输ASIC关键模块第一版设计：“时钟管理模块”、“光收发”模块	7/11/2023	5/3/2024	42.8w	第一版“时钟管理模块”、“光收发”模块ASIC设计	否													[Progress bar]																																									
5	时钟分发系统：第一版设计	1/2/2024	6/3/2024	22w	完成第一版时钟分发系统设计	否													[Progress bar]																																									
6	数据传输ASIC：准备第一版“时钟管理模块”、“光收发”模块测试验证系统	1/2/2024	6/3/2024	22w	完成相应ASIC测试评估系统设计及测试准备	否													[Progress bar]																																									
7	时钟分发系统：第一版性能评估	6/11/2024	1/3/2025	29.8w	评估第一版时钟分发系统性能	否													[Progress bar]																																									
8	数据传输ASIC：第二版“时钟管理模块”、“光收发”设计	6/11/2024	2/3/2025	34w	完成第二版“时钟管理模块”、“光收发”模块设计	否													[Progress bar]																																									
9	数据传输ASIC：第一版“串行数据发射”设计	2/15/2024	2/3/2025	50.6w	完成第一版“串行数据发射”设计	否													[Progress bar]																																									
10	时钟分发系统：第二版时钟分发模块设计	1/3/2025	6/5/2025	22w	完成第二版时钟分发系统设计	否													[Progress bar]																																									
11	数据传输ASIC：准备第二版“时钟管理模块”、“光收发”模块测试系统	1/3/2025	7/28/2025	29.4w	完成相应ASIC测试评估系统设计及测试准备	是													[Progress bar]																																									
12	强制检验	8/4/2025	8/4/2025	0w																																																								
13	时钟分发系统：第二版性能评估及参与联调	6/6/2025	12/29/2025	29.4w	评估第二版时钟分发系统性能	是													[Progress bar]																																									
14	强制检验	12/29/2025	12/29/2025	0w																																																								
15	数据传输ASIC：准备第一版“串行数据传输”模块测试系统	1/3/2025	6/5/2025	22w	完成相应ASIC测试评估系统设计及测试准备	否													[Progress bar]																																									
16	数据传输ASIC：第二版“串行数据发射”模块设计	5/14/2025	12/29/2025	32.8w	根据第一版做对应的优化、改进	否													[Progress bar]																																									
17	数据传输ASIC：第一版“串行数据接收”模块设计	5/14/2025	12/29/2025	32.8w	第一版“串行数据接收”模块设计	否													[Progress bar]																																									

符合研究预期：

2025年6月完成时钟分发系统第二版设计

2025年7月完成数据传输、时钟管理ASIC测试

2. 方案简介：时钟分发系统

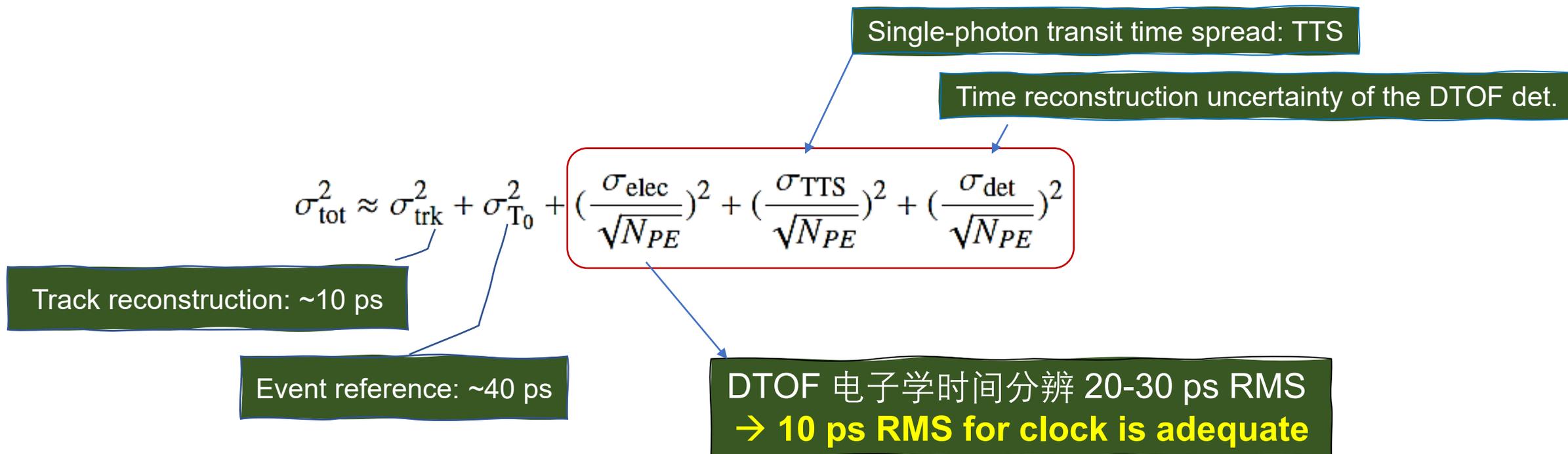
- ◆ 时钟系统为探测器和电子学系统提供时间参考基准
- ◆ “点-面”：主从，多级扇出



实验	规模	时间抖动指标	时钟分发架构
BESIII	百米	~ 10 ps RMS	主-从，多级扇出
CEE	百米	~ 5 ps RMS	主-从，多级扇出
LHC/ATLAS	数十公里/百米	~ 7 ps RMS	信息编码、多级扇出
STCF	百米	~ 5 ps RMS	主-从，多级扇出

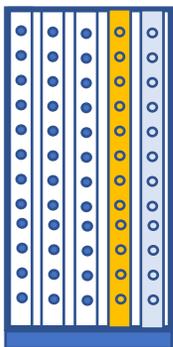
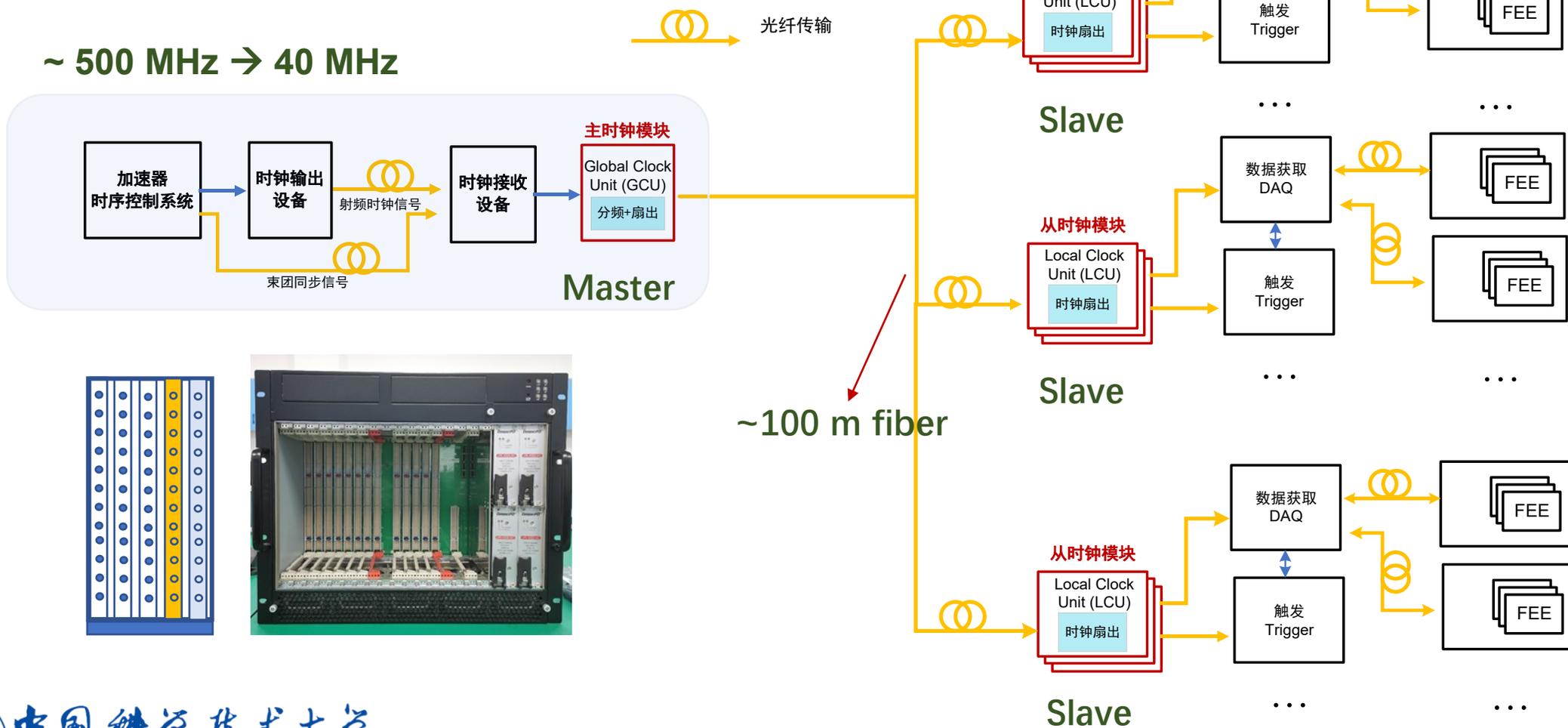
2. 方案简介：时钟分发系统

- ◆ 时钟分发系统指标: 5 ps RMS
- ◆ 以对时钟分发要求最为严苛的DTOF为例:



2. 方案简介：时钟分发系统

◆ 架构：主-从架构，“星”形分发+扇出



2. 方案简介：高速数据传输专用芯片

◆ 高速数据传输：~ 5 Gbps上行速率、抗辐照



关键技术分为以下**4个部分**

→ 时钟模块

- 时钟恢复 (CDR)、时钟锁相环 (PLL)、高精度时钟管理 (分频、移相、去噪等)

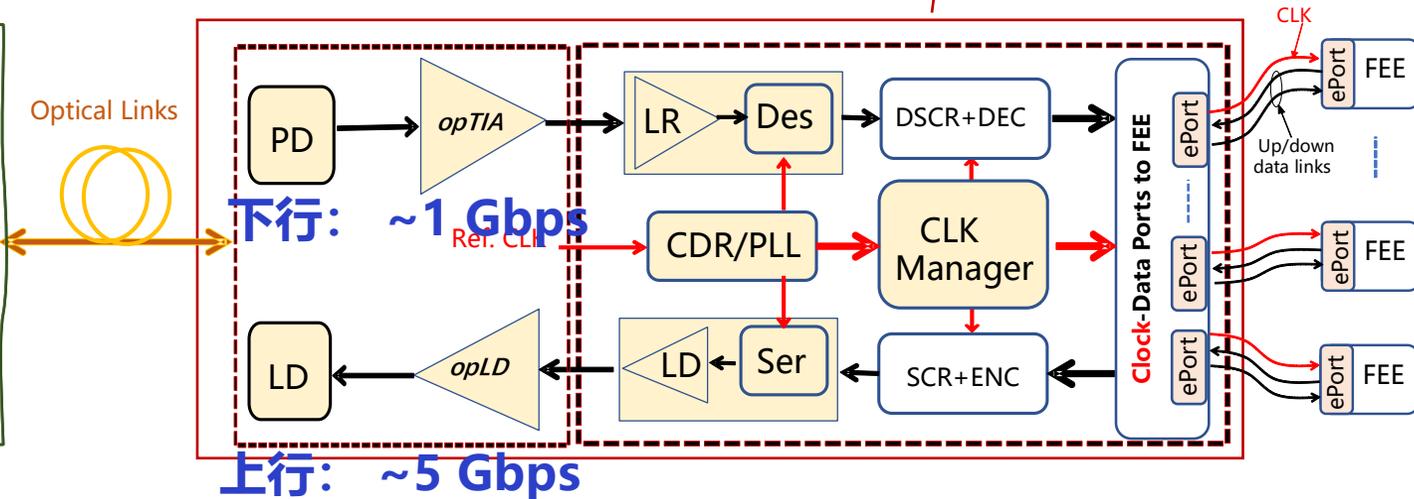
→ 高速数据发送模块

- 数据编码调制 (SCR+ENC)、串并转换 (SER)、光驱动及输出 (opLD+LD)

→ 高速数据接收模块

- 光接收 (PD+opTIA)、串并转换 (DES)、译码解调 (DSCR+DEC)

→ 数据处理单元 (如控制译码、ePort接口等)



中国科学技术大学

University of Science and Technology of China

2. 方案简介：高速数据传输专用芯片

◆ 高速数据传输系统指标考虑：上行 ~ 5 Gbps, 下行 ~ 1 Gbps

Component	Num. of Channels	Ports Num. to DAQ	Readout Time Window(ns)	Data Rate of Payload After L1(GB/s) 1 / 2 / 3 / 5 (times of background)	Expected rate/port Gbps
ITK (Silicon)	1.62e9	35	1000	0.96 / 1.81 / 2.67 / 4.37	0.23/0.41/0.61/1.0
ITK (μ RWELL)	10552	15	600	2.59 / 4.53 / 6.48 / 10.37	1.38/2.42/3.46/5.53
MDC	11520	360 \rightarrow 23	800	0.99 / 1.59 / 2.18 / 3.37	0.34/0.55/0.76/1.17
MDC(Super small Cell)	19488	609 \rightarrow 26	800	1.40 / 2.30 / 3.20 / 5.01	0.43/0.71/0.98/1.54
PID (RICH)	583200	12	200	0.49 / 0.58 / 0.67 / 0.85	0.33/0.37/0.45/0.57
BTOF	5760	90 \rightarrow 6	100	1.18 / 1.29 / 1.41 / 1.65	1.57/1.72/1.88/2.2
PID (DToF)	6912	108 \rightarrow 7	100	0.72 / 0.80 / 0.88 / 1.03	0.82/0.91/1.01/1.18
ECAL	8670	32	400	1.40 / 2.48 / 3.56 / 5.73	0.35/0.62/0.89/1.43
MUC	13024+25280	8	600	0.48 / 0.69 / 0.91 / 1.34	0.48/0.69/0.91/1.34
FWDR				12	
Total (Max.)		126		7.76 / 12.10 / 16.44 / 25.13	上行 ~ 5 Gbps

• 表中数据参考：杨俊峰，“STCF HLT和计算存储专题讨论”

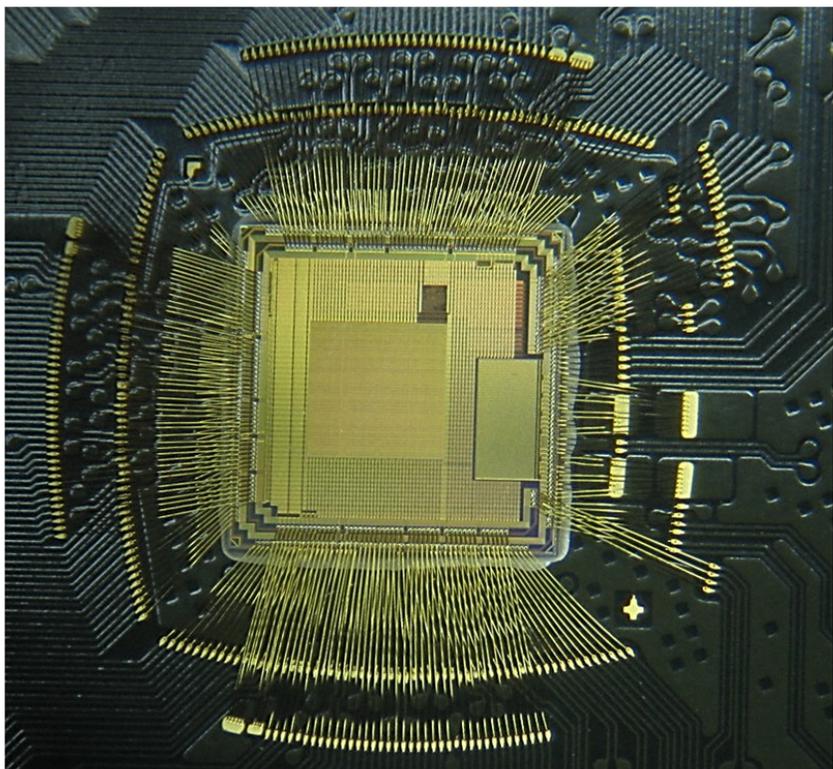
◆ CERN GBT 系列芯片数据率：

- GBT: 上行 4.8 Gbps, 下行 4.8 Gbps
- IpGBT: 上行 10.24 Gbps (max) , 下行 2.56 Gbps (max)

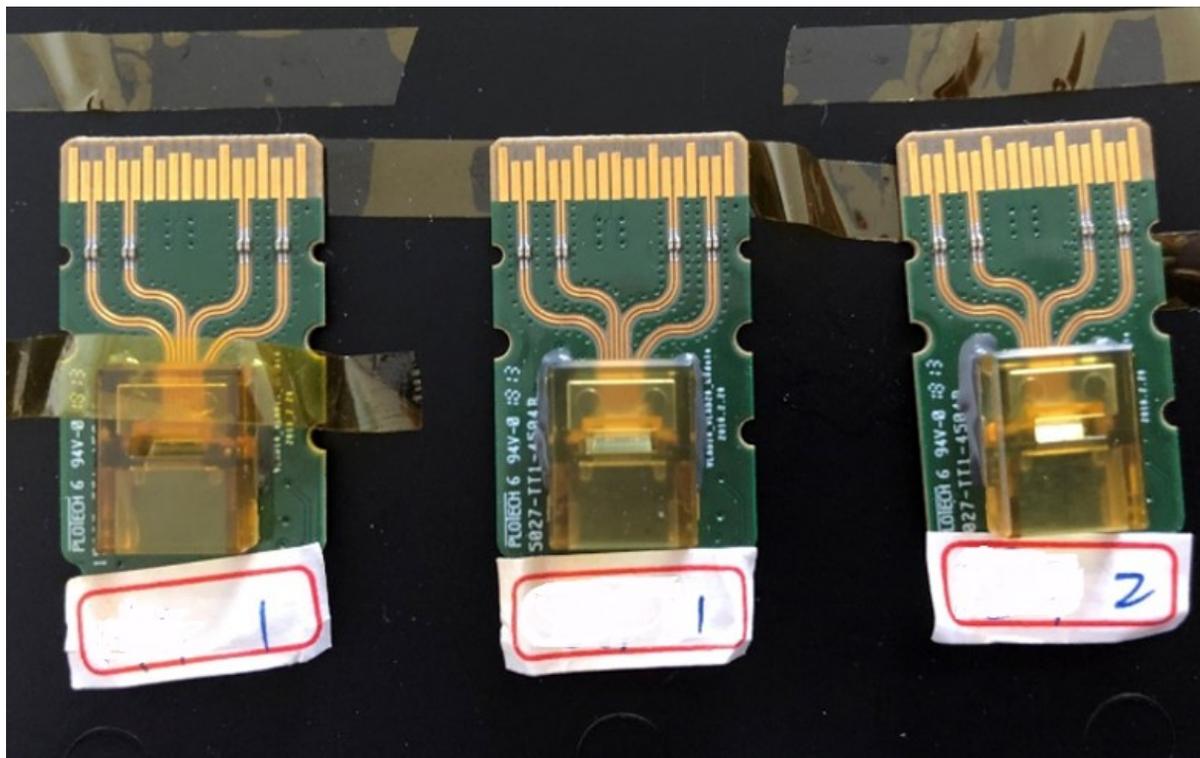
下行主要为配置等少量信息

2. 方案简介：高速数据传输专用芯片

- ◆ 工艺选择：130nm CMOS → 65/55 nm CMOS；国产可控芯片工艺
- ◆ 工艺考虑：集成度、功耗、性能（速度）等优势；未来更长久的产线寿命



~ 5 Gbps serializer in 130nm CMOS

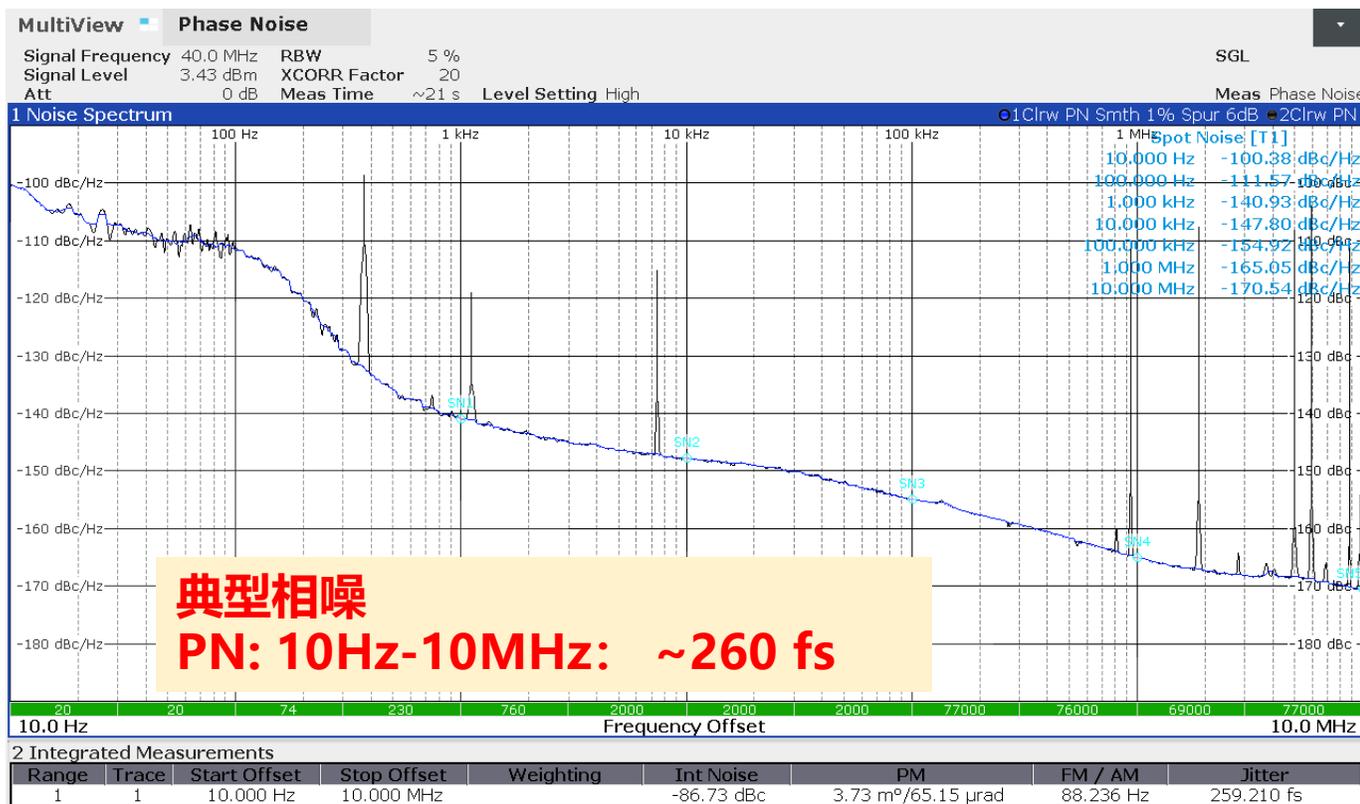


Custom opto-modules in 55nm CMOS

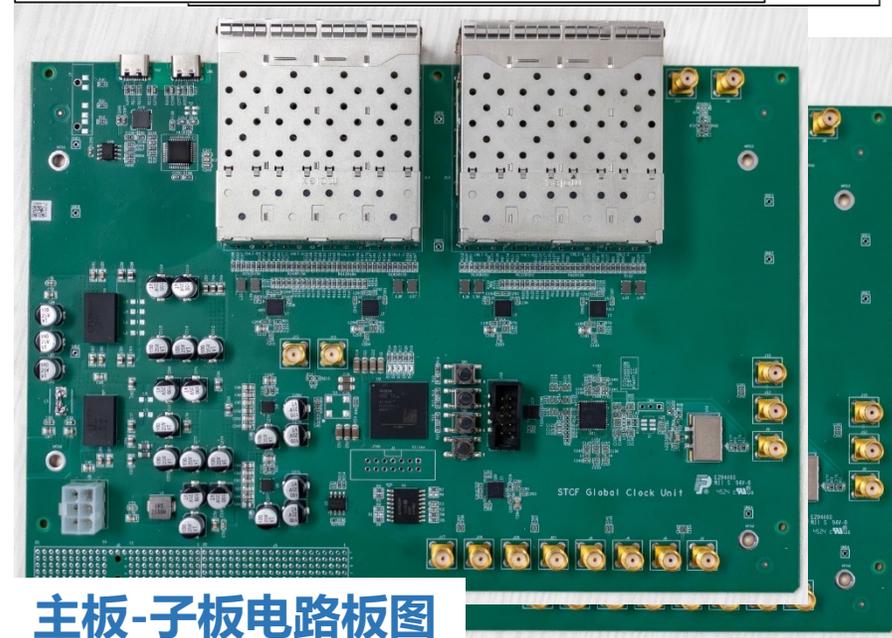
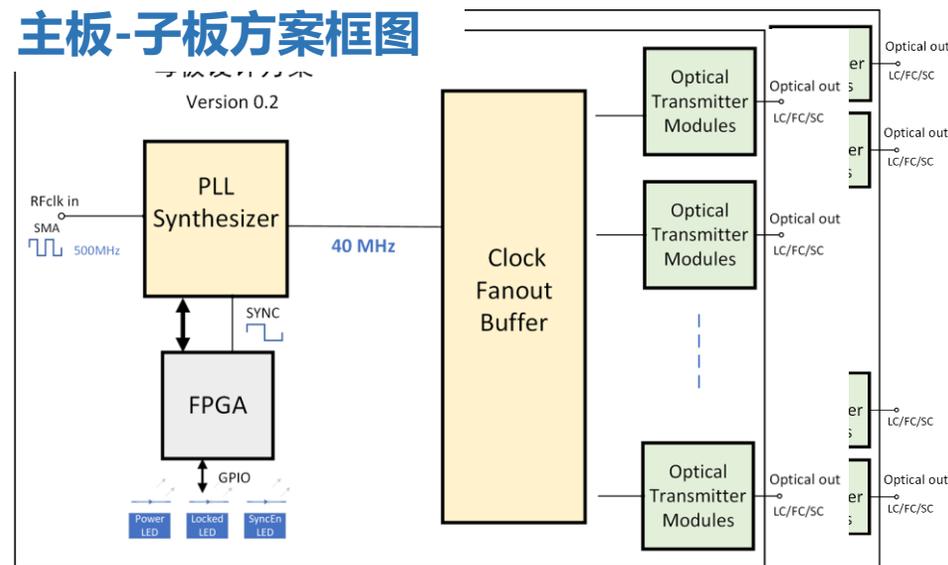


3. 研究进展：时钟分发系统

按计划完成时钟分发第二版设计、测试和性能评估



主板-子板方案框图



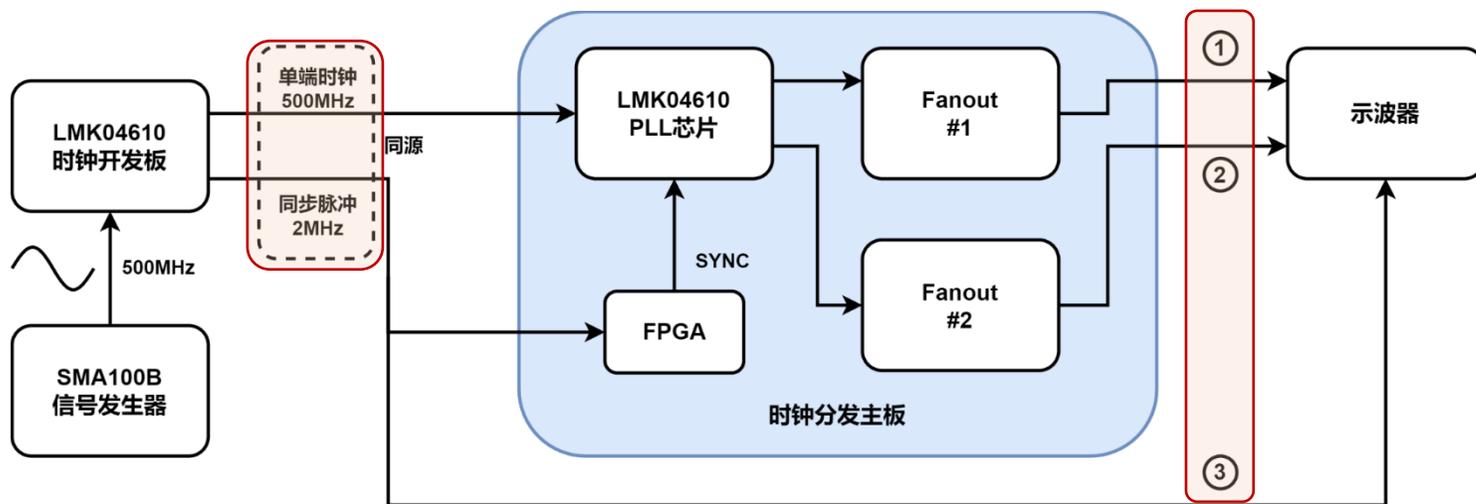
主板-子板电路板图

3. 研究进展：时钟分发系统

◆ 按计划完成时钟分发第二版设计、测试和性能评估

多次上下电测量相对相位稳定性

- ①②之间的相位：输出通道之间
- ②③之间的相位：输出通道与同步信号



上电周期	①② 上升沿时间差
第一次上电	416.74ps
第二次上电	416.75ps
第三次上电	416.70ps

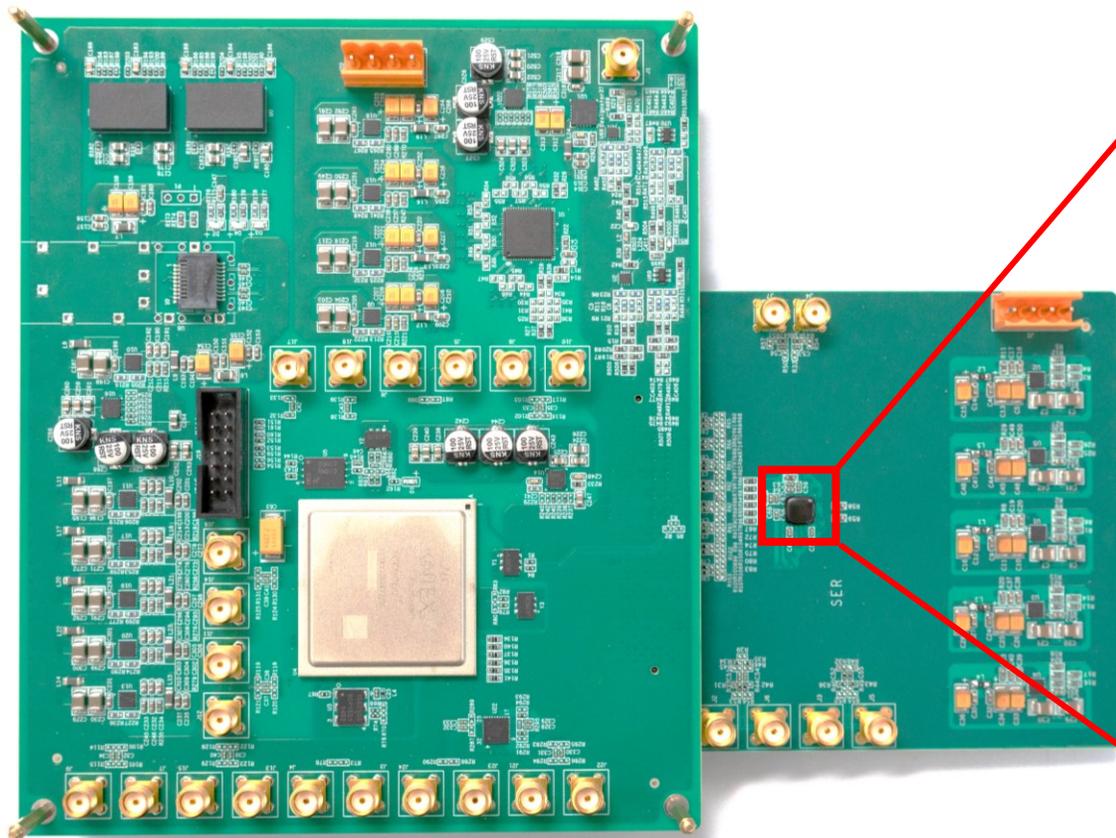
最大0.05ps

上电周期	②③ 上升沿时间差
第一次上电	737.30ps
第二次上电	737.20ps
第三次上电	738.46ps

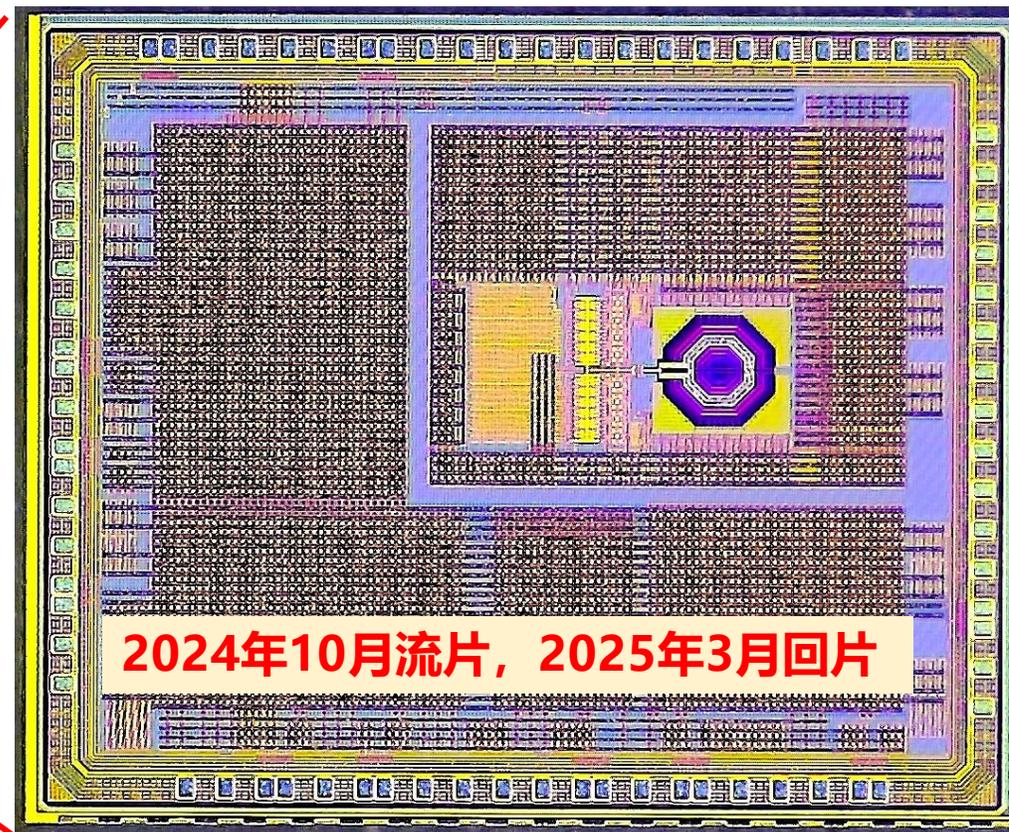
最大1.26ps

3. 研究进展：ASIC流片、封装、测试

- ◆ ~5 Gbps高速数据传输模块；5GHz多相位时钟管理（PLL）；高速CML/SLVS/LVDS



芯片测试电路板（直接绑线到PCB）

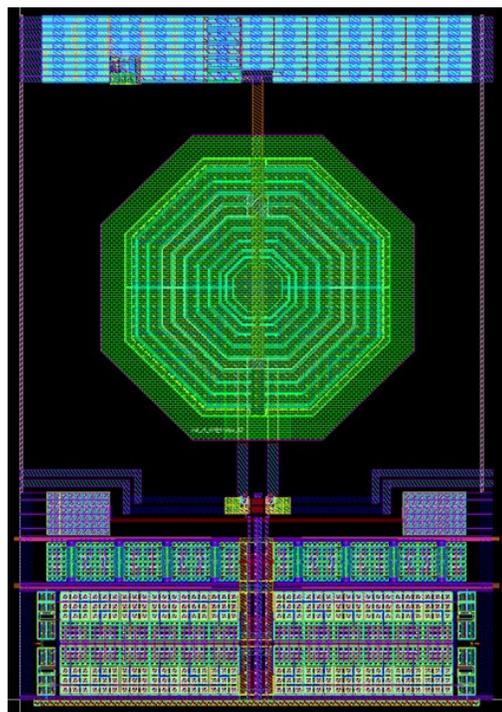


芯片实物图

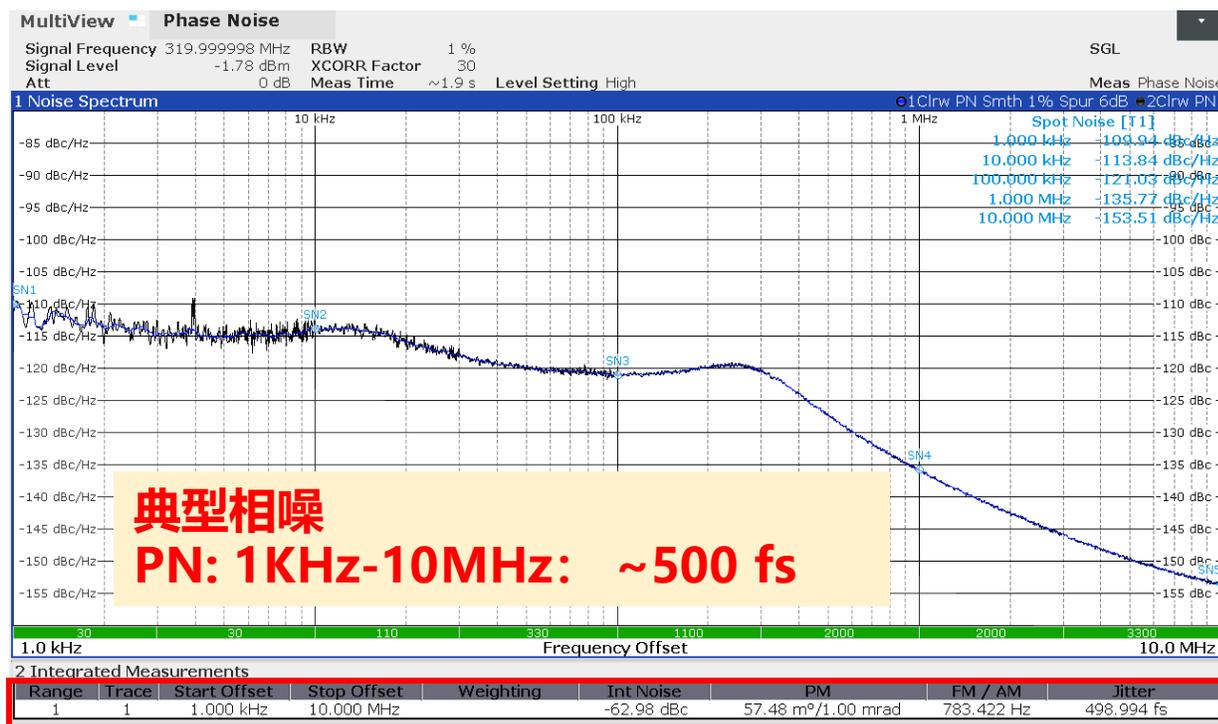


3. 研究进展：时钟管理模块

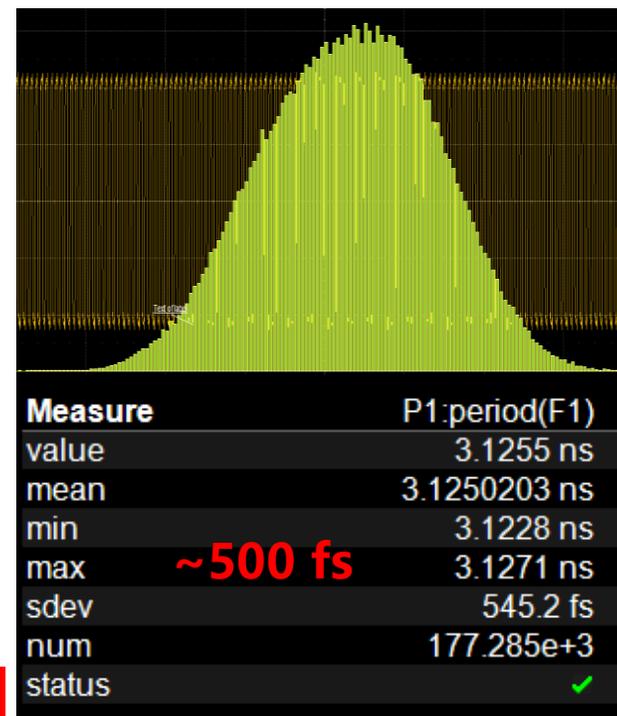
- ◆ 可提供 4相位 2.56 GHz 输出 (0/90/180/270) , 及多种分频输出
- ◆ 测试结果：相噪测试 (1kHz-10MHz) , 典型相噪 -135dBc/Hz @1MHz, jitter ~ 0.5 ps



时钟管理模块版图



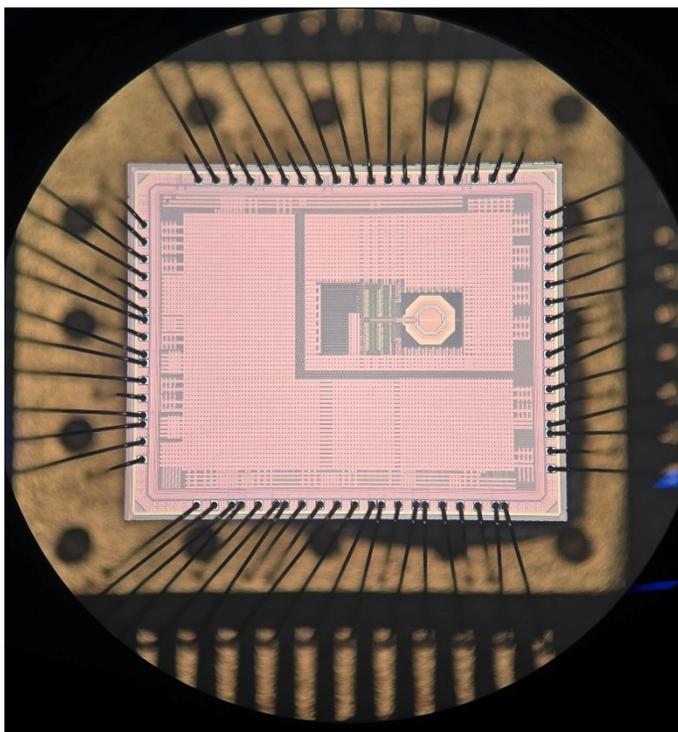
相噪测试结果



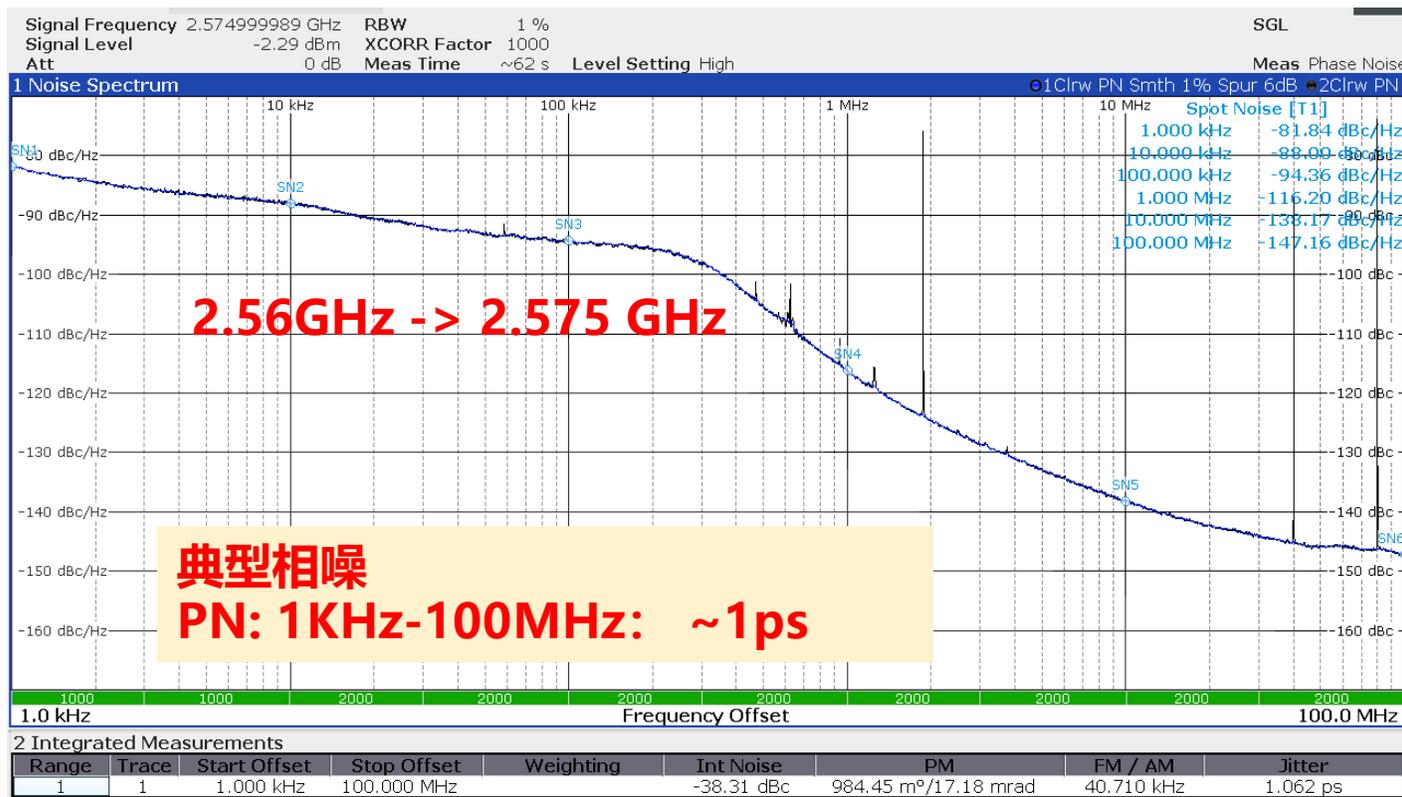
周期抖动测试结果

3. 研究进展：全数字时钟管理

- ◆ 面向低功耗先进CMOS工艺节点，提供全数字时钟管理
- ◆ 已流片验证：40 MHz参考时钟，核心频率 5 GHz (1KHz-100MHz jitter ~1 ps)

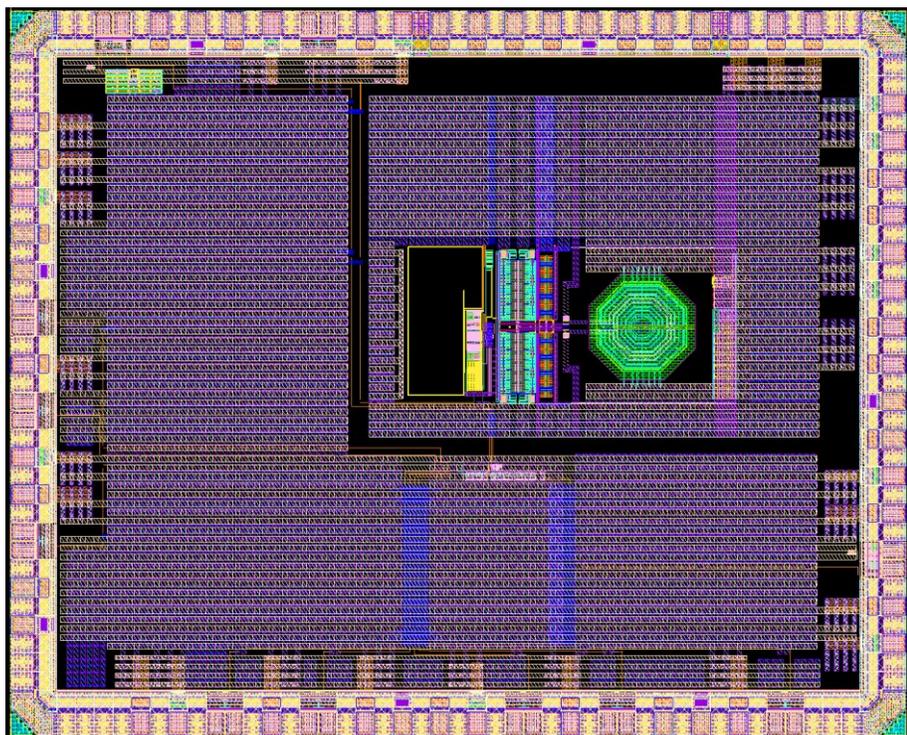


▪ 验证电路基于国产55nm CMOS工艺

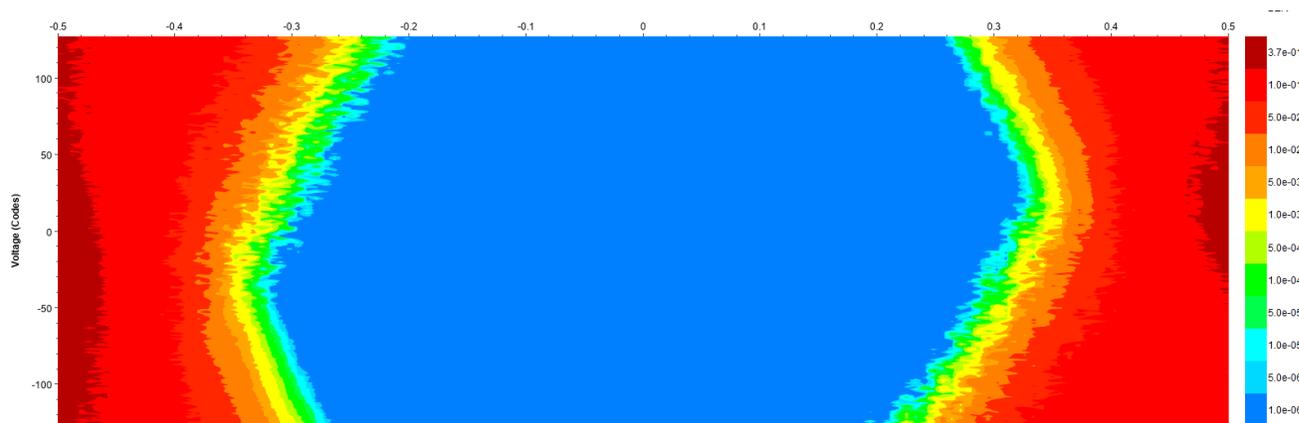


3. 研究进展：~5 Gbps串行数据传输

- ◆ 对标CERN GBT系列芯片指标，设计留有余量，可提升速率至 10.24 Gbps
- ◆ 测试结果：5.12Gbps时，PRBS-31 BER误码率 $< 5e-14$ （对应3个半小时连续测试，期间未发现错误）



高速数据发送芯片版图



Summary	Metrics	Settings
Name: SCAN_3	Open area: 17553	Link settings: N/A
Description: Scan 3	Open UI %: 58.14	Horizontal increment: 1
Started: 2025-Apr-13 18:25:42		Horizontal range: -0.500 UI to 0.500 UI
Ended: 2025-Apr-13 18:26:39		Vertical increment: 1
		Vertical range: 100%

Name	Status	Bits	Errors	BER	BERT Reset	RX Pattern
Ungrouped Links (1)						
Link 0	5.120 Gbps	6.266E13	0E0	1.596E-14	Reset	PRBS 31-bit

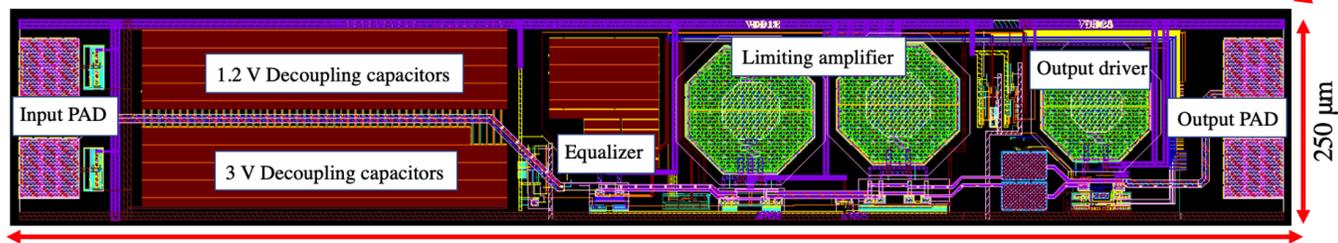
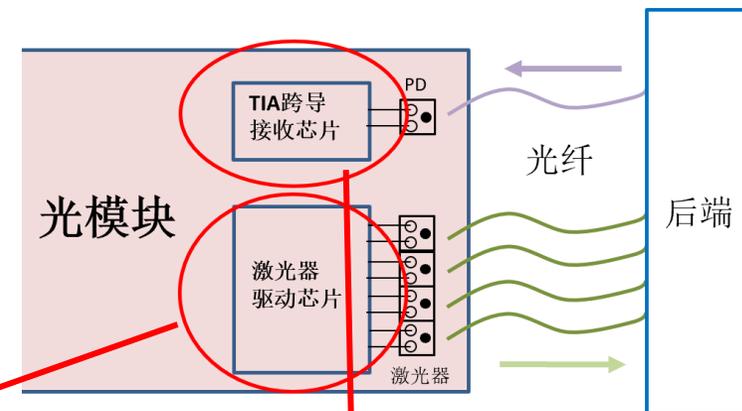
误码率测试结果截图



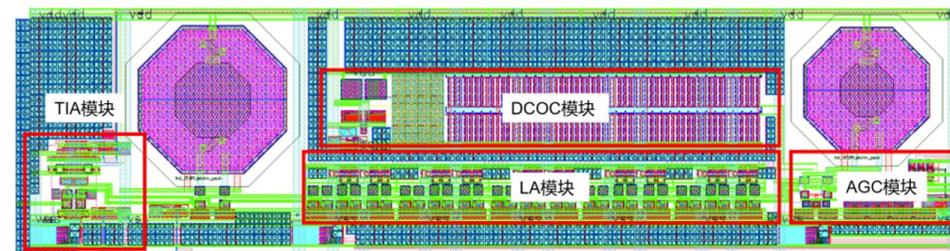
3. 研究进展：光电转换模块

◆ 定制化阵列式激光器驱动ASIC芯片、TIA跨导放大ASIC芯片

- 拟采用国产中芯国际SMIC 55nm CMOS工艺
- 阵列式激光器驱动芯片支持5 Gbps/ch+ (Tx方向)
- 阵列式TIA跨导接收芯片支持5 Gbps/ch (Rx方向)，速率可向下兼容
- 目前两款芯片的版图已经成，正在多通道的合并集成，等待流片



1850 μm
250 μm
激光器驱动芯片单通道模拟核心版图



TIA跨导接收芯片单通道模拟核心版图

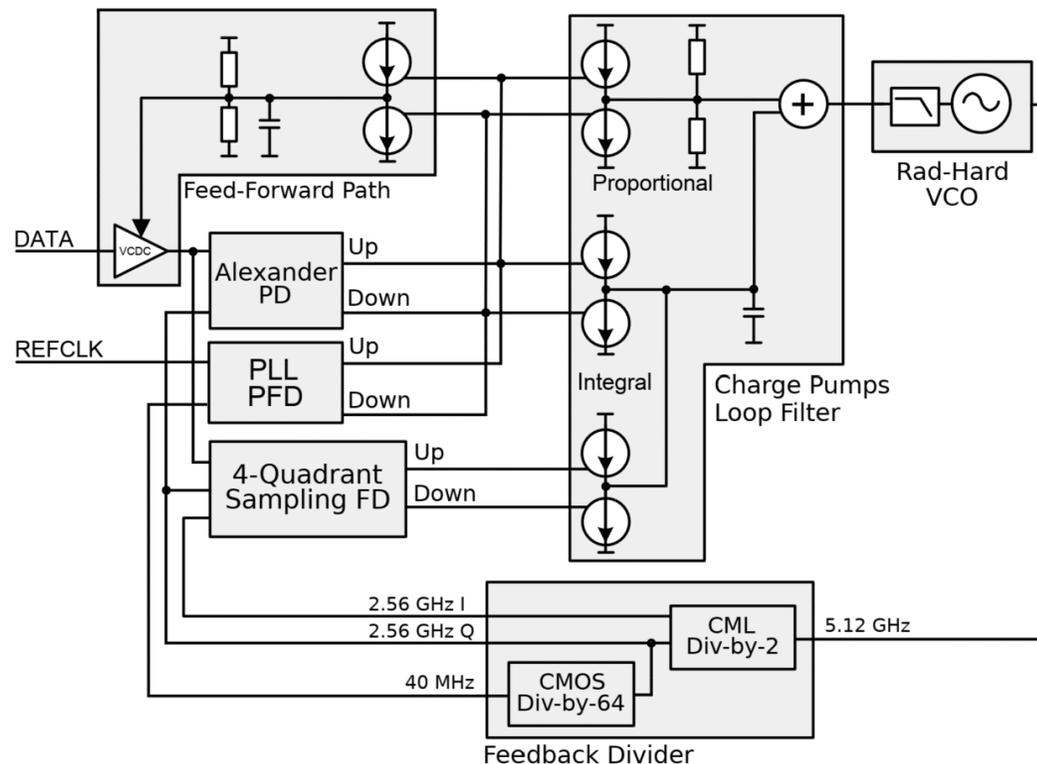
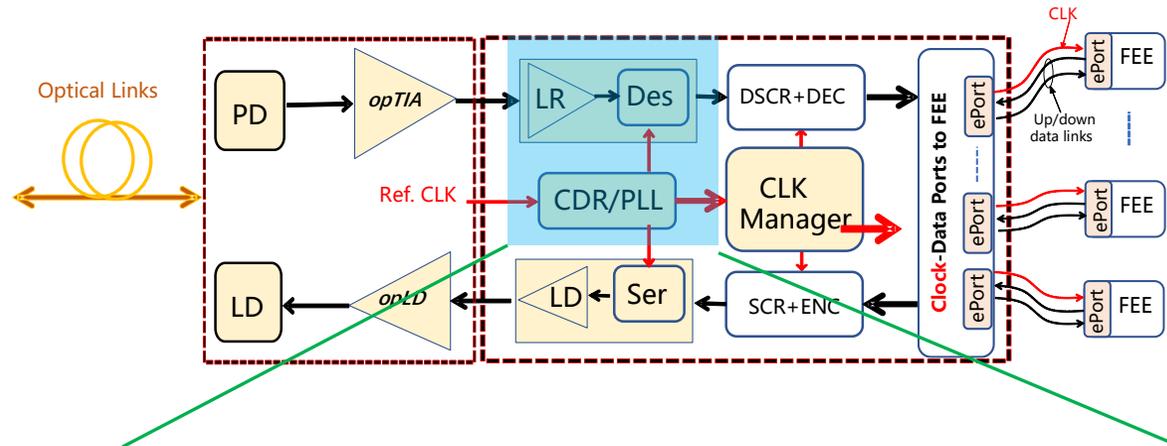
3. 总结和展望

❖ 总结:

- 完成第二版时钟分发系统硬件设计、测试、性能评估。
- 完成第一版高速串行传输关键模块（电光互转、时钟管理芯片、串行数据传输芯片）关键电路模块性能评估测试。

○ 下一步工作计划:

- 时钟系统参与束流测试
- 设计高速数据传输下行链路、时钟恢复模块 (CDR)
- 包含上下行链路高速串行数据传输芯片集成



衷心感谢!



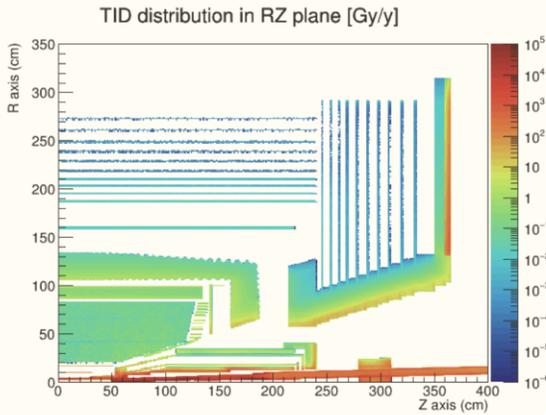
中国科学技术大学

University of Science and Technology of China

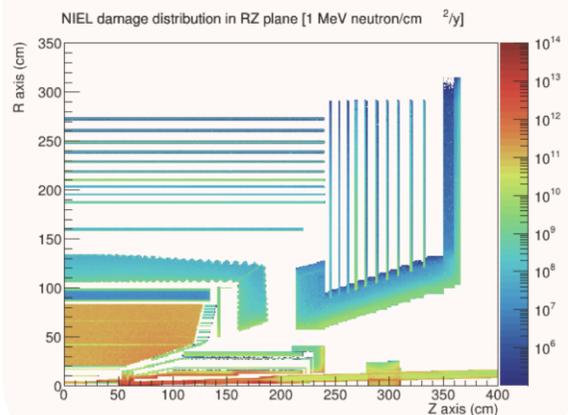
2. 方案简介：高速数据传输专用芯片

◆ 高速数据传输系统抗辐照指标考虑

- The highest TID: 12000Gy/y (ITKM) 4300Gy/y (ITKW)
- Meets the requirement for a long-term run
- The Highest NIEL $\sim 1.7 \times 10^{13}$ (MDC)
- The other parts smaller than $1. \times 10^{11}$
- NIEL is not quite important for MDCs (gas chamber)



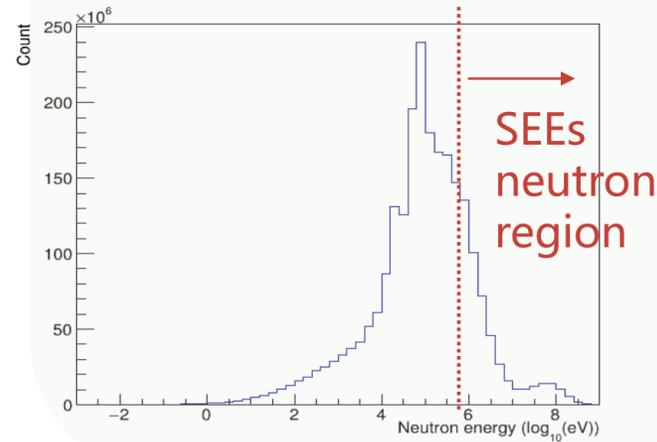
**Max. TID:
12 Mrad (10 y)**



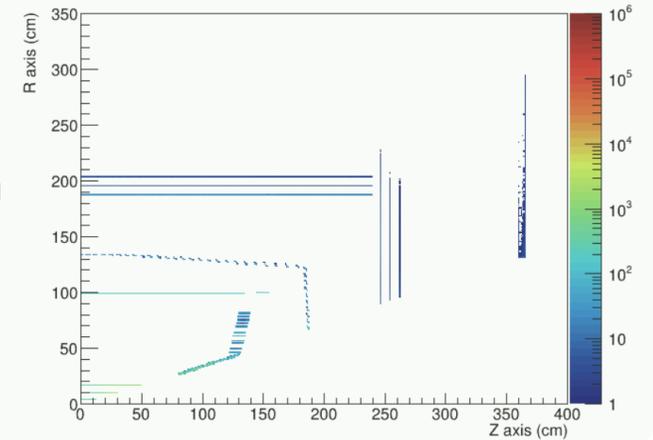
**Not a concern
for CMOS ICs**

- 数据参考：Mingyi Liu, Yupeng Pei, Zhujun Fang, "Simulation of beam background on STCF"

Energy spectrum of background neutrons



SEES Neutron distribution (electronic system)



- High neutron flux ($\sim 10^6 - 10^8$ n/s)
- Wide energy spectrum (MeV – 100s MeV)

SEE is a greater concern!