



STCF触发系统研究进展

方竹君 封常青 彭亮 周启东 On behalf of STCF TRIG group 2025.7.4





- 二、L1层级触发算法研究进展
- 三、L1层级FPGA硬件平台研究进展
- 四、HLT研究进展
- 五、小结



STCF实验需求

□ STCF 关键指标

- 峰值对撞亮度 > 0.5×10³⁵ cm⁻²·s⁻¹
- 峰值物理事例率 400 kHz
- 1倍本底下,单事例数据量~18 kB/event

□ STCF 1倍本底预估数据量

Detector system	Sampling time window (ns)	Raw data (GB/s)		
ITKM	1000	2.57		
MDC (SSC)	800	4.34		
BTOF	100	4.31		
DTOF	100	2.78		
ECAL	400	7.37		
MUON	600	1.48		
TOTAL		22.85		
2025/7/2		2025年却级陈成		

□ STCF 触发需求

- 极高物理触发率 (~99%)
- 低本底触发率 (< 50 kHz)
- 高数据量吞吐,低延迟
- 相邻事例区分能力(△T < 100 ns)







□ 触发整体框架设计

□ L1 触发与DAQ、CLDT结构关系 Data/Trig control







二、L1层级触发算法研究进展

- 三、L1层级FPGA硬件平台研究进展
- 四、HLT研究进展

五、小结



MDC子触发研究进展



□斜丝超层引入短径迹2D寻迹

- 通过三个φ向约束实现2D寻迹
- 降低带电触发道50%的本底触发





MDC子触发研究进展





ECAL子触发研究进展



□ ECAL波形提取T Q的硬件化实现

- FEE传输<mark>波形信息</mark> •
- ✔ 带宽需求恒定
- ? 传输数据总量更高
- FEE传输信号T,Q
- ✔ 可以获得信号晶体编号信息
- ✔ 传输数据总量少
- ? 传输数据峰值受本底影响大





ECAL子触发研究进展

□提升角度重建精度

□ 分析事例定时

□ 相邻事例区分能力





GTL研究进展



□ 提升track-cluster 匹配正确率

- 使用t, φ, θ等多维约束条件(加入θ限制, track-cluster错误匹配数量降低40%)
- · 以e+e-→π+π-Jpsi, Jpsi→e+e-为例,
 带电道本底触发率从43 kHz降至20 kHz

□ 细化触发表条件

- 根据本底水平调整阈值
- 分析本底特征,缩小中性触发道范围
- 极角分区域判定,压低本底触发



GTL研究进展

□ 本底触发率 < 30 kHz @(带电+中性触发道)

Physics channel	Physics signal	Energy point	No. of tracks should(is) matched	No. of matched tracks in Endcap	No. of matched tracks in Barrel	Signal trigger rate	Background false trigger rate (kHz)	Signal trigger rate
混合类型	Jpsi -> inclusive	3.097GeV	2187 (2131)	289 (200)	1898 (1931)	927/945(937) (≥2)	26.5	98.1% (98.9%)
	$e^+e^- \rightarrow \pi^+\pi^-Jpsi; Jpsi \rightarrow e^+e^-$	4.26GeV	3222 (3069)	426 (380)	2796 (2689)	950/952 (≥3)		99.8%
	$e^+e^- \rightarrow \pi^+\pi^-Jpsi; Jpsi \rightarrow \mu^+\mu^-$	4.26GeV	3262 (3072)	460 (389)	2802 (2683)	946/948 (≥3)		99.8%
	$e^+e^- ightarrow au^+ au^-$	4.26GeV	1615 (1550)	183 (147)	1432 (1403)	864/879 (≥2)		98.4%
	$e^+e^- \rightarrow \pi^+\pi^-Jpsi; Jpsi \rightarrow \Lambda \overline{\Lambda}$	3.097GeV	2230 (1895)	286 (205)	1944 (1690)	912/918 (≥3)		99.5%
带电道	$e^+e^- \rightarrow \pi^+\pi^-$ Jpsi; Jpsi $\rightarrow \Xi \overline{\Xi}$	3.097GeV	2295 (1969)	323 (154)	1972 (1815)	909/922 (≥5)	23.5	98.9%
	$e^+e^- \rightarrow K^+K^-Jpsi; Jpsi \rightarrow l^+l^-$	4.682GeV	2734 (2858)	273 (262)	2461 (2596)	962/964 (≥3)		99.8%
	$e^+e^- \rightarrow D_0 \overline{D_0}$	3.773GeV	2647 (2832)	268 (261)	2379 (2571)	954/954 (≥3)		100%
	$e^+e^> D^+ D^-$	3.773GeV	2334 (2982)	264 (254)	2070 (2708)	984/983 (≥3)		100%
	$e^+e^- \rightarrow D_s^+ D_s^-$	4.04GeV	3301 (3641)	349 (344)	2952 (3297)	936/936 (≥5)		100%
中性道	J/psi-> gam invisable	3.097GeV	-	-	-	532/549 (≥1&&gam_momentum>=1)		96.9%
	e+e> n nbar	3.097GeV	-	-	-	535/548 (≥2&&Nbar≥1&&EDep≥0.5)	27.0	97.6%
	e+e> gam n nbar	3.097GeV	-	-	-	720/730 (≥2&&Nbar≥1&&EDep ≥1)	21.9	98.6%
	e+e> gam n nbar(ISR)	3.713GeV	-	-	-	389/405 (≥2&&Nbar≥1&&EDep≥0.7)		96.0%
亮度监测	RBB	4.26GeV	914 (624)	620 (358)	294 (266)	436/457 (≥2&&pt≥0.5GeV/c)		95.4%
2025/7/3 2025年超级陶粲装置研讨会·湘潭								11



GTL研究进展

□ 以现有本底为基准	,多倍本底:	$e^+e^- \rightarrow \pi^+\pi^-Jpsi$ Jpsi $\rightarrow e^+e^-$	信号 触发率	本底 触发率 (kHz)	少带电径迹 触发道 (kHz)	中性 触发道 (kHz)
• 对信号触发率尚无显着	皆影响	1bkg	948/952 = 99.6%	14	5	6
• 本底触发率随本底水	^Z 非线性升高	2bkg	945/952 = 99.3%	56	13	38
• 中性触发道与少带电征	至迹触发道是本	3bkg	951/952 = 99.9%	86	28	54
底触发主要贡献		5bkg	948/952 = 99.6%	253	65	168
1 bkg 3 bk	g 5 bkg	Jpsi -> inclusive	信号 触发率	本底 触发率 (kHz)	少带电径迹 触发道 (kHz)	中性 触发道 (kHz)
1 bkg 3 bk	g 5 bkg	Jpsi -> inclusive 1bkg	信号 触发率 919/945 = 97.2%	本底 触发率 (kHz) 26	少带电径迹 触发道 (kHz) 6	中性 触发道 (kHz) 18
1 bkg 3 bk	g 5 bkg	Jpsi -> inclusive 1bkg 2bkg	信号 触发率 919/945 = 97.2% 917/945 = 97.0%	本底 触发率 (kHz) 26 52	少带电径迹 触发道 (kHz) 6 11	中性 触发道 (kHz) 18 40
1 bkg 3 bk	g 5 bkg	Jpsi -> inclusive 1bkg 2bkg 3bkg	信号 触发率 919/945 = 97.2% 917/945 = 97.0% 917/945 = 97.0%	本底 触发率 (kHz) 26 52 119	少带电径迹 触发道 (kHz) 6 11 37	中性 触发道 (kHz) 18 40 78





二、L1层级触发算法研究进展

三、L1层级FPGA硬件平台研究进展

- 四、HLT研究进展
- 五、小结



L1层级FPGA硬件平台架构设计

□ MDC、ECAL子触发硬件架构

□L1触发原理样机架构设计







核心板卡研究进展

□ 第三版CROB-LTU板卡及DQS波形

CROB-LTU

- 完成第三版板卡制板、调试
- 目前有4片DDR4可用,将针对 DDR4再次优化
- □ FMC子板
- 优化高频性能,完成测试
- □ 数据产生板
- 通过全部测试
- □ CTM板
- 通过全部测试



□ FMC子板10Gbps 眼图



R2-DQS波形









ECAL算法硬件化进展

□ ECAL桶部簇团分割算法资源量消耗

- LUT消耗35%, FF消耗38%, BRAM消耗28%
- 仍有进一步优化空间



□ ECAL桶部子触发算法软硬件联调

- 软硬件簇团分割结果完全一致
- 硬件簇团能量重建结果接近软件算法
- 硬件算法延迟 < 150 ns



W center_energy(57)(15:0

W center_energy(58)(15:0
W center_energy(58)(15:0

center energi(60[15

max mark 11/262-33



GTL算法硬件化与联调进展

□ GTL流水线框图



□GTL资源消耗量评估(~12%)

Name 1	CLB LUTs (663360)	CLB Registers (1326720)	CARRY8 (82920)	CLB (82920)	LUT as Logic (663360)	Bonded IOB (624)	HPIOB (520)	GLOBAL CLOCK BUFFERs (1248)
✓ N dataremix	122656	107134	5094	19350	122656	3	3	1
> I EMCdataremix_1 (EMCdataremix)	10958	16732	248	2597	10958	0	0	0
> 🚺 match1 (match)	86079	63360	4480	13306	86079	0	0	0
> I MDCdataremix_1 (MDCdataremix)	11228	14186	62	2330	11228	0	0	0
> I trig1 (trig)	13023	12856	93	2567	13023	0	0	0

□ TRIG与DACQ、ECAL联调GBT工程

- ,为10月束流测试做准备
- 调试优化,两个通道数据传输正常







- 二、L1层级触发算法研究进展
- 三、L1层级FPGA硬件平台研究进展
- 四、HLT研究进展
- 五、小结



HLT研究进展

□模式匹配+霍夫变换的MDC HLT算法

• 研究细节可参照彭亮老师的报告"基于异构

框架的STCF MDC HLT算法研究"



□ 径迹段+神经网络的MDC HLT寻迹算法



□ 初步性能(e+e-→π+π-Jpsi, Jpsi→e+e-):

- 97.3%信号hit留存率、67%纯度、46.8%压缩率
- 80 ms + 5 ms + 50 ms 延迟



HLT研究进展



Expected graph structure:



消耗4.5%的计算资源







- 二、L1层级触发算法研究进展
- 三、L1层级FPGA硬件平台研究进展
- 四、HLT研究进展
- 五、小结



□ L1 触发算法:

- ✓ 典型带电物理事例触发率 > 99%, 纯中性物理事例触发率 96%-99%, 可区分△T >50 ns物理事例
- ✓ 本底触发率 < 30 kHz @(带电+中性触发道)

□ FPGA硬件平台与原理样机:

- ✓ 基于第三版CROB-LTU板卡测试结果优化第四版,其余板卡测试通过,准备复制板卡,制作样机
- ✓ 完成ECAL子触发桶部算法硬件化,延迟 < 150 ns; GTL完成硬件算法规划与资源量估计
- ▶ 准备制作原理样机、软硬件联调,准备参与束流测试

HLT:

- ✓ 研究两种基于径迹段的MDC HLT算法
- ▶ 研究GPU实现霍夫变换、算法并行度提升、AI-engine部署GNN的方法
- ▶ 推动各探测器系统的HLT算法研究





本研究受到安徽省超级陶粲装置关键技术攻关项目和国家 自然科学基金专项(重点)项目"新一代2-7GeV能区超高亮 度正负电子对撞机触发与数据传输关键技术研究的资助", 特此感谢!



谢谢!