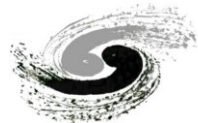




环形正负电子对撞机  
Circular Electron Positron Collider



中国科学院高能物理研究所  
*Institute of High Energy Physics*  
*Chinese Academy of Sciences*

# 11 Gbps 串行器核心电路设计

李筱婷，魏微，严雄波，叶竞波等

中国科学院高能物理研究所

2025. 4.19

## ■ 研究背景

- 前端探测器、通用高速数据读出
- 像素读出、多通道、高密度集成等芯片的数据读出

## ■ 研发进展

- 核心电路设计
- 测试结果
- 下一步计划

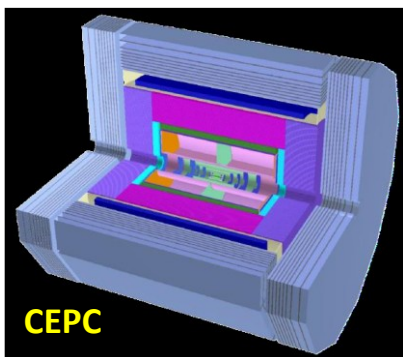
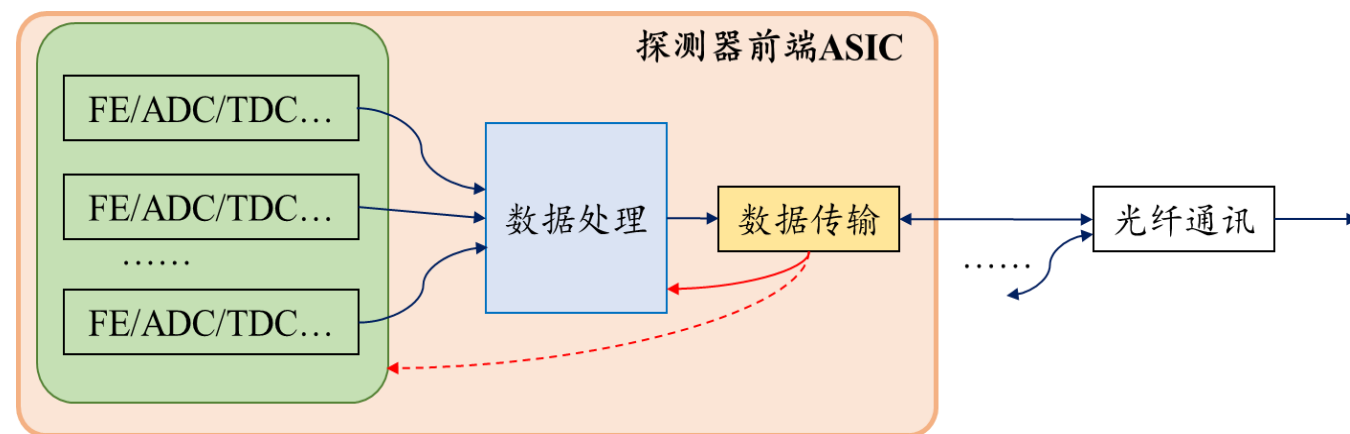
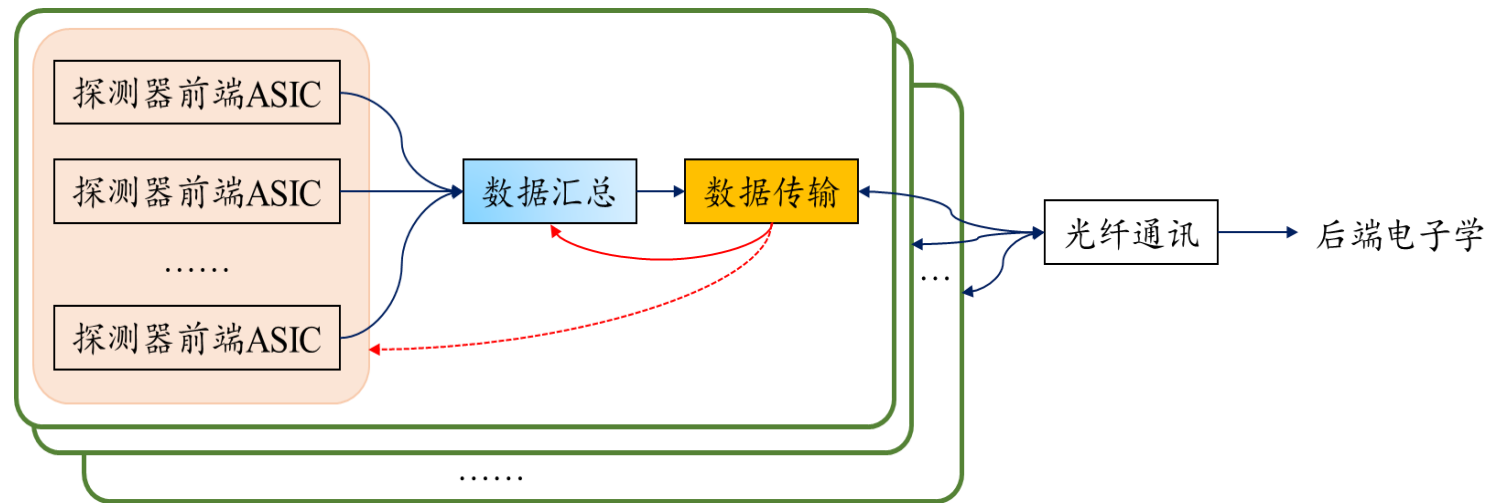
## ■ 总结

## 通用高速数据读出

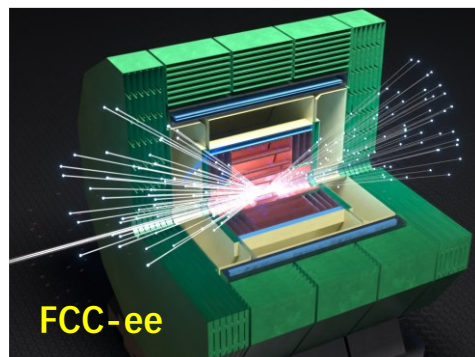
- 探测器前端
- 10+ Gbps
- .....

## 片内集成

- 像素读出芯片
- 多通道ADC
- 多通道TDC
- .....



CEPC



FCC-ee

## ■ 核心电路设计 (55nm)

### ➤ LC锁相环

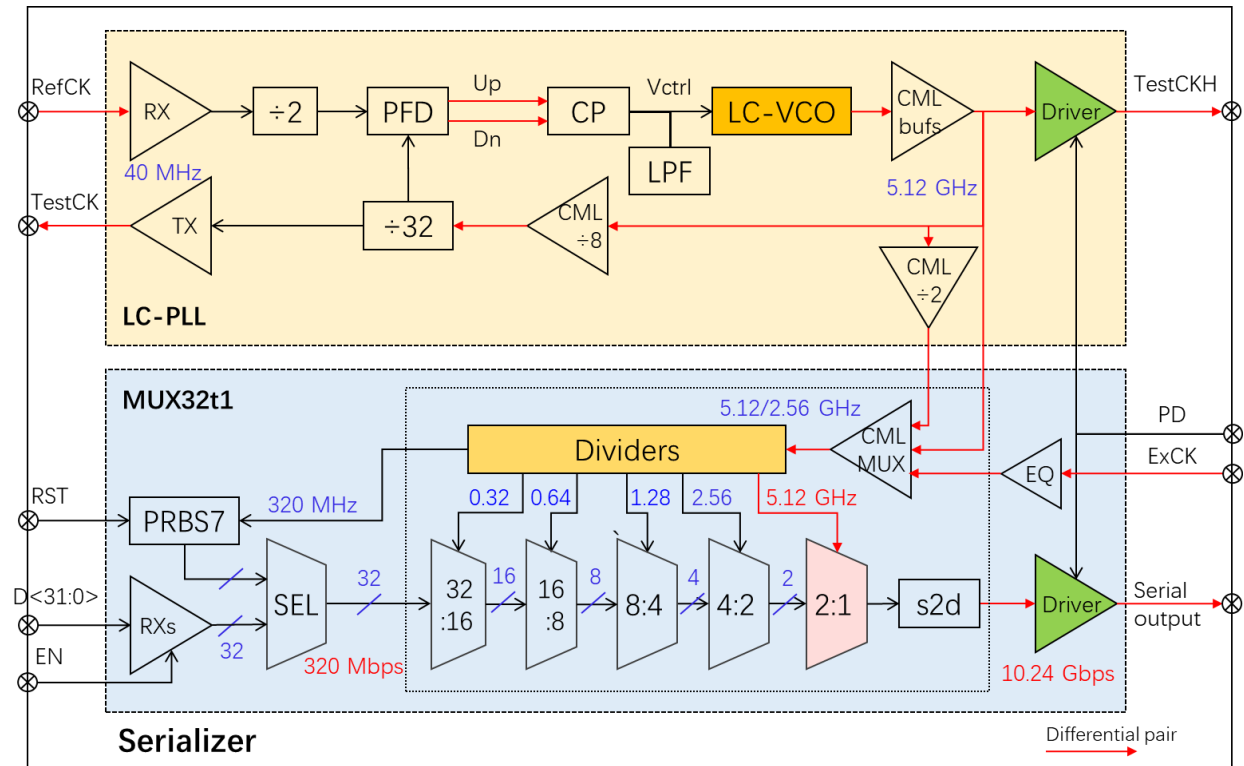
- 差分收发
- CML分频器+CMOS分频器
- CML传送时钟

### ➤ 全CMOS, 二叉树MUX

- 向下兼容时序
- CKDCC模块应用

### ➤ CML驱动器

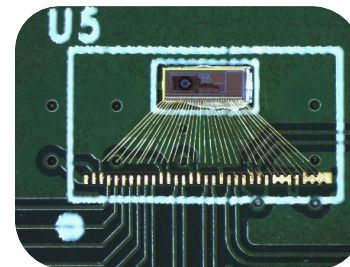
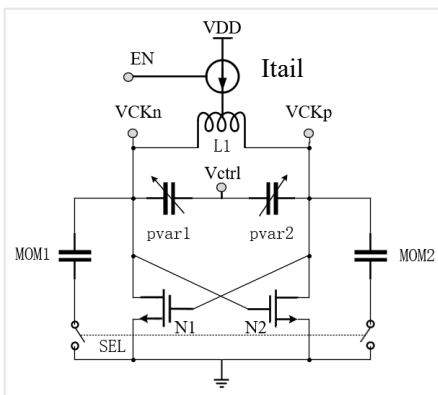
- 高频时钟
- 高速数据



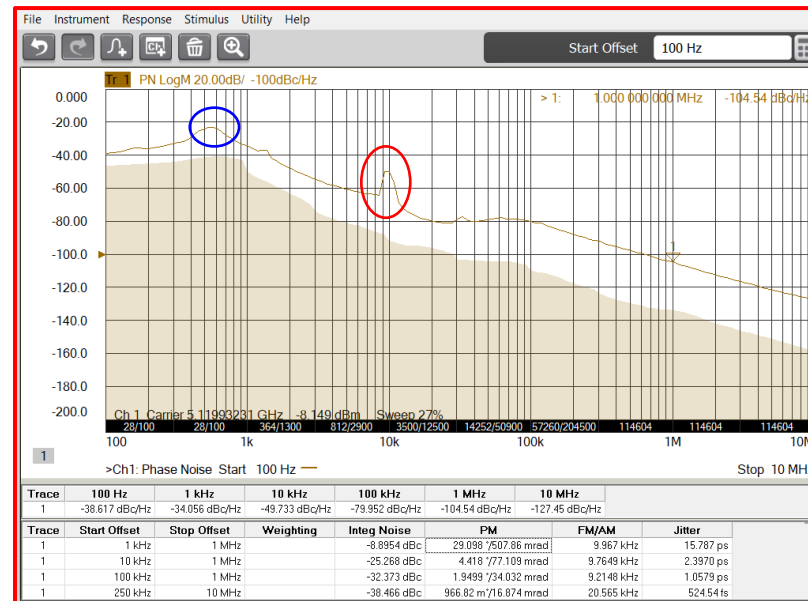
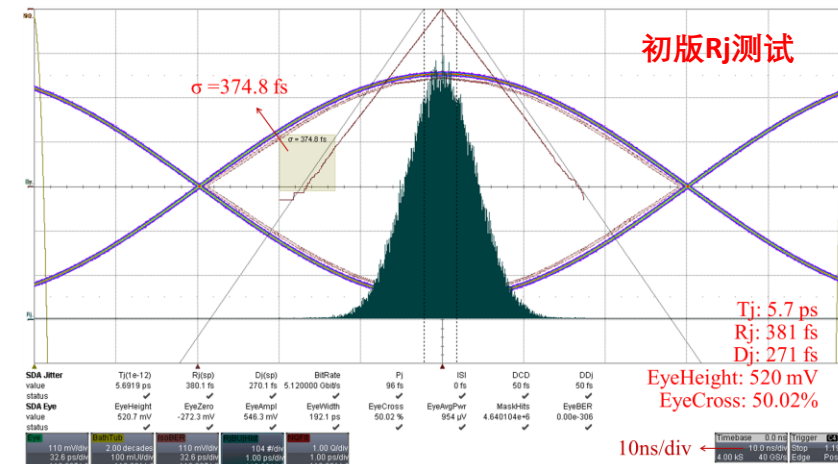
## ○ LC锁相环

- 经典三阶模拟锁相环架构
- 谐振核心：电感+可变电容
- 子带调节：MOM电容+开关
- 初版实测性能参数：

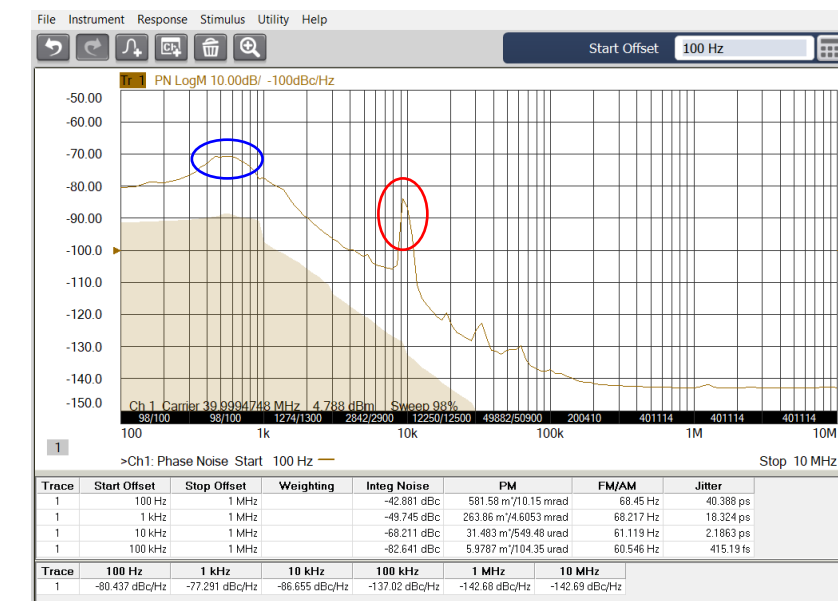
- 4.74~5.92 GHz, 核心电流~15mA
- $R_j < 0.5$  ps
- -107.7 dBc/Hz (5.12GHz, 1MHz)



初版PLL打线图



此版PLL相位噪声测试

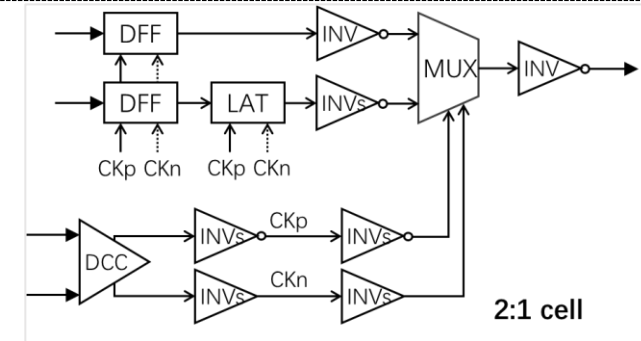
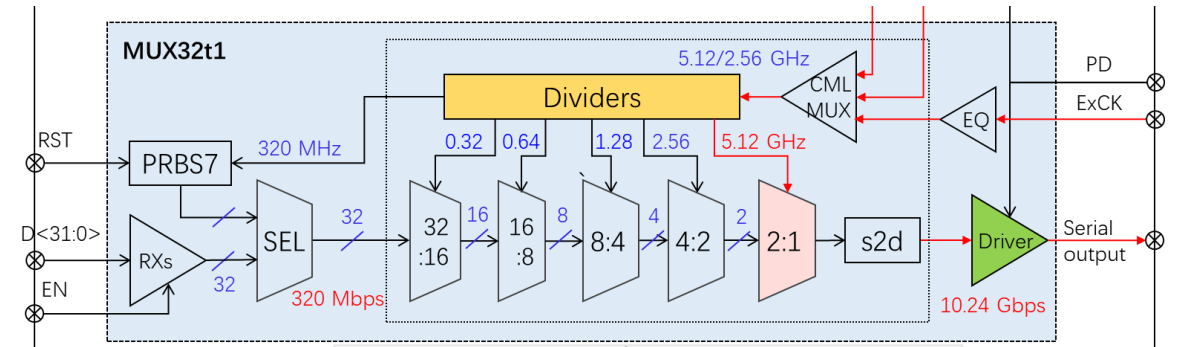


40MHz 信号源相噪测试



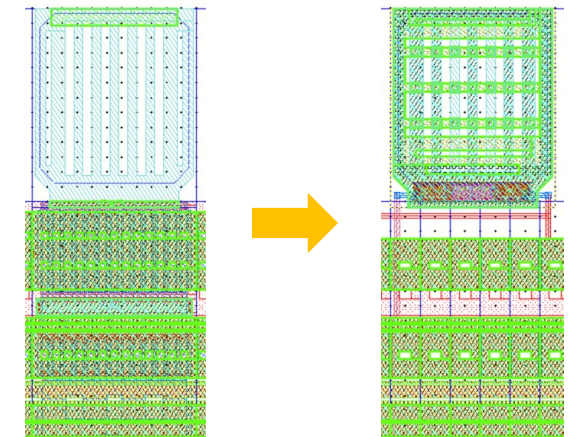
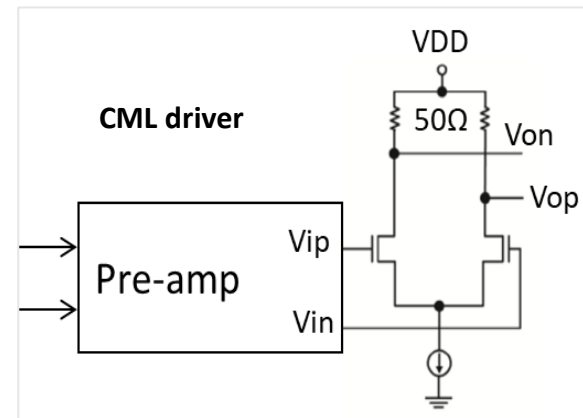
## ○ MUX32t1

- 时钟可选：PLL、PLL/2、外部时钟
- 二叉树结构→高速
- 前4级采用普通2:1单元
- 尾级采用增强型2:1单元
  - 各时钟驱动增强
  - 时钟路径增加占空比校准模块→确保50%占空比
- 分频器最高频时钟路径增加延迟调节单元→工艺角变化



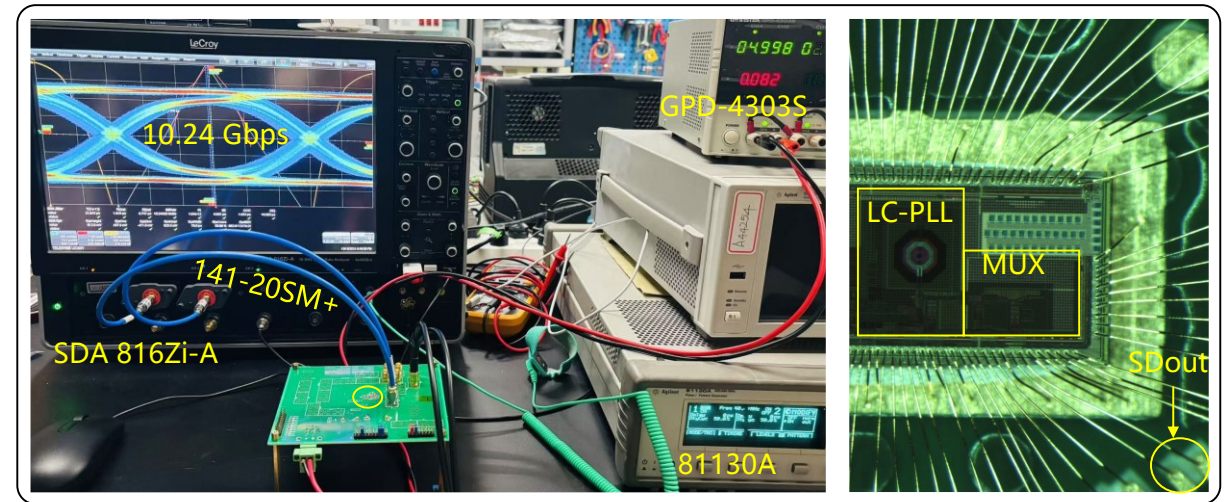
## ○ CML驱动器

- 经典CML输出级，5级前置放大
- 总电流约36mA
- 输出IO削减了部分金属及ESD二极管
  - 700fF+(仅部分掩模) → 400fF



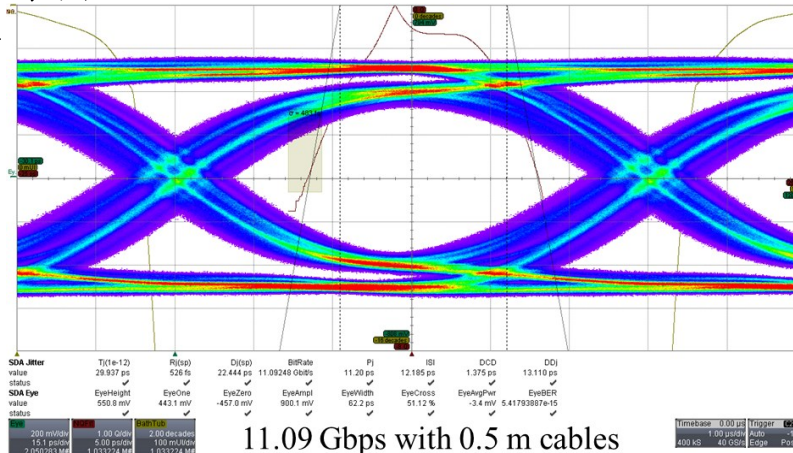
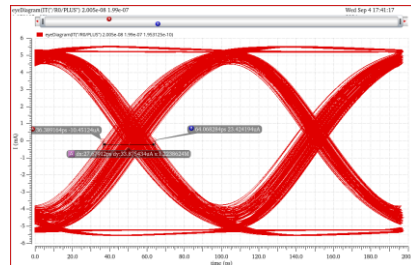
## ■ 实测性能

- PLL性能相比初版有轻微变化:
  - 4.74~6 GHz
  - $R_j < 0.4\text{ps}$ ,  $T_j \sim 8\text{ps}$
  - 1MHz频偏相噪约  $-104\text{ dBc/Hz}$  @5.12GHz
- 串化功能正常, 眼图清晰
- 功耗~96.2 mW @11.09Gbps
- 5.12/10.24/11.09Gbps测量 $T_j$ 为16.1/24.6/30ps, 眼高为874.4/580.9/550.8mV
- 缆线长度对 $T_j$ 影响不大, 对眼高影响明显
- 电源在1.15~1.4V范围内, 工作正常

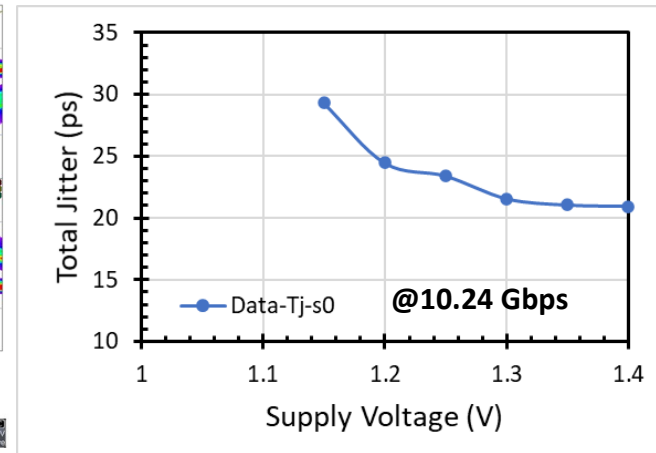


## ■ 下一步计划

- 驱动器进一步增强驱动, 降低功耗
- 完善功能



11.09 Gbps with 0.5 m cables



←后仿真TT27, 10.24Gbps, 0.6pF+1.5nH+100Ω, Dj=27.7ps

- 在55nm工艺上实现了11 Gbps的串行核心电路设计，验证了采用CMOS逻辑的MUX方案可行
- 后续将在此基础上进一步完善（驱动力增强、功耗降低和功能等）

感谢各位老师！