

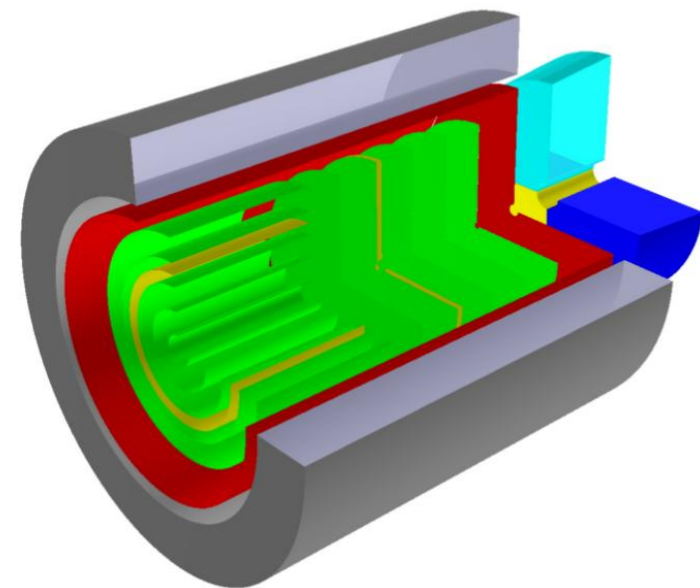


超核谱仪: TDAQ架构设计及技术进展

陈凯

华中师范大学

第一届Lambda超子自旋极化跨系统研讨会 (2025)



系统读出要求

❑ MAPS: 总面积**55491** cm²

❑ MAPS-Barrel

➢ 最内层, **12 stave**, 24 HIC, **48** × 10G fiber link, 有效带宽使用率: ~7.7 Gb/s

➢ 外4层 (**14+20+34+42=110 stave**), 4 HIC/stave, 2 link/stave, 合计~**220** fiber, 有效带宽使用率:
<1.6 Gb/s

➢ 合计~**268** fibers, 总有效数据小于700 Gbps

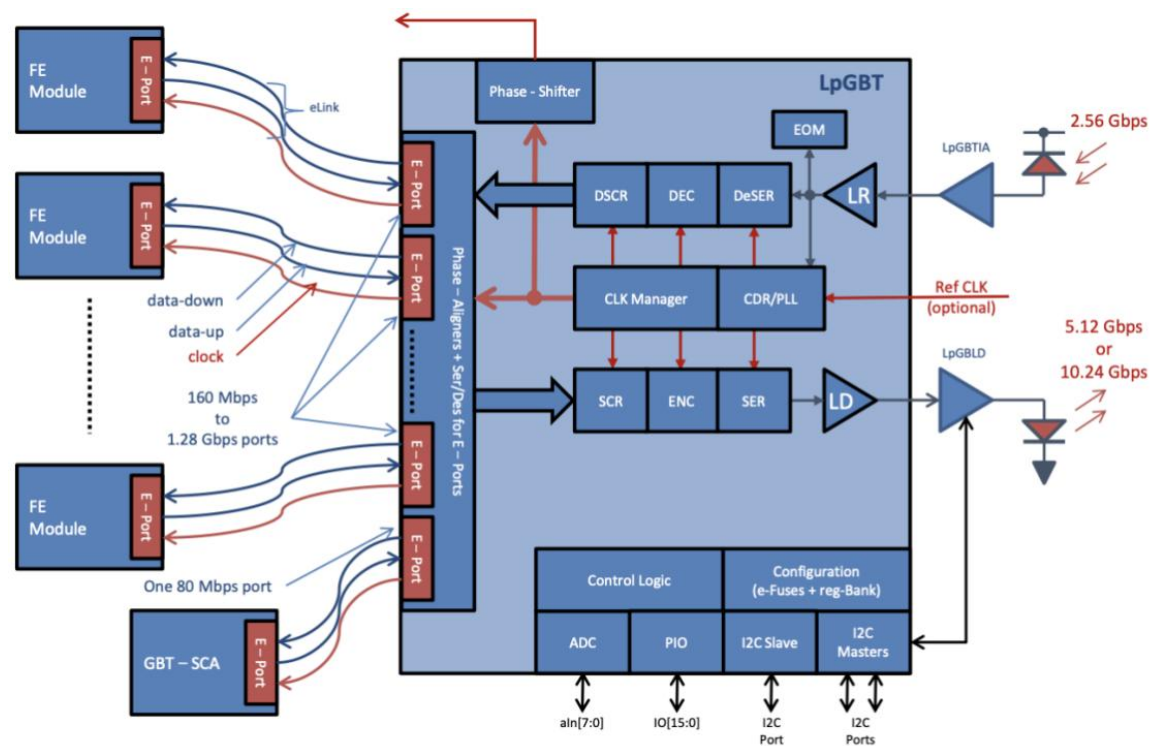
❑ MAPS-Endcap

➢ 5层, 每层约114 ladder

➢ 每层 57或114 fiber link

➢ 合计**285~570**路

➢ elink的使用及有效带宽待确定



系统读出要求

□ LGAD: 总面积**48773** cm²

➢ 参考ATLAS HGTD, **6.4**平方米

- DAQ+Luminosity读出
- LpGBT数**1728**, 后端PCIe板卡 (FELIX) 48+32
- 总有效数据率约10Tb/s

➢ 总fiber约**1320**, 有效数据率待确定 (7~8Tb/s?)

~1M CHF

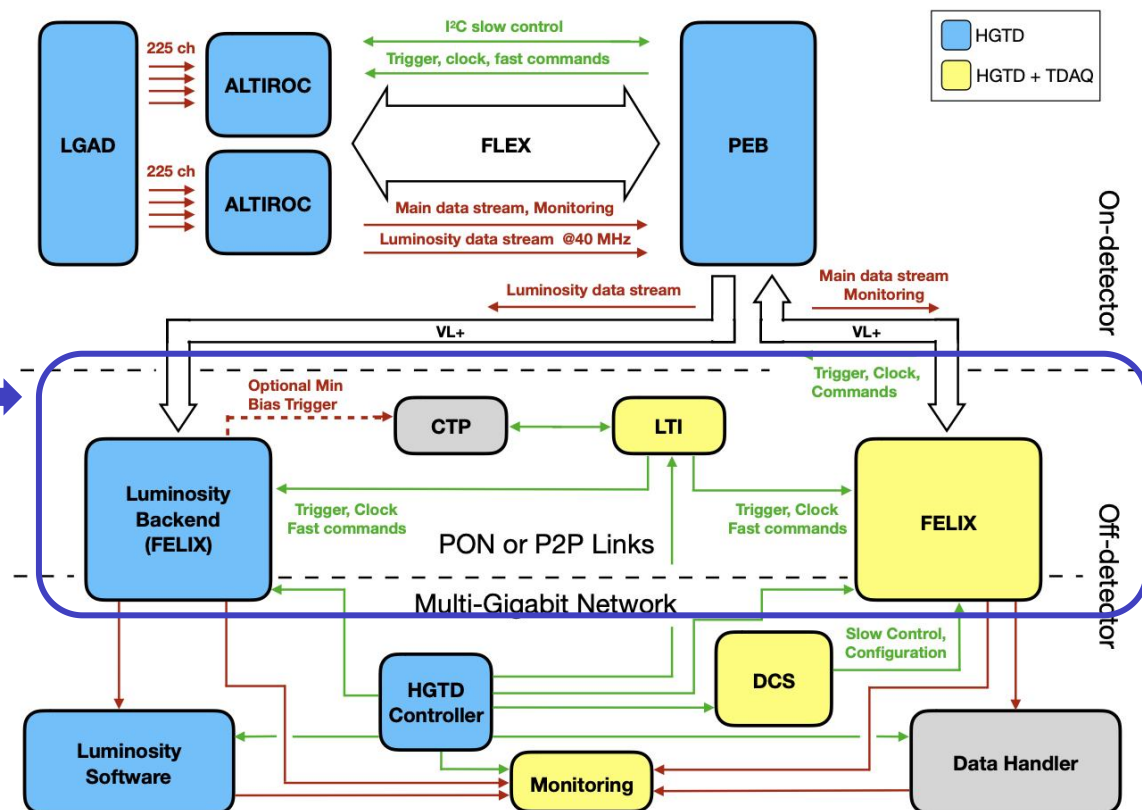
□ ECal

➢ 600个模块, 双读出, 共1200路模拟信号

➢ 前端电子学设计方法待定

- 按较差情况的持续采样估计, 100MSPS × 12bit/S, 10Gbps约处理6路, 则~200 fiber links
- 参考ePIC, 每48路一个fiber, 则~25路fiber

➢ 暂按**25**路fiber, 200Gbps估算



系统读出要求 (初步)

| 子系统 | 通道/面积 | 10G光纤数 | 传输带宽 | 有效带宽 |
|--------------|-----------------------|--------|-----------|------------|
| MAPS Tracker | 55491 cm ² | ~748 | ~7.5 Tb/s | |
| Barell-Inner | | ~48 | ~480 | ~360 Gb/s |
| Barell-Outer | | ~220 | ~2.2 Tb/s | ~320 Gb/s |
| Endcap | | ~570 | ~5.7 Tb/s | ~700 G? |
| LGAD TOF | 48773 cm ² | ~1320 | ~13 Tb/s | ~7-8 Tb/s? |
| ECal | 1200 | ~25 | ~200 Gb/s | ~200 Gb/s? |

□ 三种探测器光纤数，
elink使用，有效数据带
宽均待确认！

Barrel:

| R(cm) | Length(cm) | Pitch Size(μm) | Material Bedge (X/X0 %) | Tech |
|-------|------------|----------------|-------------------------|------|
| 5.0 | 50 | 30 | 0.85 | MIC6 |
| 13.0 | 50 | 30 | 0.85 | MIC6 |
| 21.0 | 50 | 30 | 0.85 | MIC6 |
| 29.0 | 50 | 30 | 0.85 | MIC6 |
| 37.0 | 50 | 30 | 0.85 | MIC6 |
| 45.0 | 150 | 500 | 1.00 | LGAD |

Disk:

| In R(cm) | Out R(cm) | Z(cm) | Pitch Size(μm) | Material Bedge (X/X0 %) | Tech |
|----------|-----------|-------|----------------|-------------------------|------|
| 1.0 | 37 | 45 | 30 | 0.85 | MIC6 |
| 1.0 | 37 | 60 | 30 | 0.85 | MIC6 |
| 1.0 | 37 | 75 | 30 | 0.85 | MIC6 |
| 1.0 | 37 | 90 | 30 | 0.85 | MIC6 |
| 1.0 | 37 | 105 | 30 | 0.85 | MIC6 |
| 1.0 | 45 | 123 | 500 | 1.00 | LGAD |



内容

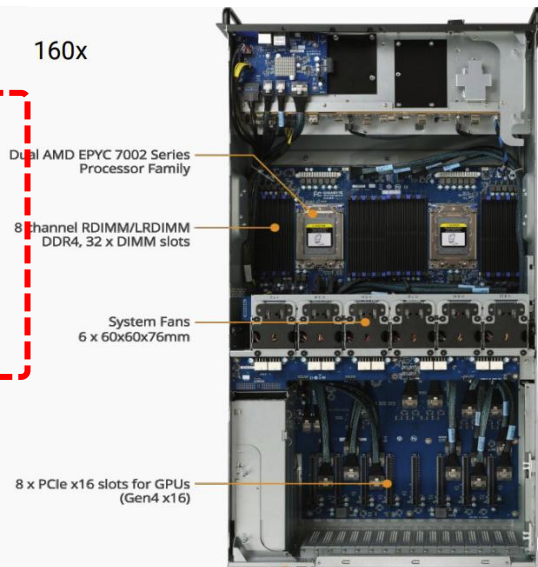
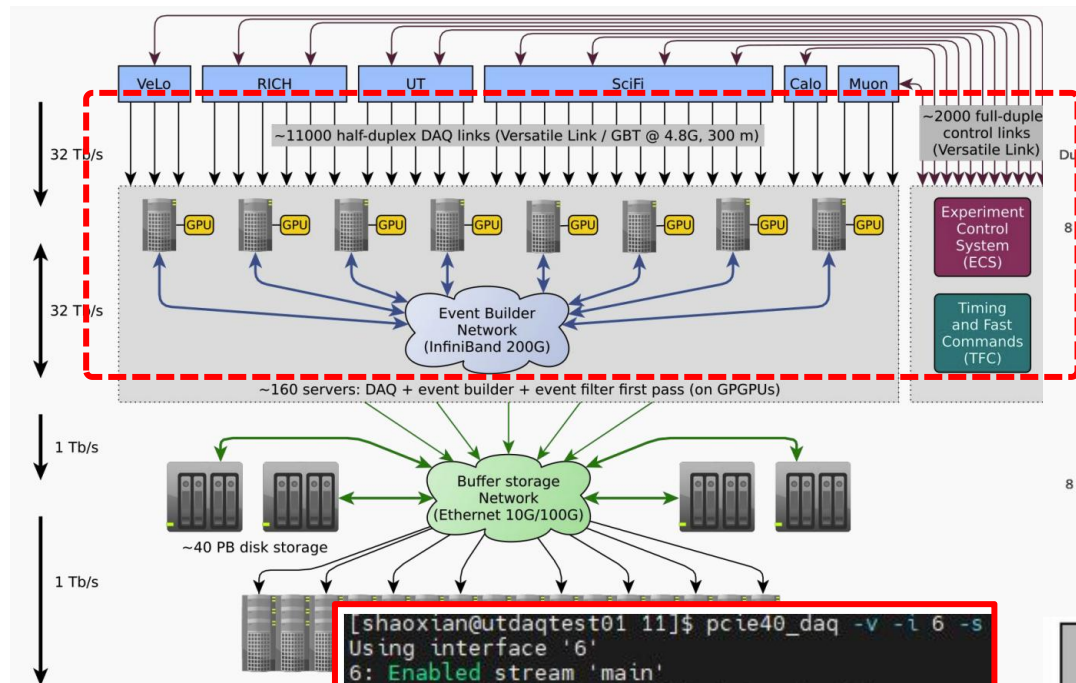
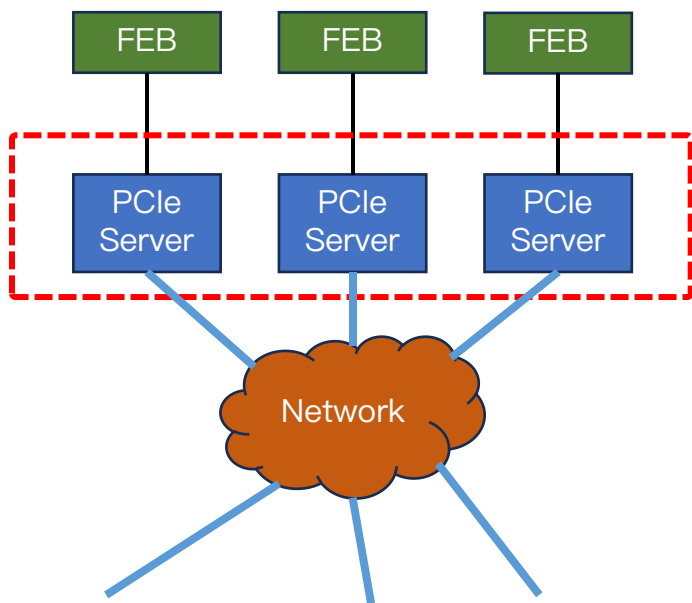
- 读出架构
- 研究现状



无硬件触发读出: LHC-LHCb

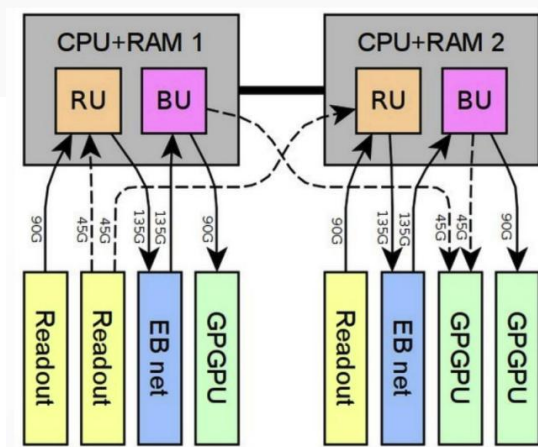
□ 所有探测器数据 → PCIe服务器 (~160)

□ Gen3 × 16 PCIe板卡 (~480)



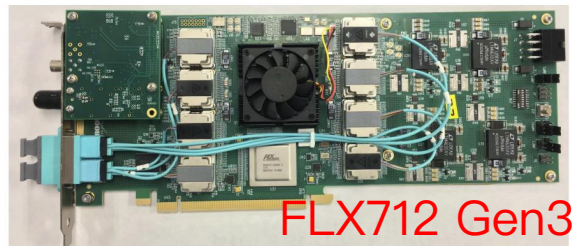
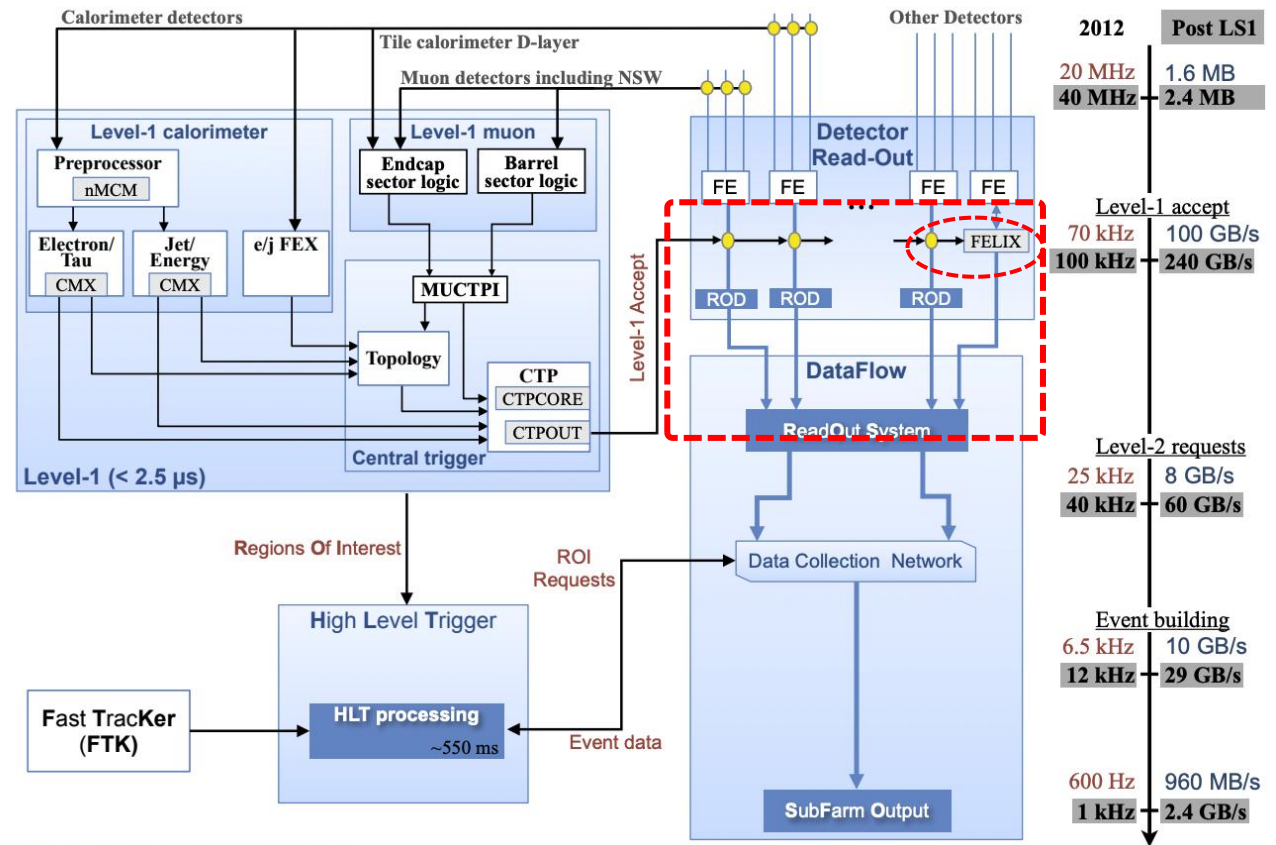
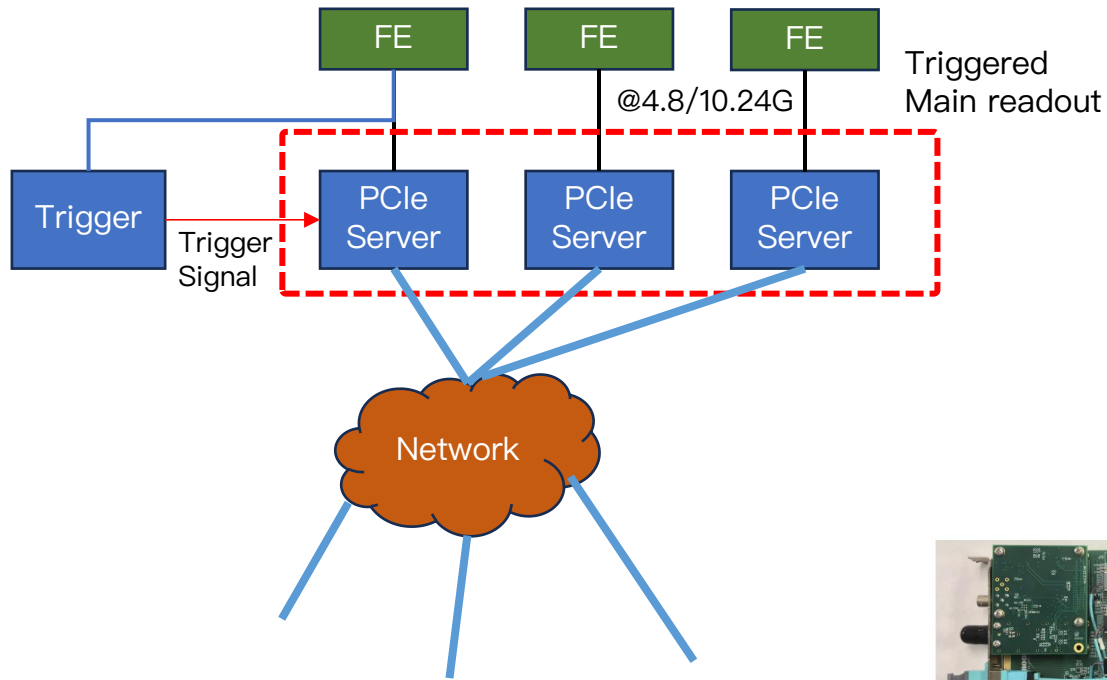
```

[shaoxian@outdaqtest01 11]$ pcie40_daq -v -l 6 -s
Using interface '6'
6: Enabled stream 'main'
6: Reset FPGA logic in DMA stream 'main'
6: DP generator now in 'pseudo-fragments' mode
6: Enabled data generator on stream 'main'
6: Started data generator on stream 'main'
6: Measuring throughput of stream 'main' every second
6: Locked 'main' stream
6: Start writing 'main' stream data
6: inf Gbps, 54.97 Gbps
6: inf Gbps, 55.33 Gbps
6: inf Gbps, 55.44 Gbps
6: inf Gbps, 55.51 Gbps
6: inf Gbps, 55.57 Gbps
6: inf Gbps, 55.58 Gbps
6: inf Gbps, 55.55 Gbps
6: inf Gbps, 55.40 Gbps
6: inf Gbps, 55.37 Gbps
    
```



硬件触发读出：LHC-ATLAS

- 主读出：FE到DAQ为L1A触发后数据
- Run3/4：基于PCIe的读出（FELIX）逐步应用于全部子探测器，取代原有两级读出（VME+PCIe）



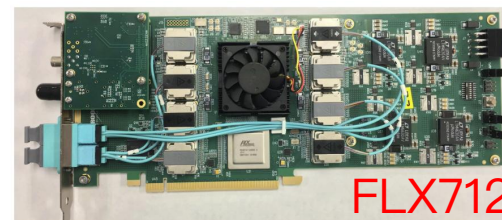
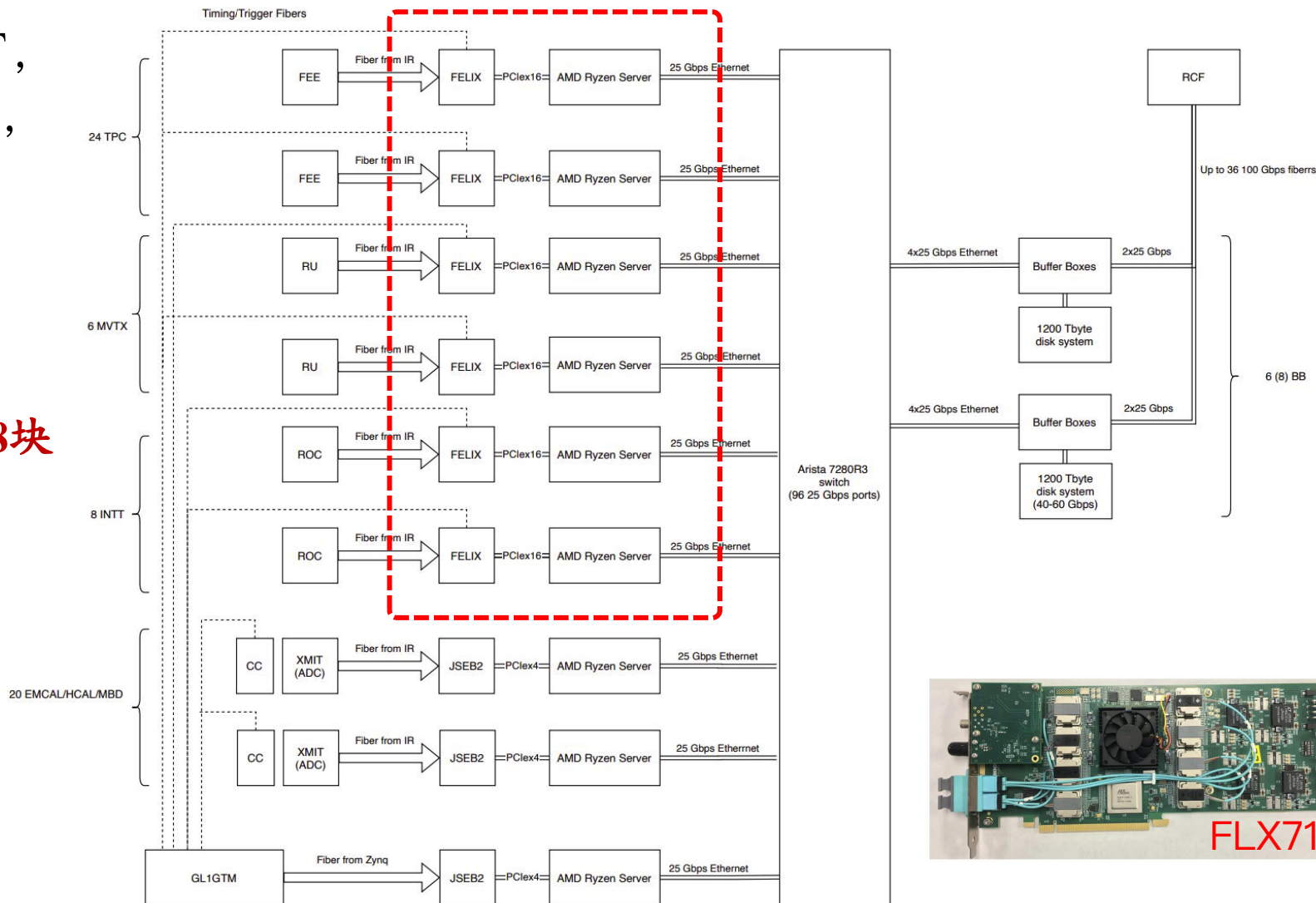
Run-3: ~100 FLX712
Run-4: 约多一个量级, 新版本



Hybrid结构: RHIC-sPHENIX

- ❑ 径迹探测器MVTX, INTT, TPC支持streaming readout, 一级PCIe读出
- ❑ 量能器: 触发模式

ATLAS FLX712: ~38块



2025/3/23

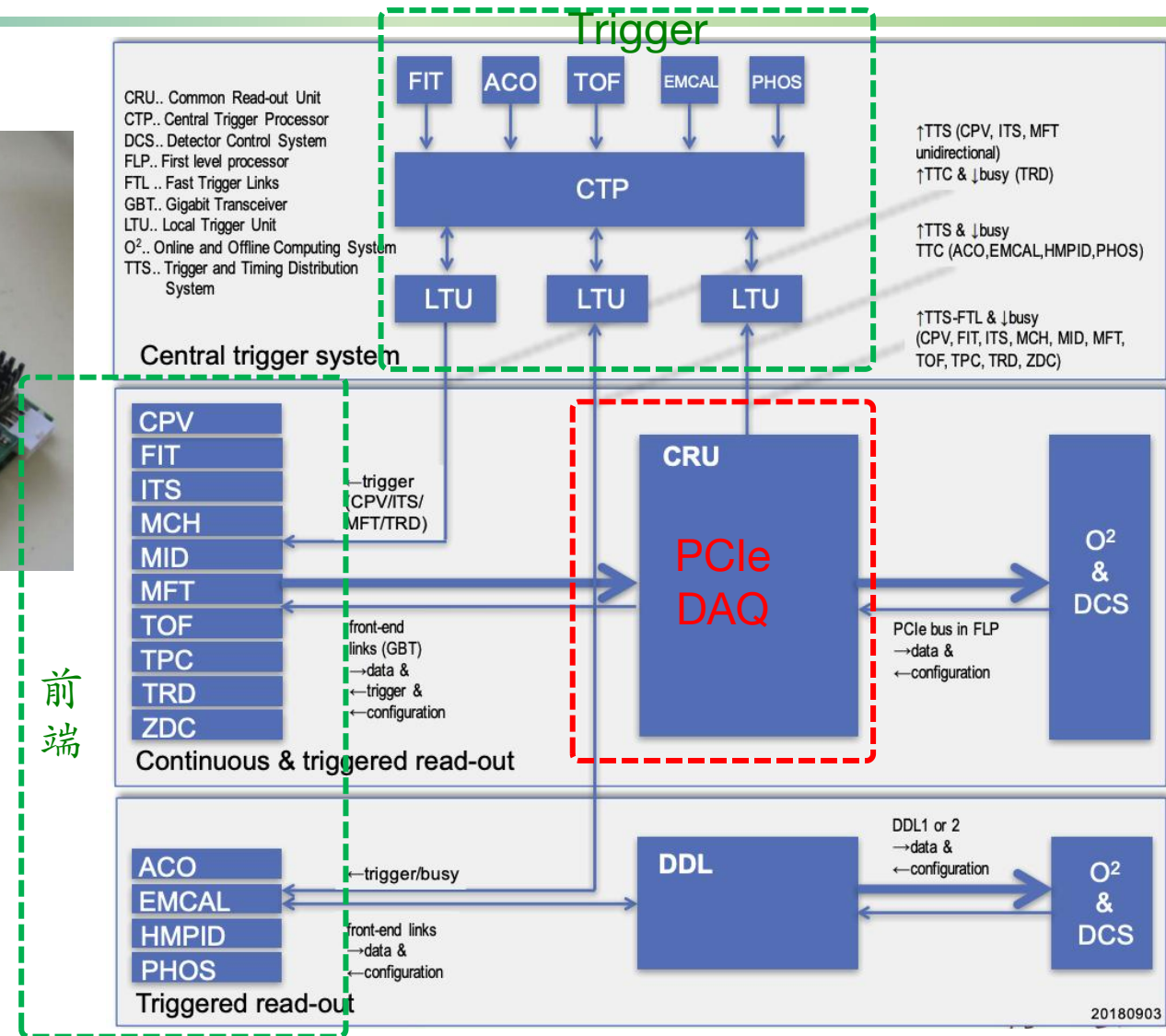


LHC-ALICE

一级PCIe (CRU)

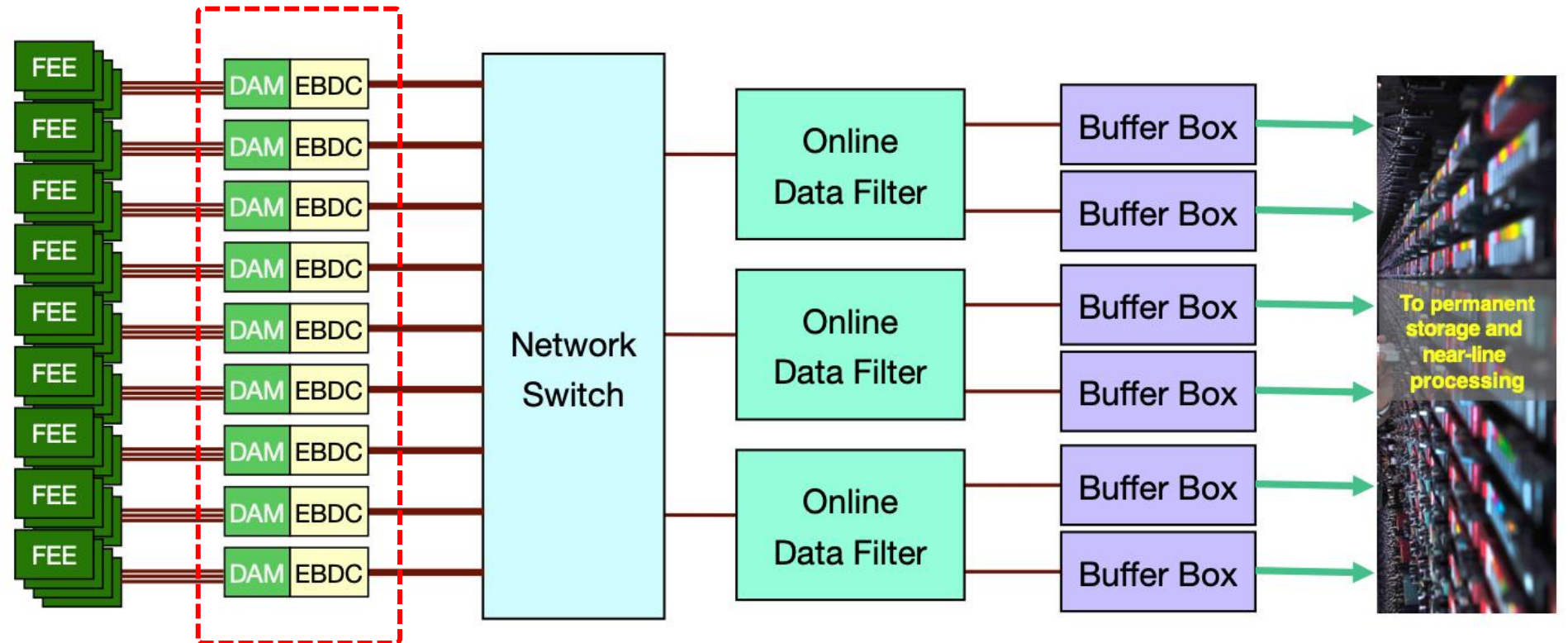


- 8000 links connect the detectors to O2 farm
- 200 readout servers
 - 500 readout card: CRU
- 250 processing nodes collect and store data
 - ~2000 GPU & CPU
- 1 CTP - 15 LTUs (1 per detectors)



EIC-ePIC

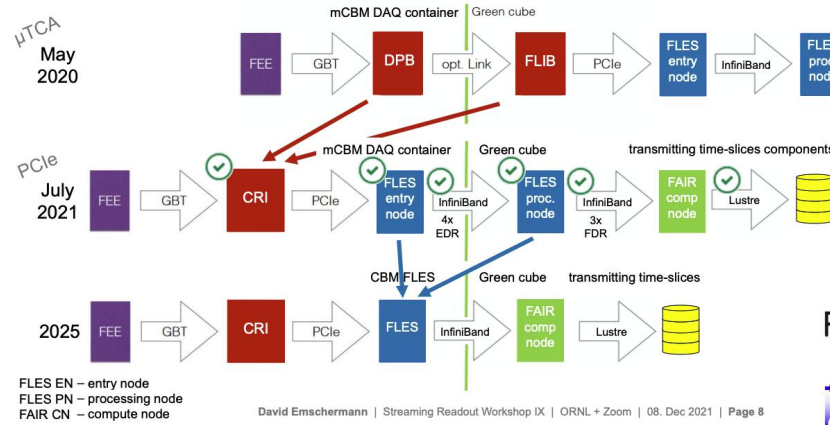
- Baseline: trigger-less
- ~80% of PCIe-based readout
- ~138 cards



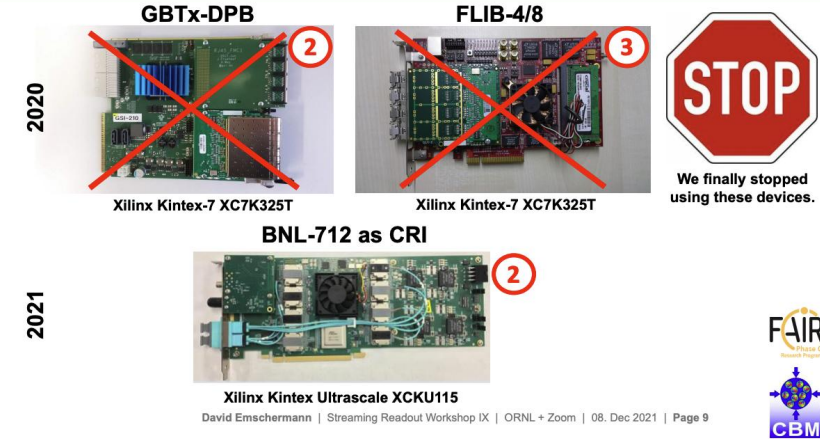
FAIR-CBM

DPB + FLIB
 (MicroTCA + PCIe)
 ↓ 升级
 CRI
 (PCIe) CRI1: FLX712 ~30
 CRI2: ~200 cards

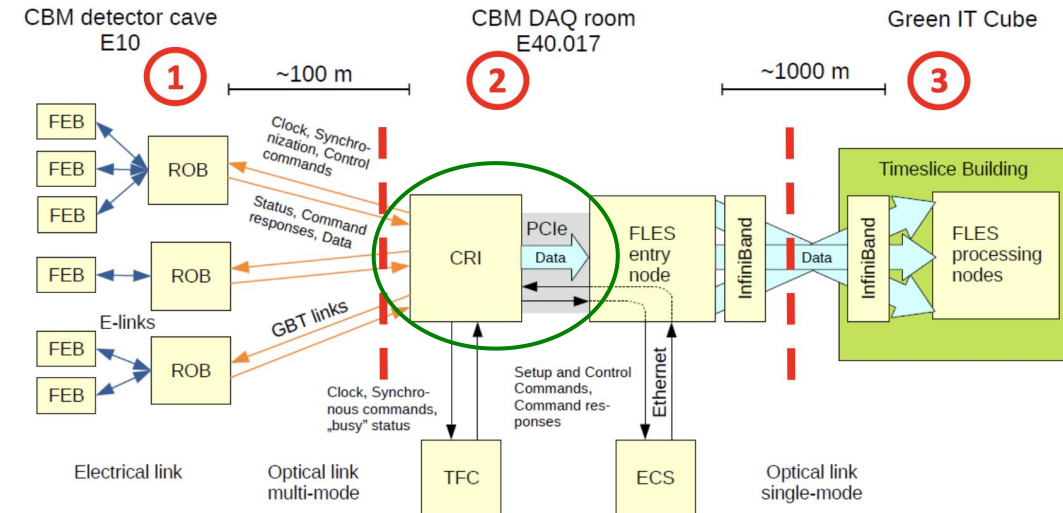
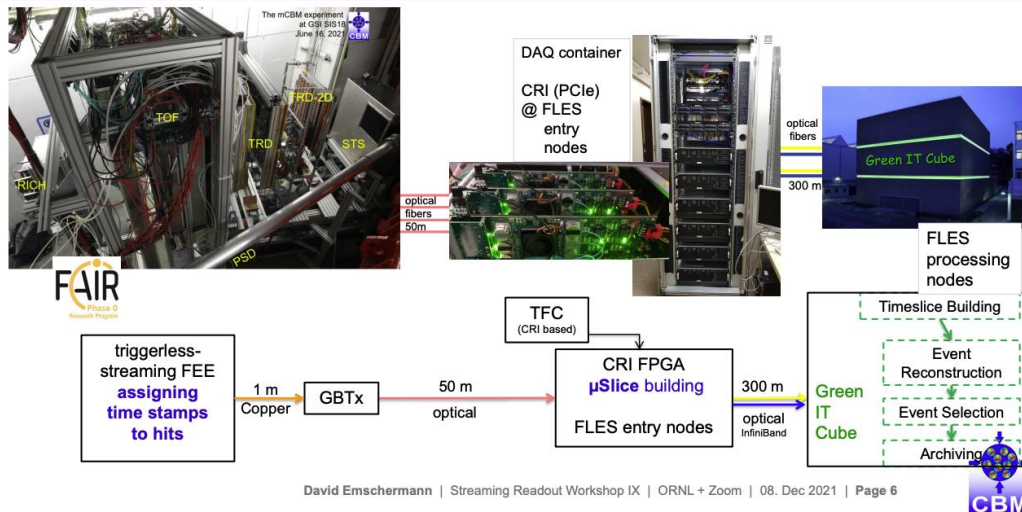
Evolution of the readout chain at CBM



DPB, FLIB and CRI

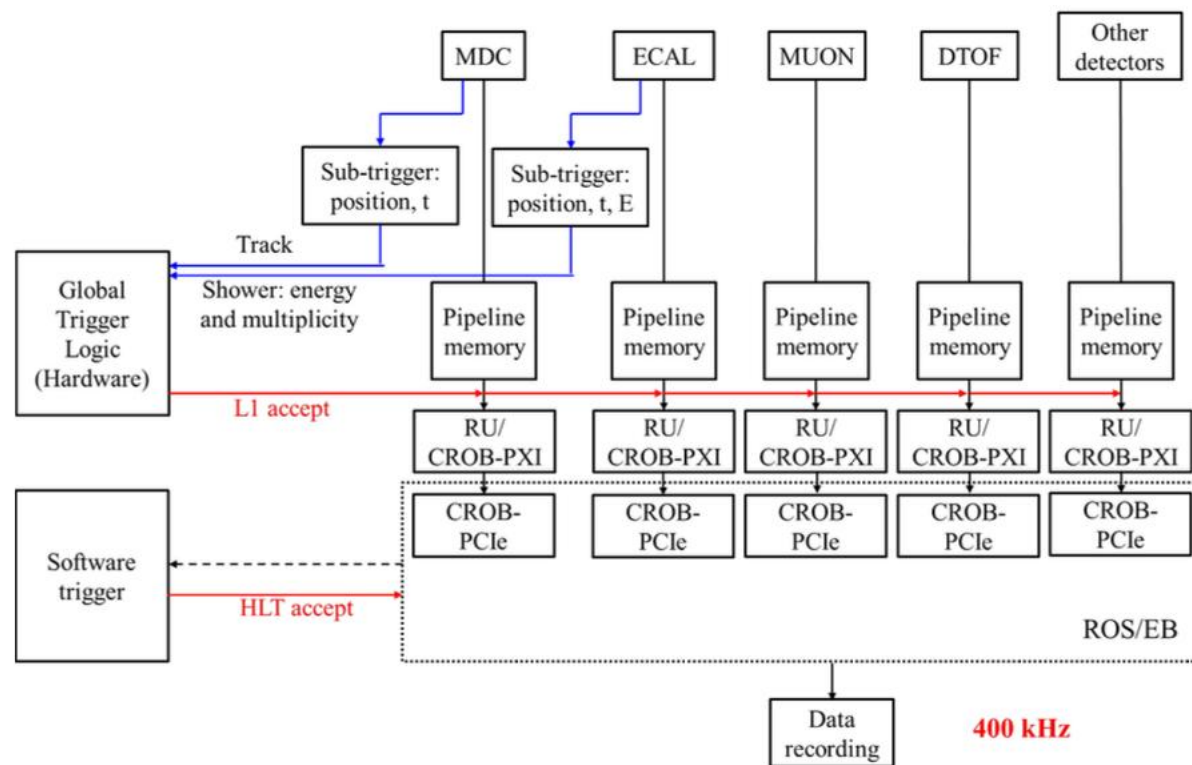
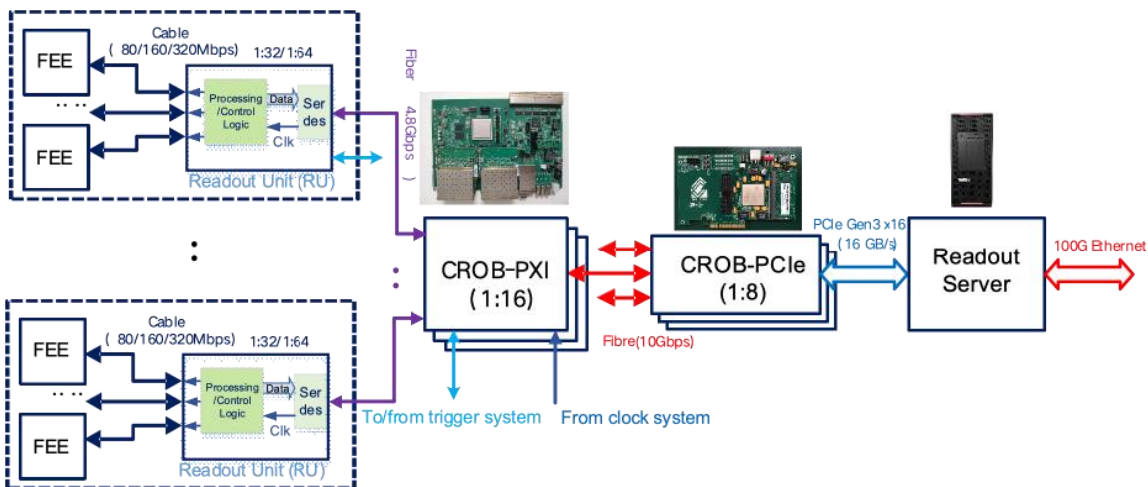


mCBM @ SIS18 in 2021 - updated data transport with CRIs



STCF

- 2级结构: CPCI+PCIE
 - 或CPCI + FPGA-based网络
- CPCI转发数据到触发系统



架构选择讨论

□ 几种类型

- 完全无硬件触发，一级读出架构（PCIe）：LHCb，sPHENIX的MVTX/INTT
- 基于触发，主读出为一级架构（PCIe）：ATLAS，ALICE，sPHEIX
- 两级汇总：上一代ATLAS (VME+PCIe)与CBM (MicroTCA+PCIe)；STCF (CPCI+PCIe)

□ 一级读出相对架构简单，也是国际上主流的发展趋势

- 存在无触发、前端电子学筛选事例、DAQ硬件/固件事例过滤、后级软件过滤等多种不同和可组合的触发方式
- 更高的数据量到软件端，软件处理更灵活

□ 两级读出适用于需多级汇总的情况

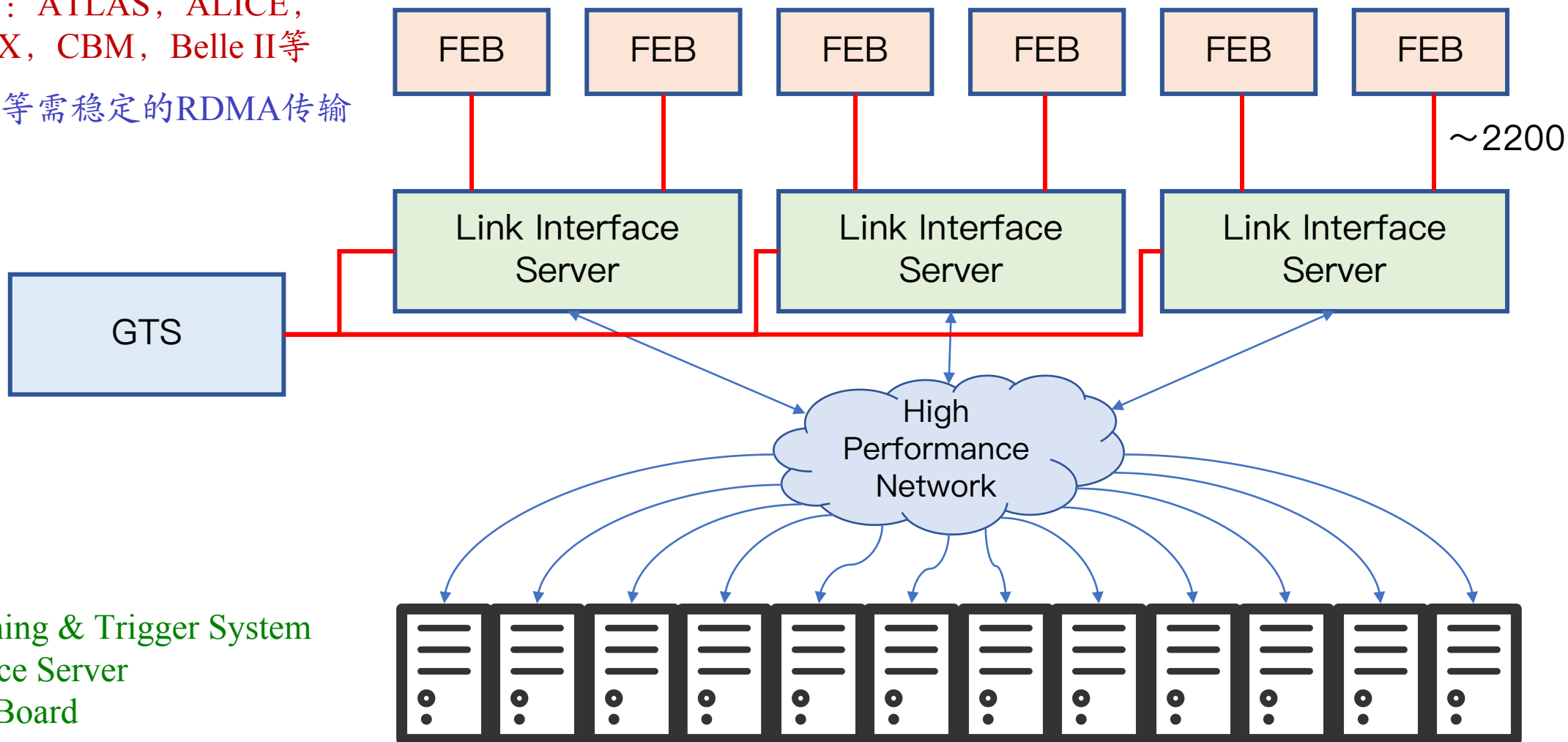
- 第一级到第二级有较大的数据筛选率的前提下具备一定优势



一级读出——PCIe、MicroTCA/CPCI

PCIe方案较成熟：ATLAS, ALICE, LHCb, sPHENIX, CBM, Belle II等

MicroTCA/CPCI等需稳定的RDMA传输



GTS: Global Timing & Trigger System
LIS: Link Interface Server
FEB: Front-End Board

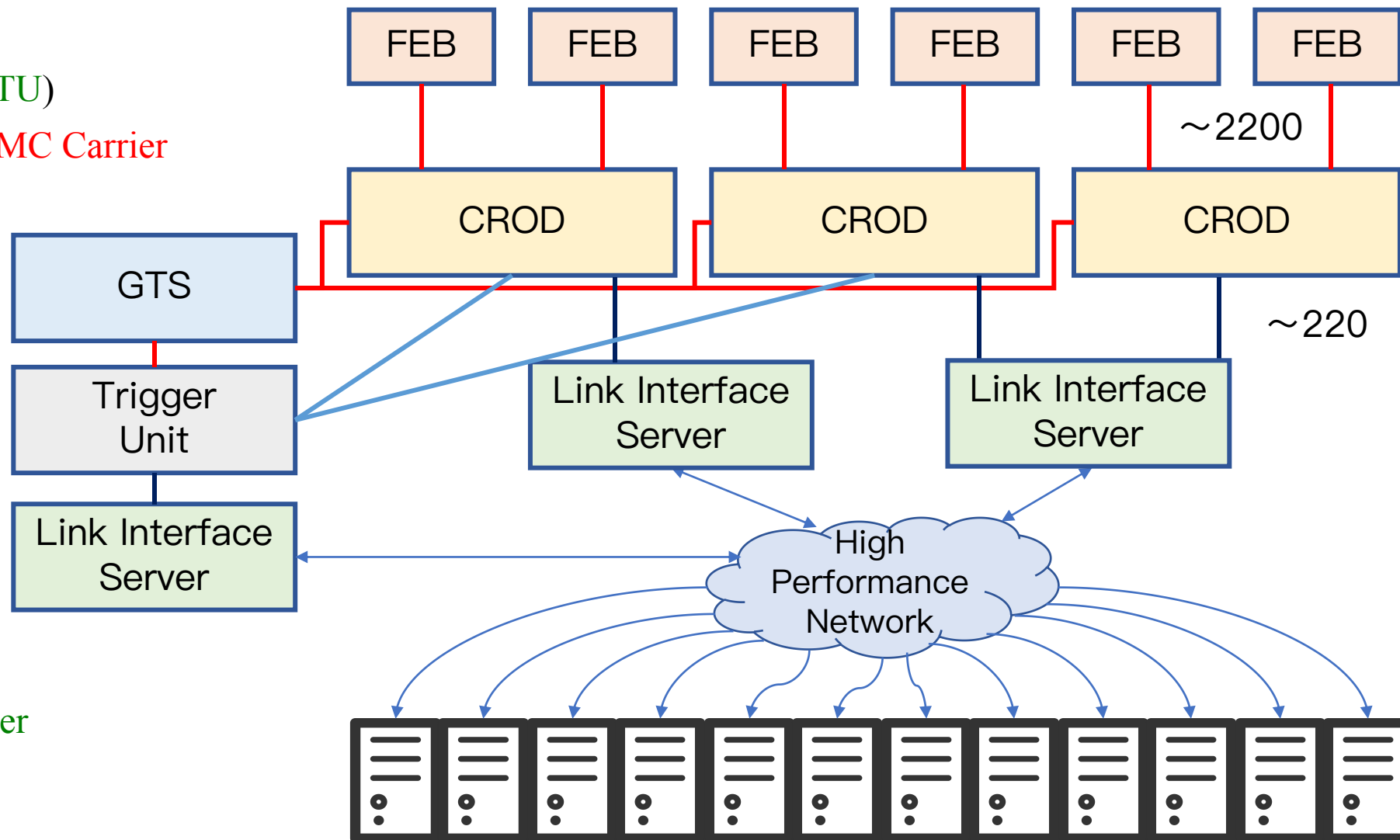


两级读出

Trigger Unit架构选择:

ATCA (ATU)或MicroTCA (MTU)

CROD、GTS、MTU可共用AMC Carrier

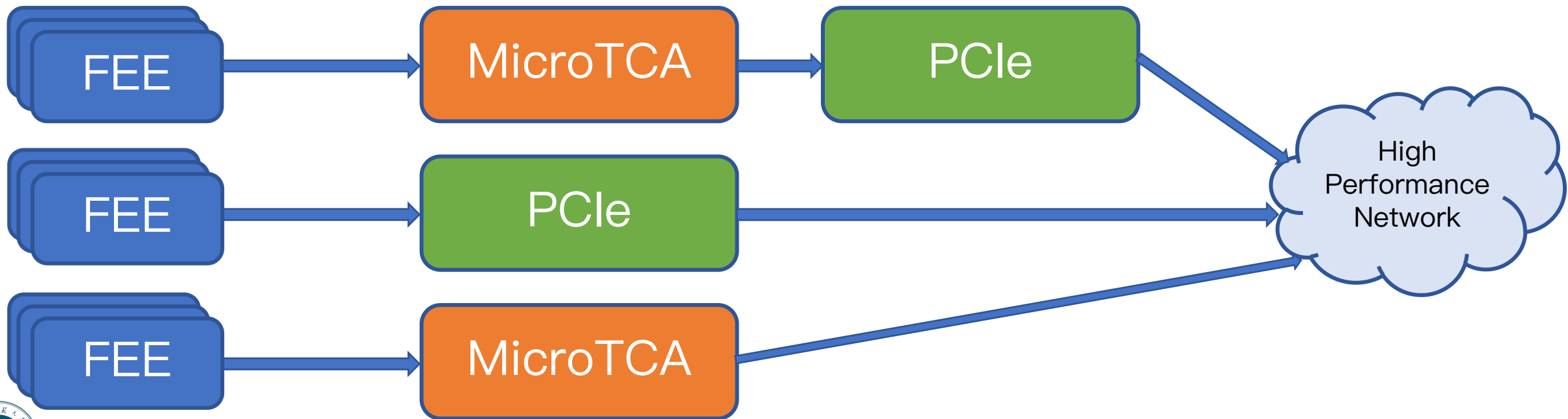


CROD: Common Readout Driver



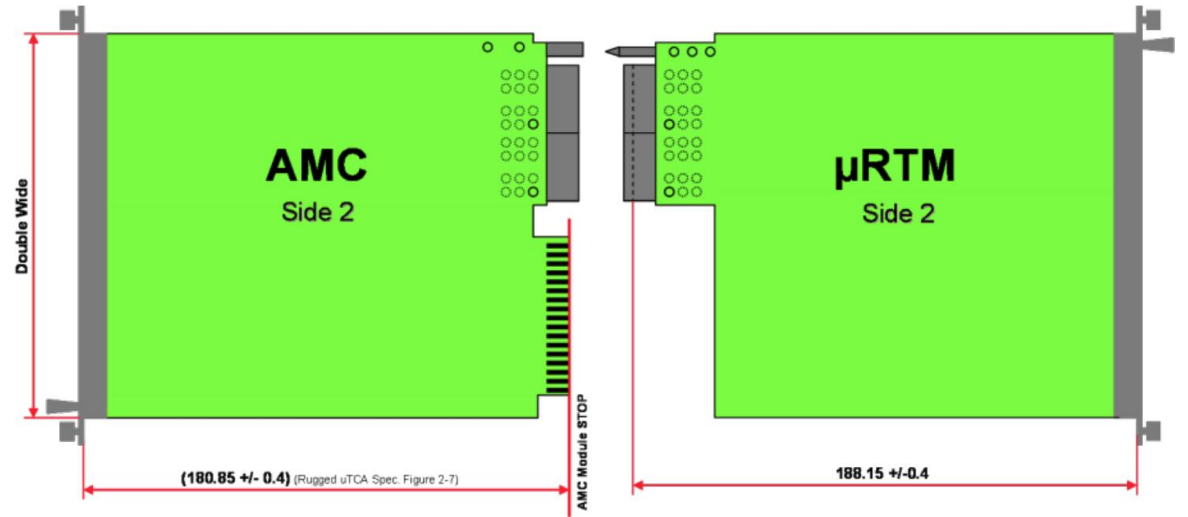
架构选择讨论

- ❑ 需尽快讨论几种探测器的布局、前端读出方式、事例率与数据率，确定进入后级HLT的事例率及整体架构
 - 如果存在硬件触发，需要确定触发的方式（输入、输出、大致算法）
- ❑ 技术上针对一级/两级，开展核心硬件/固件/软件的研究
 - PCIe与MicroTCA并行研究，兼顾三种可能的路线



两级架构中的CROD：基于MicroTCA

- 选用MicroTCA（**CBM, JUNO TAO**等）
- 适合高性能、高密度数据处理和复杂应用，
- TCA系列机箱：**模块化、可靠性及可扩展性高**
- 12+2槽机箱：约5~6个



触发系统可选的硬件平台

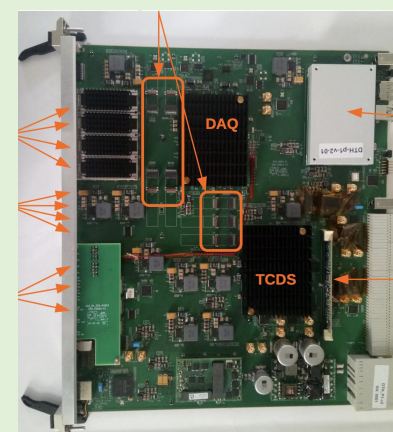
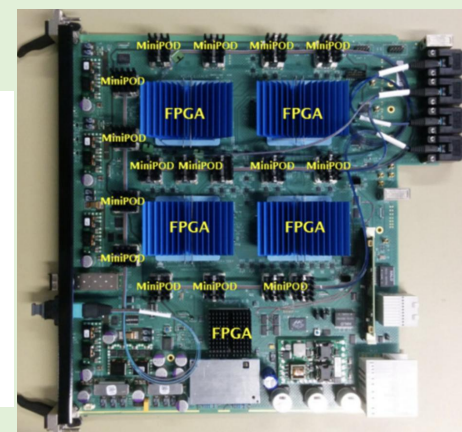
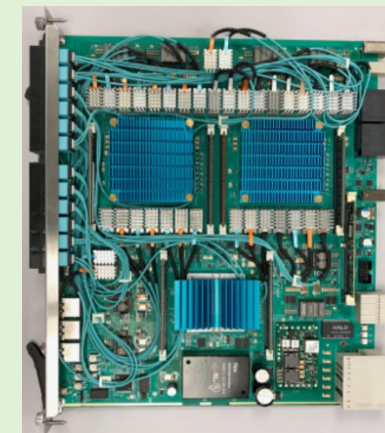
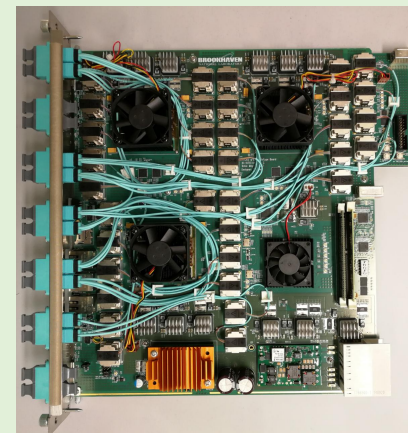
□ ATCA使用广泛

- 尺寸大
- 单板支持功耗大
- 单板光纤更多，总算力更强
- 板上硬件连接无法改动

□ MicroTCA

- 尺寸小
- 单模块光纤数和算力小
- 多模块可通过光纤连接
 - 光纤Mapping切换更灵活
 - 可能需要额外的光纤转接盒

ATCA (ATLAS & CMS)



各模块数量估算

| 子系统 | 通道/面积 | 光纤数 | 传输带宽 | 有效数据率/事例率 | 如果硬件触发, 触发率? |
|--------------|-----------------------|-------|-----------|-----------|--------------|
| MAPS Tracker | 55491 cm ² | ~838 | ~8.4 Tbps | | |
| LGAD TOF | 48773 cm ² | ~1320 | ~13 Tbps | | |
| ECal | 24,000 | ~25 | ~0.2 Tbps | | |
| 合计 | —— | ~2200 | ~21.6 | | |

| | 一级方案C | 一级方案A | 一级方案A | 两级方案B 第一级后剩10% |
|--------------|-------------|-------------|-------------|-------------------|
| | MicroTCA | PCIe Gen4 | PCIe Gen5 | μTCA+PCIe |
| 第一级单板fiber数量 | 40 per card | 20 per card | 40 per card | 40 per card |
| 第一级板数量 | ~55 | 110 | 55 | ~55 |
| 第一级机箱/服务器数量 | 5 | 37 | 19 | 5 |
| 一级二级光纤数 | | | | 220 x 10G |
| 第二级板数量 | | | | 11 |
| 第二级服务器数量 | | | | 4 |

ATLAS Run-4 HGTD
(LGAD) 约20/card

取决于有效数据率

取决于压缩率



各模块数量估算

| | 一级方案C | 一级方案A | 一级方案A | 两级方案B 第一级后剩10% |
|--------------|-------------|-------------|-------------|-------------------|
| | MicroTCA | PCIe Gen4 | PCIe Gen5 | μTCA+PCIe |
| 第一级单板fiber数量 | 40 per card | 20 per card | 40 per card | 40 per card |
| 第一级板数量 | ~55 | 110 | 55 | ~55 |
| 第一级机箱/服务器数量 | 5 | 37 | 19 | 5 |
| 一级二级光纤数 | | | | 220 x 10G |
| 第二级板数量 | | | | 11 |
| 第二级服务器数量 | | | | 4 |

❑ PCIe带宽是关键：Gen4按20路光纤估算；PCIe Gen5可能性大

❑ 方案B必须含硬件触发系统，方案A后级服务器HLT等计算则需要更多投入

❑ 方案A硬件触发可选，支持的到下级总带宽大于方案B

| Trigger Unit | |
|--------------|-----------------------------|
| ATCA | 6槽机箱 + 6 ATCA 模块 + DAQ 服务器 |
| μTCA | 12槽机箱 + 12 AMC 模块 + DAQ 服务器 |



机架及后级系统

- 42U/47U Rack需求 (方案B)
 - PCIe板卡LIS服务器4U × 4
 - MicroTCA 9U × (5+1)
 - 合计约70U, ~2个机架
- 42U/47U Rack需求 (方案A PCIe Gen5)
 - PCIe板卡LIS服务器4U × 19
 - 或1U × 55
 - MicroTCA 9U × 1 (GTS)
 - 合计约64~85U, ~2个机架
- 后级HLT等系统: 尚待确认需求



内容

□ 读出架构

□ 研究现状



研究现状：PCIe读出

- 目前已有硬件（基于ATLAS FELIX经验）
 - 24路10Gbps, Gen3 (Gen4) 版本（单槽）
 - 8路28Gbps, Gen4版本（单槽）
- 固件与软件
 - 基于ATLAS FELIX框架
 - Gen3 × 16: 通过13.2GB/s持续数据包传输与检测
 - Gen4 × 16: ~26.4GB/s
 - 与后级网络数据传输部分：已应用于NvDEx
- 系统集成范例
 - 2025年度：STCF, NvDEx



KU15P

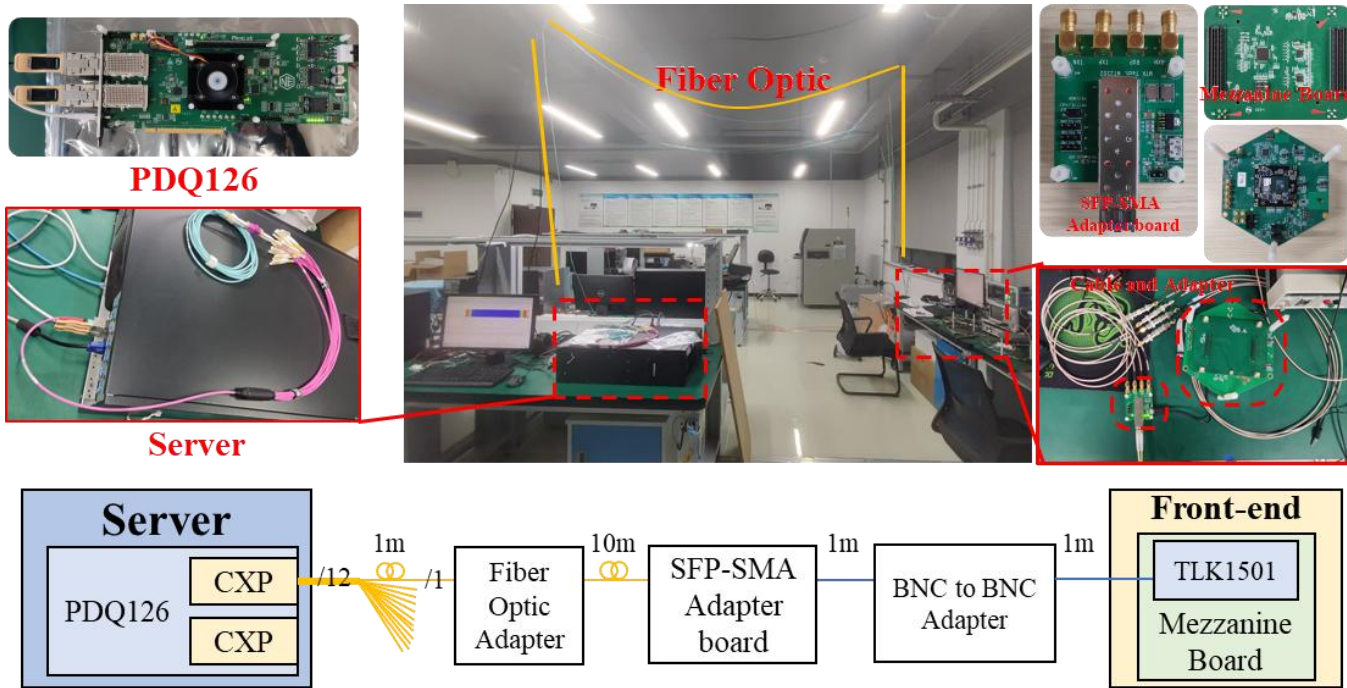


Versal Prime



研究现状：PCIe读出

❑ NVDEX DAQ固件与取数软件



单模块实验室测试

| | | | | | | | | |
|-------|--------------|-------------|----------|-------------|---------------|----------|---------------|----------|
| 0 | Block Header | | Timing 1 | | S1 CH1 | S1 CH2 | S1 CH3 | S1 CH4 |
| 16 | S1 CH5 | S1 CH6 | S1 CH7 | S1 CH8 | S1 CH9 | S1 CH10 | S1 CH11 | S1 CH12 |
| 32 | S1 CH13 | S1 CH14 | S1 CH15 | S1 CH16 | Temp. ADC1 | S1 CH17 | S1 CH18 | S1 CH19 |
| | | | | | | | | |
| 544 | S1 CH254 | S1 CH255 | S1 CH256 | Temp. ADC16 | Chunk Trailer | | Timing 2 | |
| 560 | S2 CH1 | S2 CH2 | S2 CH3 | S2 CH4 | S2 CH5 | S2 CH6 | S2 CH7 | S2 CH8 |
| | | | | | | | | |
| 992 | S2 CH205 | S2 CH206 | S2 CH207 | S2 CH208 | Temp. ADC13 | S2 CH209 | S2 CH210 | S2 CH211 |
| 1008 | S2 CH212 | S2 CH213 | S2 CH214 | S2 CH215 | S2 CH216 | S2 CH217 | Chunk Trailer | |
| 1024 | Block Header | | S2 CH218 | S2 CH219 | S2 CH220 | S2 CH221 | S2 CH222 | S2 CH223 |
| 1040 | S2 CH224 | Temp. ADC14 | S2 CH225 | S2 CH226 | S2 CH27 | S2 CH228 | S2 CH229 | S2 CH230 |
| | | | | | | | | |

研究现状：ATCA触发系统

□ 子母板（AMC）结构适合开发验证

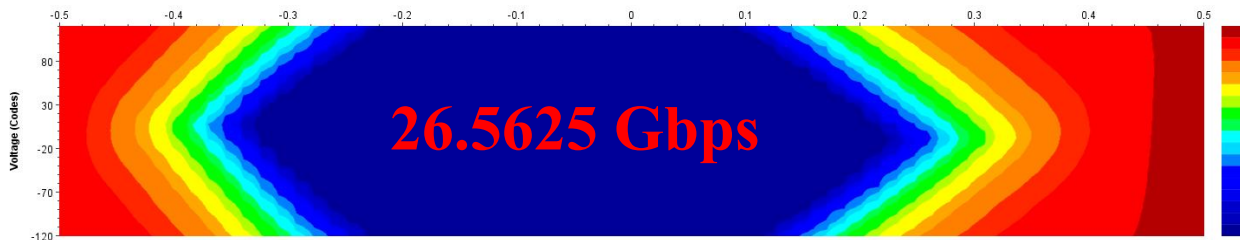
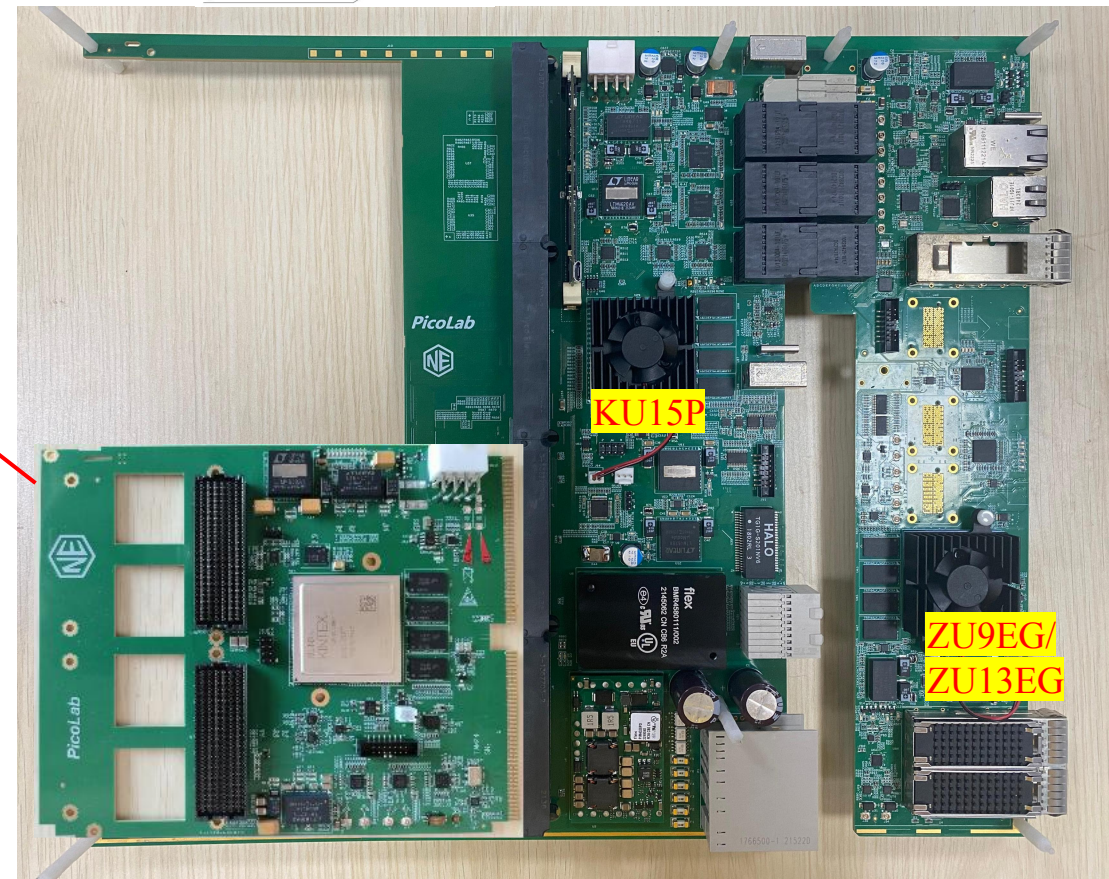
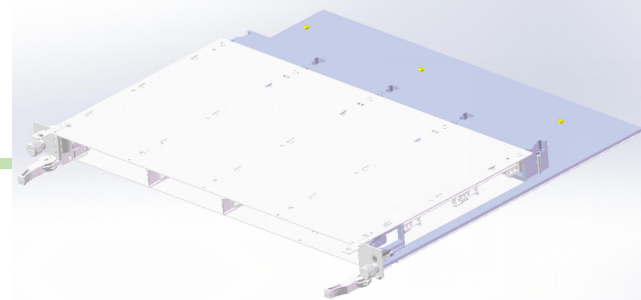
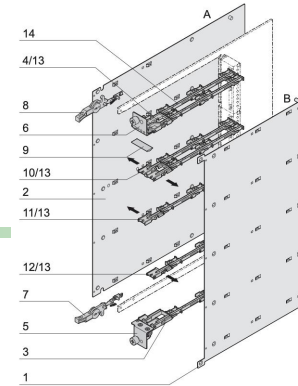
□ 通用底板与背板已完成验证

➤ sPHENIX HF机器学习触发（MAPS、Strip ~ 100路光纤输入）

➤ 类似SRS的SAMPa前端读出

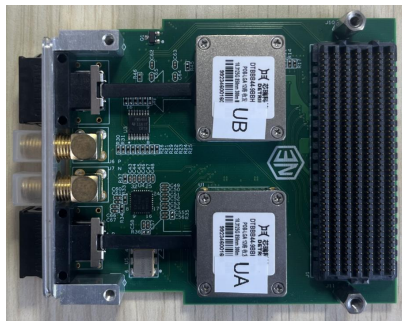
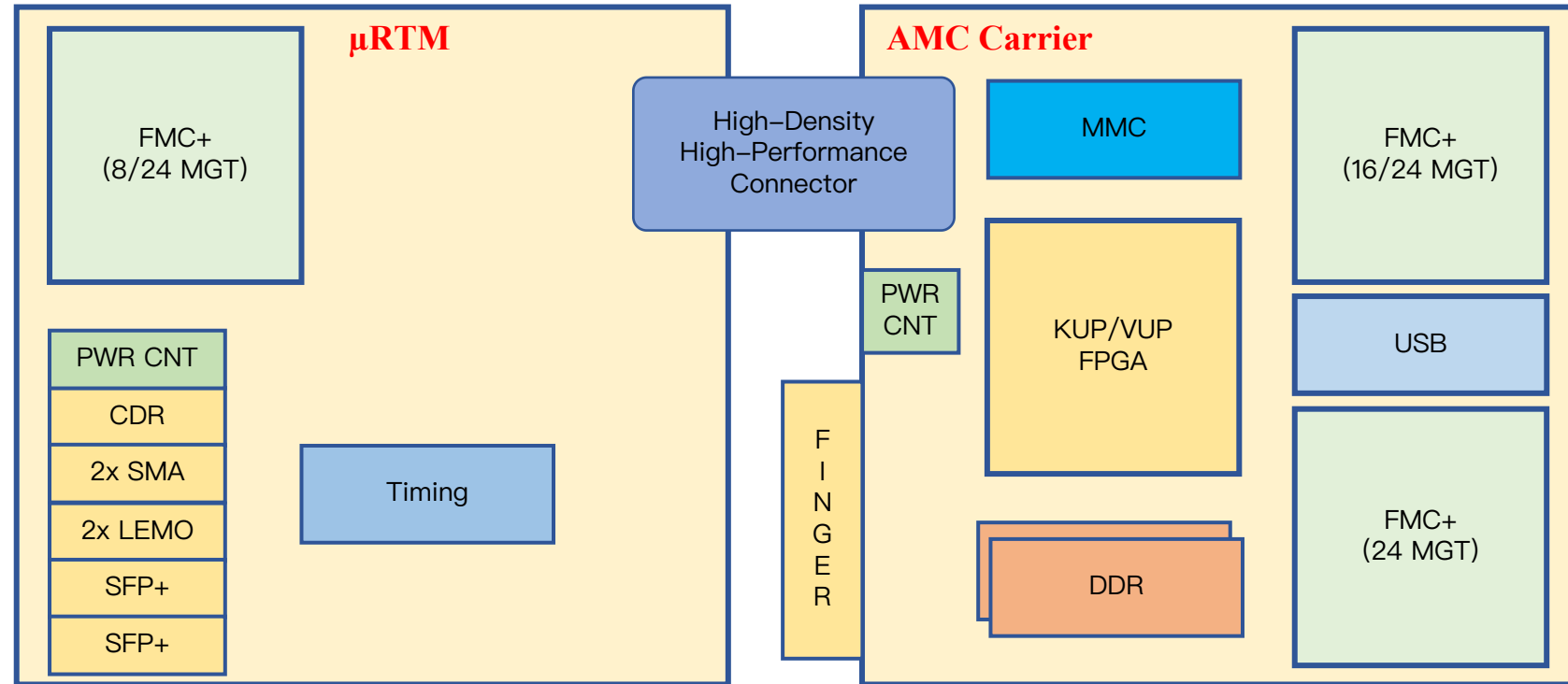
▪ 单模块512通道

□ 可能的升级，确定触发必要性与方案后，根据需求，采用VU13P FPGA



研究现状：MicroTCA

- ❑ CROD V0: 非标准AMC，验证高速链路，各硬件接口
- ❑ CROD V1: 设计中，25年Q3进行测试
- ❑ 支持White Rabbit，TTC-PON等协议



模块化设计

总结

□ 一级与两级框架的选择：尚待与探测器及前端读出讨论后确定（事例率，带宽等）

□ 技术研究现状

- 基于PCIe Gen3/4的硬件初步完成，系统级集成与上层软件开发进行中
- 基于ATCA的模块化Blade及RTM完成硬件设计与调试，系统级应用与软件开发进行中
- MicroTCA模块研发：V0版本已完成验证，V1版本AMC+ μ RTM预计暑假开始调试

□ 与前端读出的集成

- 开展以上3个硬件模块（平台）间，及与前端电子学间的联调测试



THANK YOU