

基于55nm高压CMOS工艺的像素径迹探测器 芯片研发进展

周 扬

中国科学院高能物理研究所

On behalf of the CEPC Silicon Inner Tracker development group

第四届半导体辐射探测器研讨会

zhouyang@ihep.ac.cn

May 23-26, 2024

致谢



- 高能所： 陆卫国、赵梅、项志宇、董若石、谢坤好、李乐怡^{山大、IHEP}、张晓旭^{南大、IHEP}、朱小雨^{华中师范、IHEP}、周扬、徐子俊、李一鸣、王建春；
- KIT： 张慧，董若石^{IHEP, KIT}，Ivan PERIC，
- 浙江大学： 邓建鹏、李鹏成、朱宏博；
- 西北工业大学： 何英华、魏晓敏；
- 山东大学： 李乐怡
- 南京大学： 张晓旭
- 大连民族大学： 陈洋、王雨颀、李雪康、郭鑫扬、施展；
- 湖南大学： 陈卓俊

感谢组委会的邀请，报告内容来自以上团队成员的贡献

大纲

❖ 研究背景

- CEPC内层硅径迹探测器
- LHCb上游径迹探测器升级
- 为什么选择高压-CMOS 路线以及为什么使用55nm制程？

❖ HV-CMOS像素探测器芯片现状和关键问题

❖ COFFEE 系列芯片研发进展

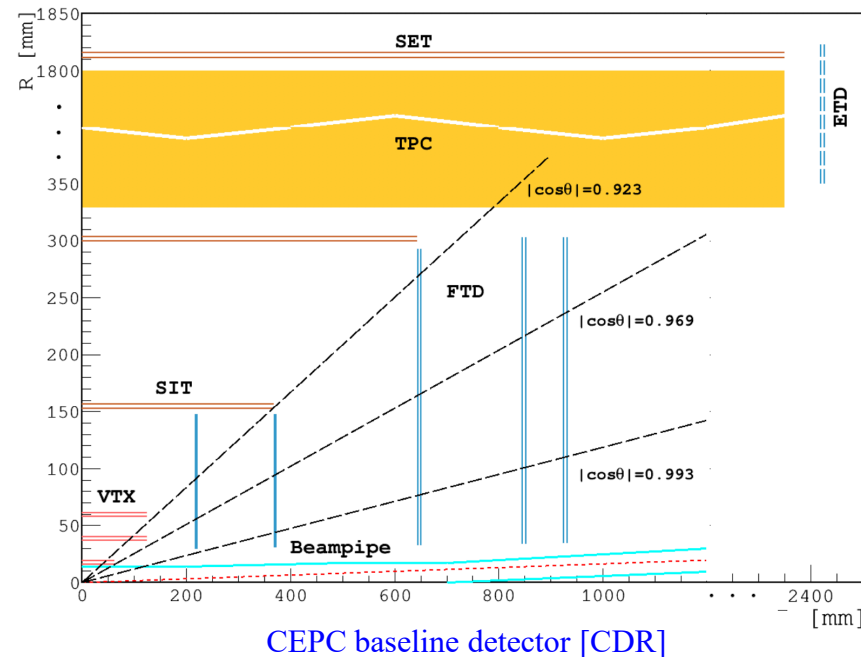
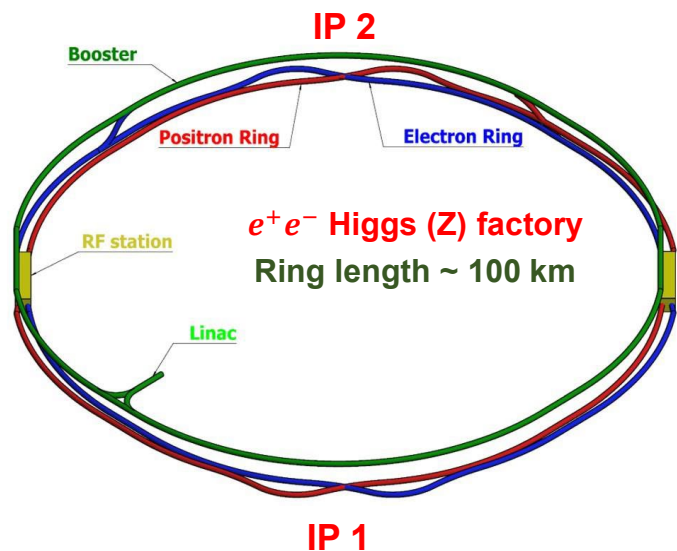
- 历次流片及主要目标
- 设计方案和考虑
- TCAD & allpix² 仿真结果
- 测试准备和部分结果

❖ 下一步计划、总结



CMOS SENS**O**R IN
FIFTY-FIVE NM PROC**E**SS

研究背景一：CEPC 内层硅径迹探测器（SIT）

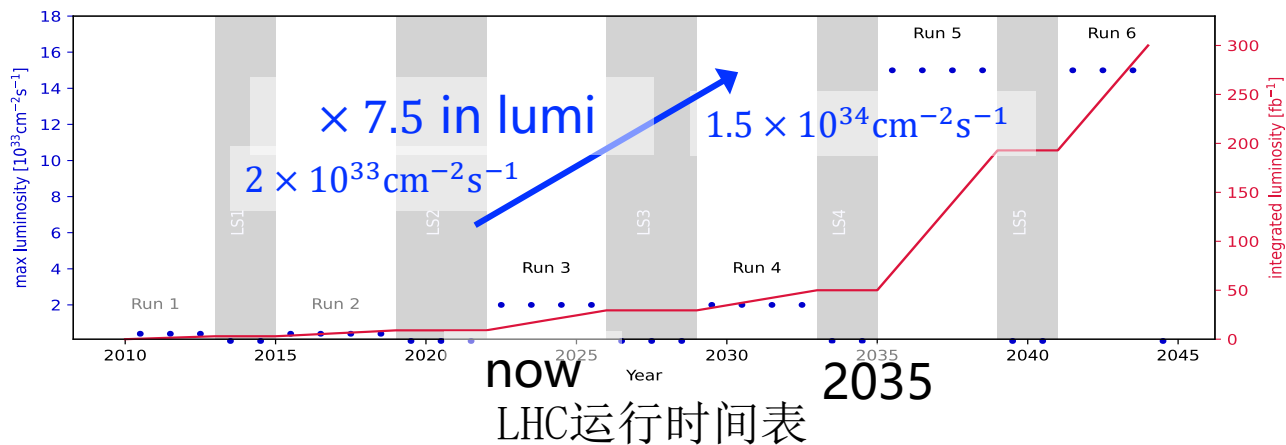
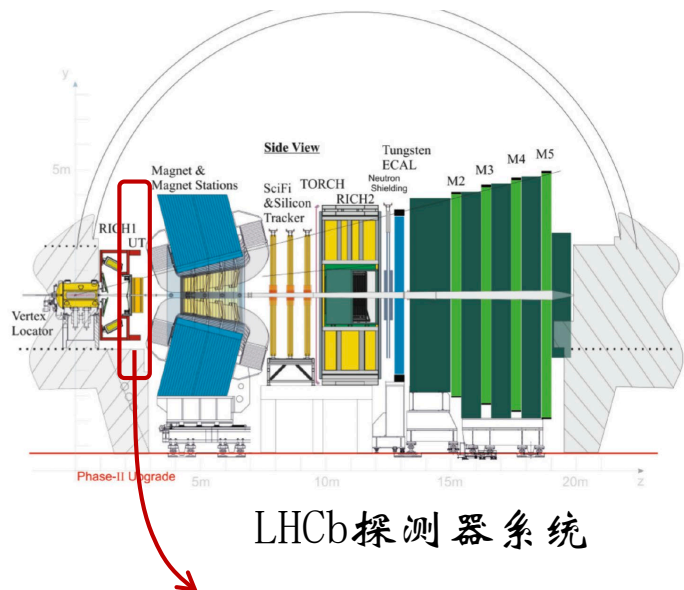


CEPC：环形正负电子对撞机，精确研究希格斯粒子性质，并探索超出标准模型的新物理

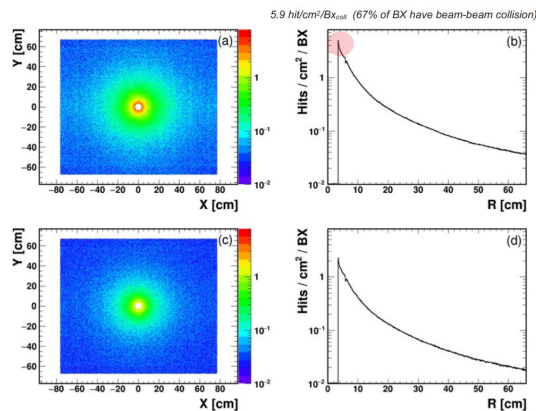
内层硅径迹探测器指标

主要特性	指标	备注
总覆盖面积	~70 m ²	
位置分辨	$\sigma_{r\phi} < 10\mu\text{m}$	允许长条形像素
时间分辨	提供最小间隔 23ns 的对撞束团标记	像素探测器芯片时间分辨好于 5ns
功耗	< 200mW/cm ²	允许液态冷却系统、但功耗越低越好

研究背景二：LHCb Upstream Tracker (UT) 升级

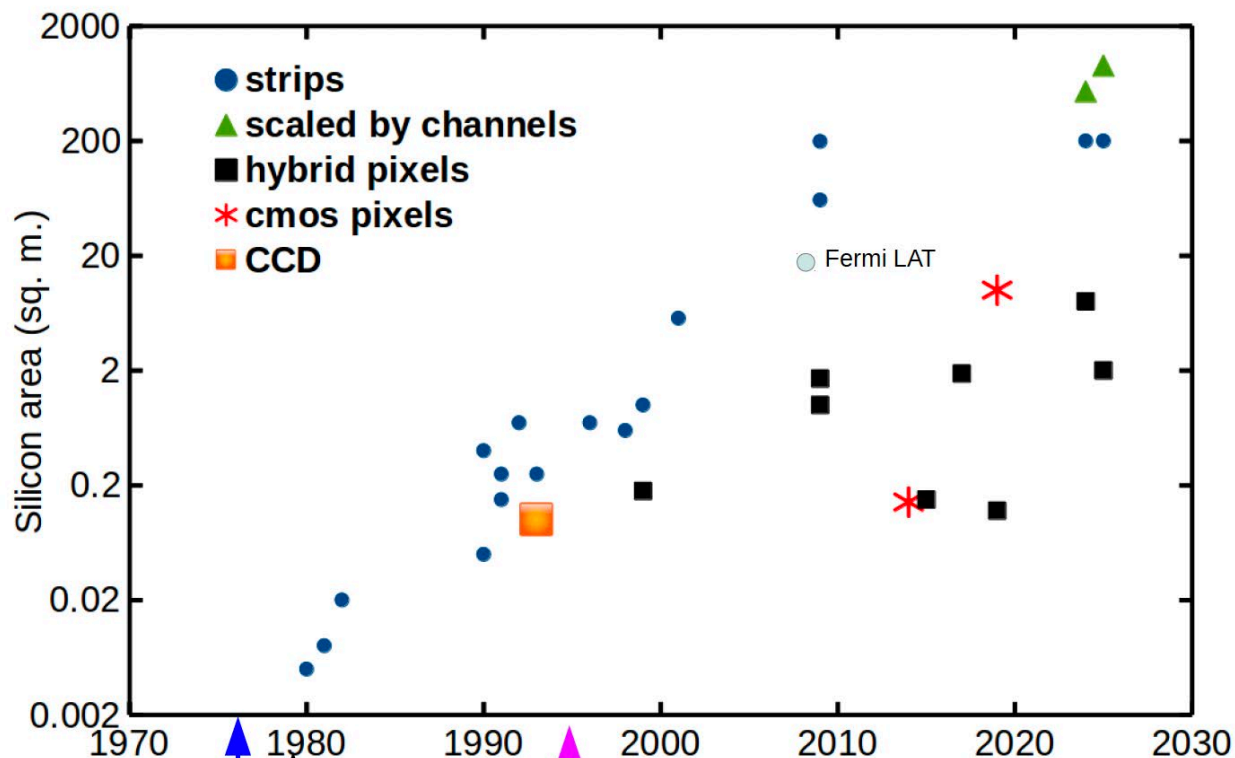


- 欧洲核子研究中心CERN大型强子对撞机LHC上的探测器LHCb (Large Hadron Collider beauty) 实验计划在2032年左右 (上图中Long Shutdown4阶段) 进行探测器升级, 以满足运行亮度提升近1个数量级后的测量需求;
- 上游径迹探测器位置hit density预计最高将达到 $6 \text{ hits/cm}^2/\text{BX}$, BX (对撞束团间隔) = 25 ns ;
- 当前上游径迹探测器 (UT), 需要从硅微条探测器更换为颗粒度更高的硅像素探测器。期望探测器芯片提供精确的束团标记 ($\sim \text{ns}$ 级的时间分辨)、具有高速信号处理能力 (low pile-up)、和极高的抗辐照性能 ($3 \times 10^{15} \text{ n}_{\text{eq}}/\text{cm}^2$, 240 Mrad TID), 低功耗 ($100\text{-}300 \text{ mW/cm}^2$)。



LHCb升级, UT位置预计的hit density

高能物理领域已安装运行的半导体径迹探测器概览



Strip Detectors

1980	NA1
1981	NA11
1982	NA14
1990	MarkII
1990	DELPHI
1991	ALEPH
1991	OPAL
1992	CDF SVX
1993	L3
1996	CDF SVX'
1998	CLEO III
1999	BaBar
2001	CDF SVXII+ISL
2009	ATLAS SCT
2009	CMS tracker
2025	ATLAS ITK
2025	CMS upgrade

Hybrid Pixels

1999	Delphi
2009	ATLAS
2009	CMS
2015	ATLAS IBL
2017	CMS
2019	velopix
2025	ATLAS
2025	CMS

CMOS Pixels

2014	STAR
2019	ALICE

CCDs

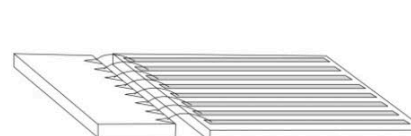
1993	VXD
------	-----

First CCD digital cameras

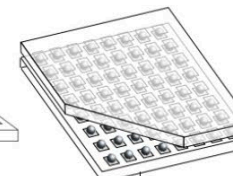
Start of HEP IC design

Year of first data taking

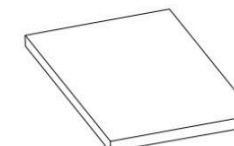
CMOS sensors used in webcams



Hybrid Strips



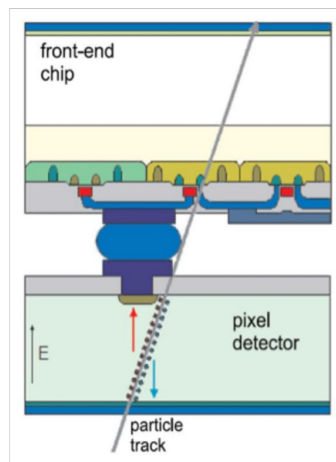
Hybrid Pixels



Monolithic

M. Garcia-Sciveres @ HSTD13, Dec 2023

Hybrid vs Monolithic

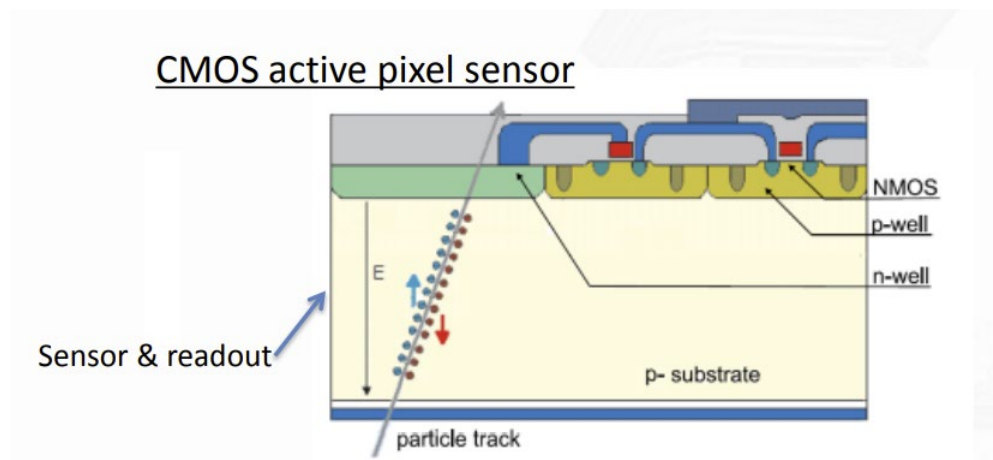


读出芯片

传感器芯片

混合型像素探测器

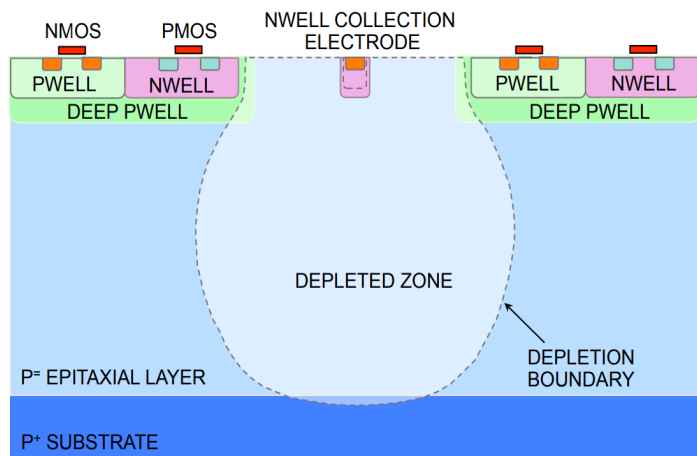
- 高能物理领域中已安装运行的主流探测器类型；
- 传感器和读出ASIC芯片可以分别优化；
- 需要倒装焊连接；



单片集成型像素探测器

- 传感器和ASIC在同一硅片上实现，更低的集成成本；
- 更易获得低功耗、低物质质量；

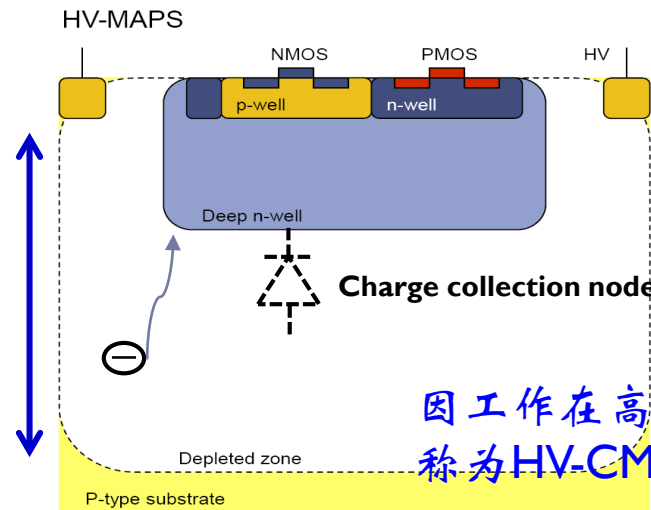
Monolithic: 小电极 vs 大电极



小电极方案

10-20 μm

数十到上百 μm



大电极方案

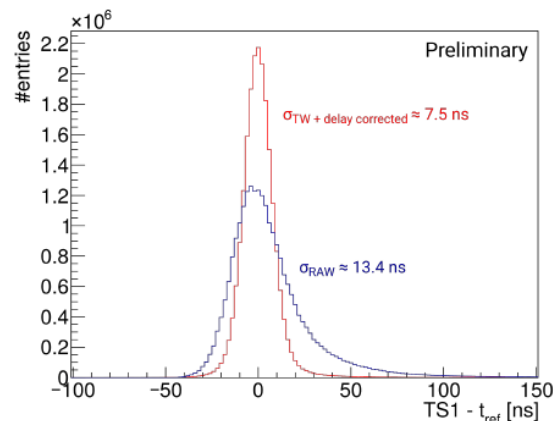
因工作在高压偏置条件下, 也被称为HV-CMOS像素探测器

两种方案均基于产业界标准CMOS工艺: 二极管收集信号, 就近放大、模数转换、数据压缩、打包等处理后发送到芯片外部。

- 更小的收集极电容 --» 低功耗、低噪声
- 耐受更高偏压 (>50V)、从而获得更大的耗尽深度: 有利于快速的信号收集并具有更好的抗辐照性能(NIEL);

共同的发展趋势: 1. 更充分的耗尽 (高阻衬底、工艺改进); 2. 更先进的工艺制程 (综合性能提升)

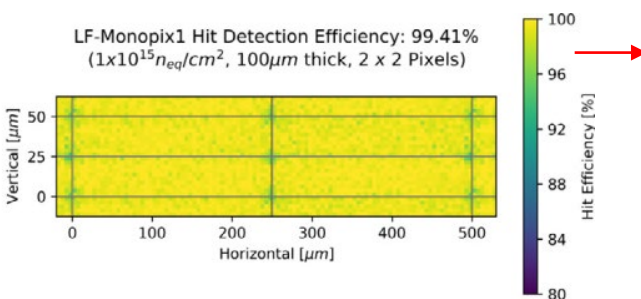
HV-CMOS像素径迹探测器研发现状



芯片名称	像素尺寸 [μm^2]	像素数量	噪声 [e-]	功率密度 [mW/cm ²]	等效注量 [n _{eq} /cm ²]	备注
ATLASPix 系列 (AMS/TSI 180 nm)						
ATLASPix1	60 × 50	56 × 320	~200	170	1 × 10 ¹⁵	辐照后噪声增至 ~360e-
ATLASPix3	50 × 150	372 × 132	~60	~150	1.5 × 10 ¹⁵	
MuPix10	80 × 80	256 × 250	75	190		
LF-Monopix 系列 (LFoundry 150 nm)						
LF-Monopix1	50 × 250	129 × 36	~200	~288	10 ¹⁵	辐照后增益和电荷收集效率未变差; 噪声增至350e-
LF-Monopix2	50 × 150	340 × 56	~100	~400		
RD50 系列 (LFoundry 150 nm)						
RD50-MPW1	50 × 50	40 × 78			2 × 10 ¹⁵	漏电流高
RD50-MPW2	60 × 60	8 × 8	~50		2 × 10 ¹⁵	仅单像素读出, 无数字读出

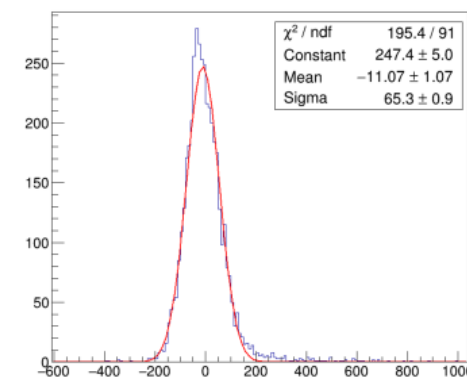
目前成熟度最高的设计
将用于 Mu3e 实验

为 ATLAS ITK 升级研发, 类似方案应用于未来 BELLEII 升级



基于 LF-Monopix 设计演化

MiniCACTUS: 65.3ps 时间分辨
(极致挖掘高时间分辨特性)

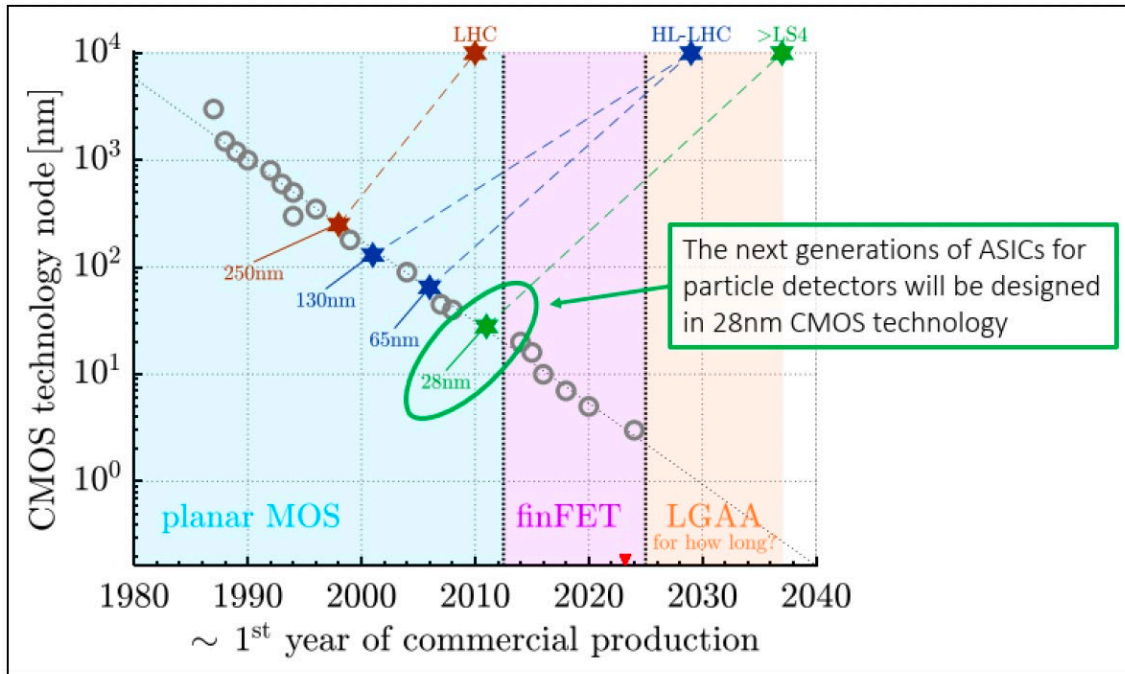


- 设计在 180nm/150nm 制程;
- 10¹⁵ n_{eq}/cm² 以上的抗辐照性能 (NIEL)
- ns 级尺度的时间分辨能力。

Why 180nm - > 55nm?

HV-CMOS 像素探测器技术方案可以满足CEPC 内层径迹探测器和LHCb 上游径迹探测器升级对时间分辨的共同需求；满足LHCb UT升级对高抗辐照性能的需求。But why 55nm process?

研发面向的安装应用在5-10年之后：



P. Moreira @ CEPC workshop, Oct 2023

技术发展的驱动：

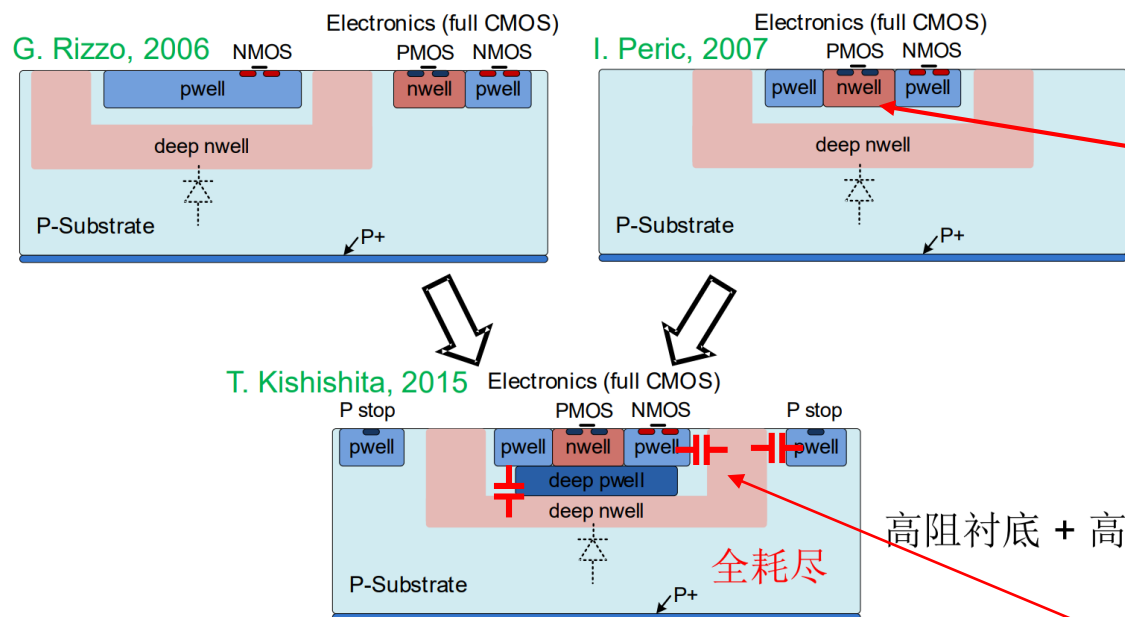
- 先进制程意味着更丰富的功能集成 or 同功能更低的功耗和更快的响应速度（参考小电极MAPS技术路线的发展历程，350nm-》180nm -》65nm，每一代工艺节点的降低，都带来设计方案的巨大变革和芯片综合性能的阶跃式提升）；
- 高能物理领域对半导体制程的应用虽然滞后于产业界，但发展趋势一致。65nm/55nm制程在产业界已有~20年历史，高能物理学界在180nm工艺上的研发，也已经有了10多年的历史；

安全性驱动：

- TSI 2023年底停止了对HV-CMOS 180nm工艺的服务，直接影响了Mu3e、LHCb MT升级芯片的生产；
- 10年后批量生产阶段，工艺线是否仍然能够提供稳定支持；

HV-CMOS像素径迹探测器研发中的关键问题

在这个技术方向上，我们是国际上第一个在55nm工艺制程上开展研究的团队，研发初期重点关注的/key问题：



1. 像素内数字信号波动对sensor的串扰

影响程度需要评估

- 工艺层面：deep Pwell隔离
- 设计层面：尽量减小波动幅度+ 谨慎使用PMOS晶体管

2. 使芯片能够承受更高的偏置电压、获得更大的耗尽深度

高阻衬底 + 高压偏置

- 工艺层面：阻止P型注入的规则支持、高阻衬底；
- 保护环和sensor结构的设计；

3. 获取更低的信号收集端等效电容

- 来源分析：pwell/DNWELL、DNWELL/PSUB...主要来源分析和各自的贡献
- 设计层面：更紧凑的layout / 像素尺寸的选择 / 甚至电路方案

王天阳，高能物理学术年会，2022

时间特性

- Response time:

$$\tau_{CSA} \propto \frac{1}{g_m} \frac{C_d}{C_f}$$

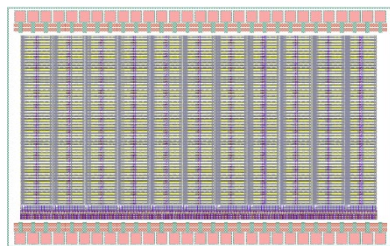
- Noise:

噪声特性

$$ENC_{thermal}^2 \propto \frac{4 kT}{3 g_m} \frac{C_d^2}{\tau}$$

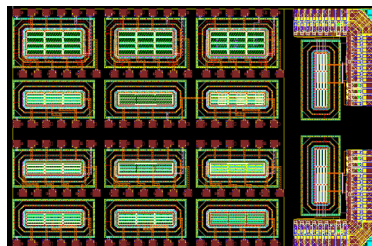
功耗

55nm HV-CMOS工艺探索：COFFEE系列芯片概览



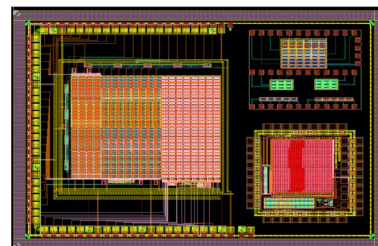
计划 2022.3

COFFEE1



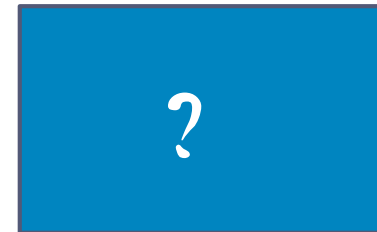
2022.10

COFFEE2



2023.8

COFFEE3



计划 2024.10

时 间 轴

- 55nm HV-CMOS工艺上的第一次设计尝试；
- 因当年半导体行业产能问题，流片被迫取消

- 55nm Low-leakage 工艺；
- 第一版成功投片的设计；
- 特殊的DNW规则，验证信号收集原理；

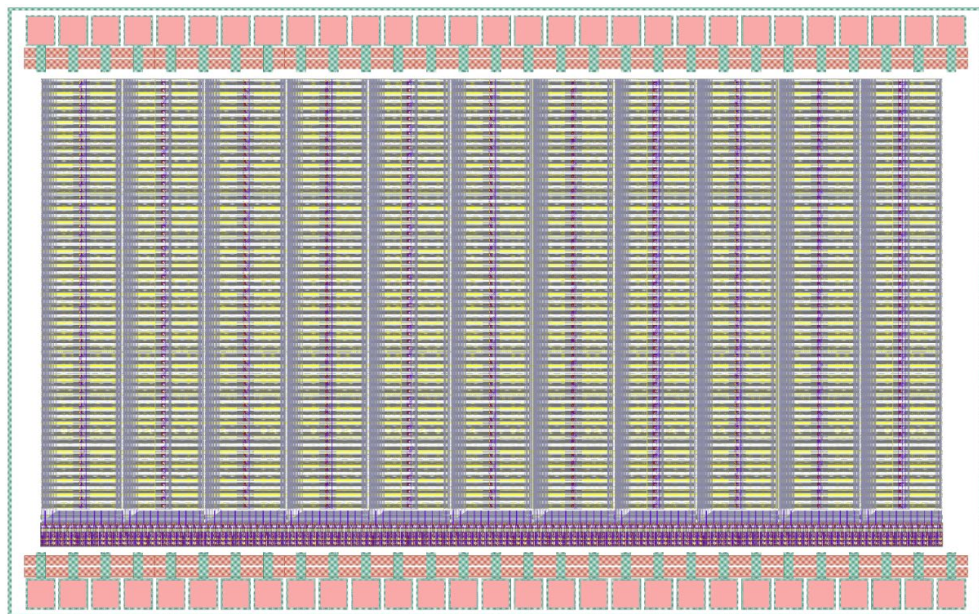
- 55nm HV-CMOS 工艺；
- 高阻衬底：1k $\Omega\cdot\text{cm}$ ；
- 工艺摸索；
- 传感器特性研究；
- 像素内电子学验证；

- 55nm HV-CMOS 工艺；
- 高阻衬底：1k or 2k $\Omega\cdot\text{cm}$
- 设计方案和功能验证；



CMOS SENSOR IN
FIFTY-FIVE NM PROCESS

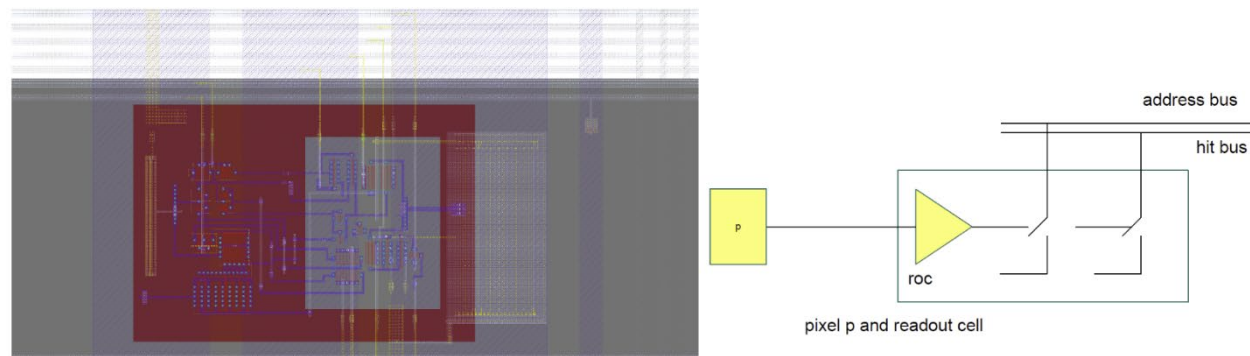
55nm HV-CMOS工艺上的首次设计



芯片整体版图：3×2 mm²

Ivan Peric: UK-CEPC tracker workshop

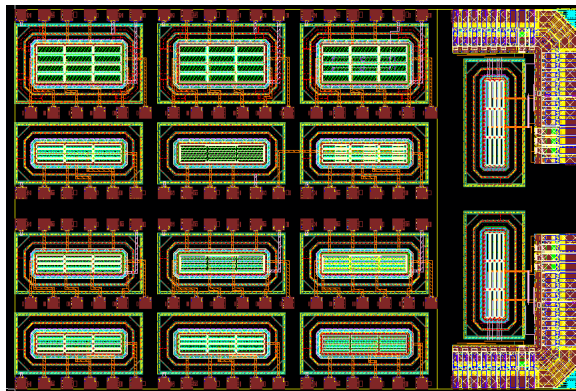
Designed by KIT



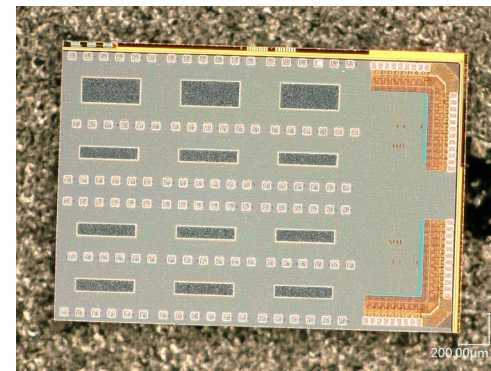
单像素版图（左）和读出原理图（右）

- 55nm HLMC HVCMOS process; 流片取消
- 工艺层与TSI (ATLASpix使用的工艺) 类似;
- 6层普通金属用于信号布线 + 3层顶层金属用于电源网络
- 非高阻衬底;
- 像素阵列规模: 60行×11列;
- 像素尺寸: $X = 252\mu\text{m}$, $Y = 22\mu\text{m}$; 验证了该工艺下实现小像素可行;
- 预期Y方向cluster size = 2, 相邻行像素使用单独的列总线输出到列底部;
- 像素内集成CSA、CR filter; 比较器集成在阵列底部;
- 同时输出像素地址信息, ToT信息在片外处理;

COFFEE1: MPW in LL process

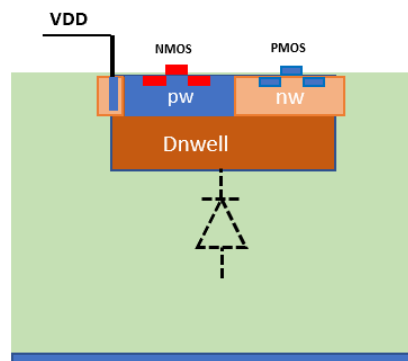


芯片整体版图：3×2 mm²。2022年10月提交



芯片实物照片：received 2023年4月

LL process



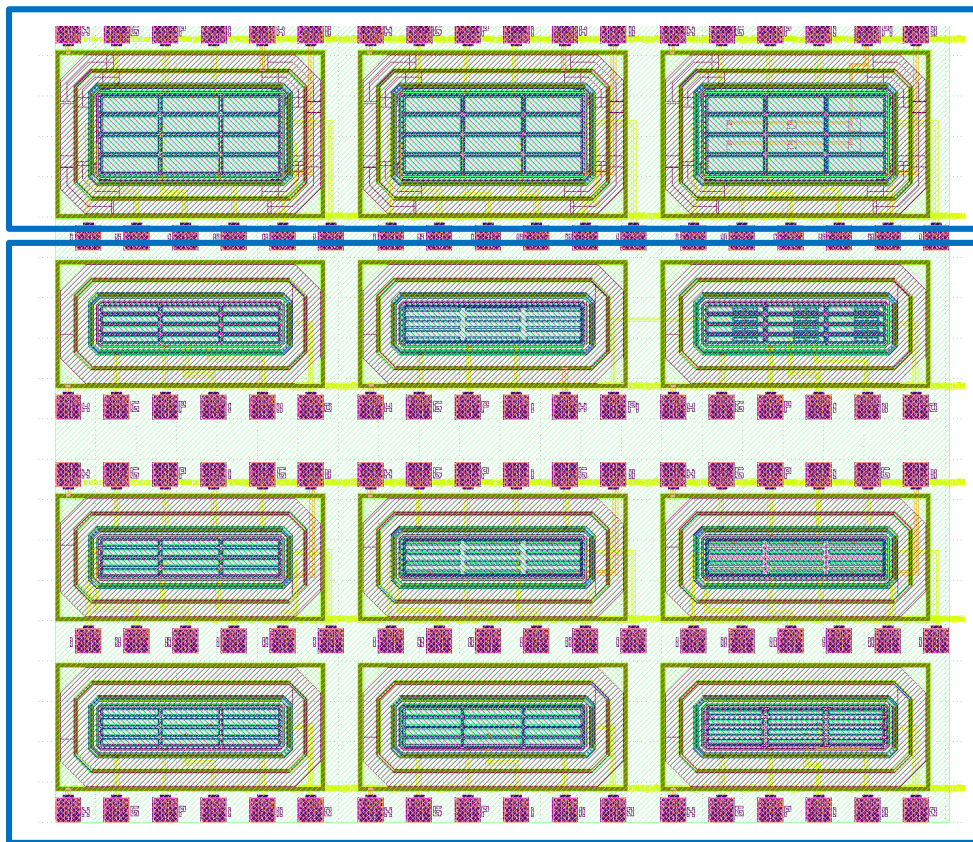
工艺剖面示意图：DNW不能全覆盖像素内晶体管

- SMIC 55nm Low leakage process;
- 非高阻衬底;
- 具有深N阱（DNW）结构：但规则非常规，见左图;
- Diode阵列：验证传感器结构
- 部分像素集成模拟放大电路;

赵梅、陆卫国

COFFEE1: diodes

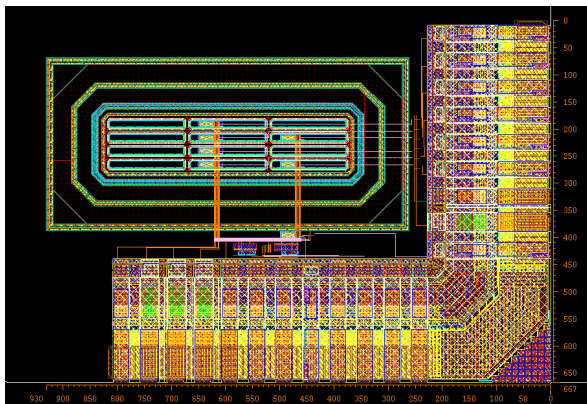
Pixel size:50x150um



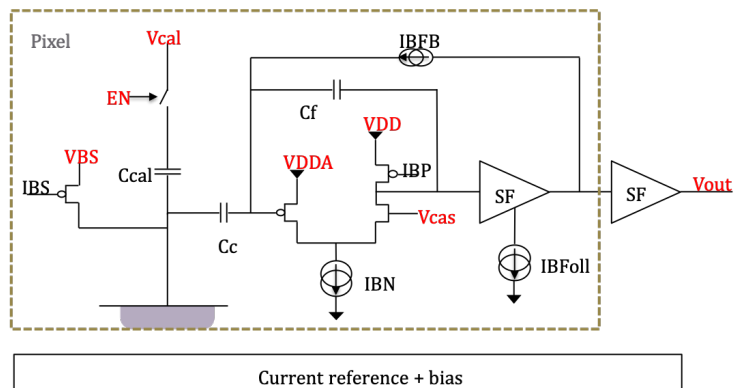
Pixel size:25x150um

- 非高阻衬底;
- 12种不同的被动diode设计;
 - 2种像素尺寸对照组: $50 \times 150 \mu\text{m}^2$ (ATLASpix 的像素尺寸), $25 \times 150 \mu\text{m}^2$ (预计更小的工艺节点可缩小到的尺寸);
 - 像素间是否有 P stop;
 - DNW间距: $5 \mu\text{m}$ 、 $10 \mu\text{m}$ 、 $15 \mu\text{m}$;
- 每种设计分别对应一个 3×4 规模的像素阵列用于电荷共享效应的研究;
- 像素内填充了Pwell, 用于研究有源情况下收集极等效电容;

COFFEE1: 像素内电荷灵敏前放 (CSA)

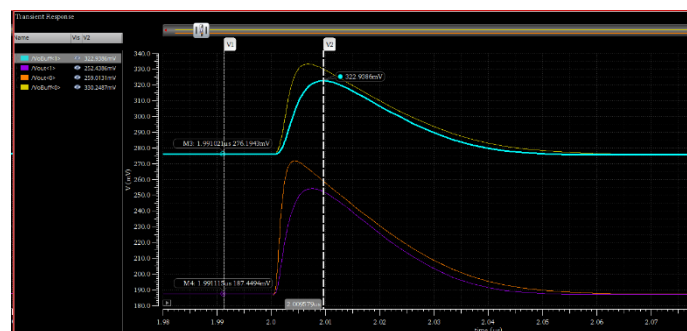


包含像素内放大电路的版图：共6个像素



单像素读出原理图

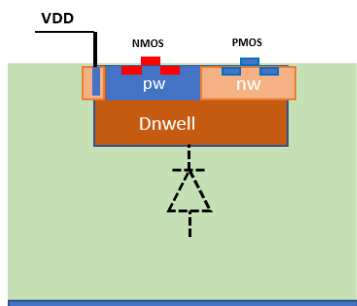
- 信号收集极采用有源电阻偏置，AC耦合到CSA；
- 包含电荷注入测试端 (C_{cal})；
- 采用折叠共源共栅结构；
 - 双电源供电：VDDA、VDD；
 - PMOS输入管
 - 恒流源做反馈电阻：IBFB
- 两级源随驱动模拟信号读出到片外



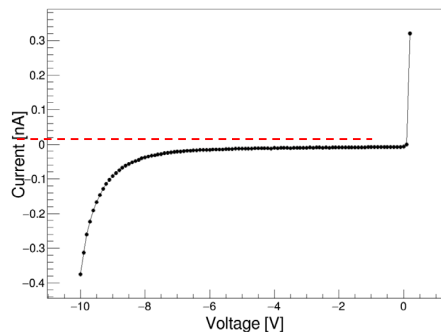
仿真模拟输出端上升时间~10ns, 预估前端等效电容~200fF

COFFEE1: 原理验证

LL process

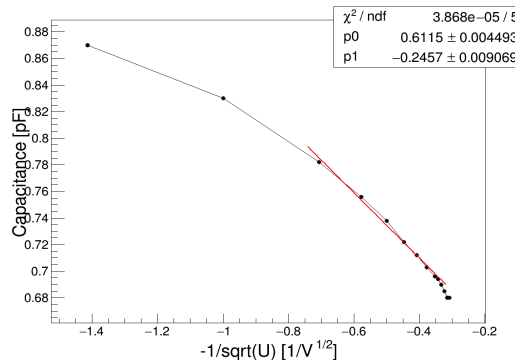


工艺横截面示意图



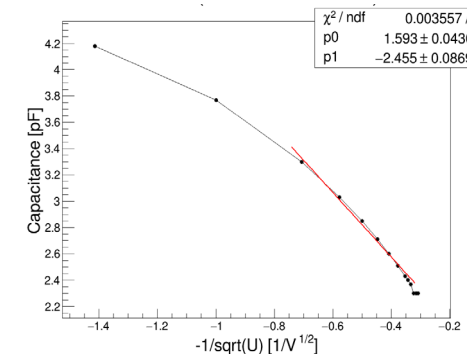
IV 测试结果: -10V - 0.2V

$$C \sim (180 \times 1 + 500) \text{ fF}$$

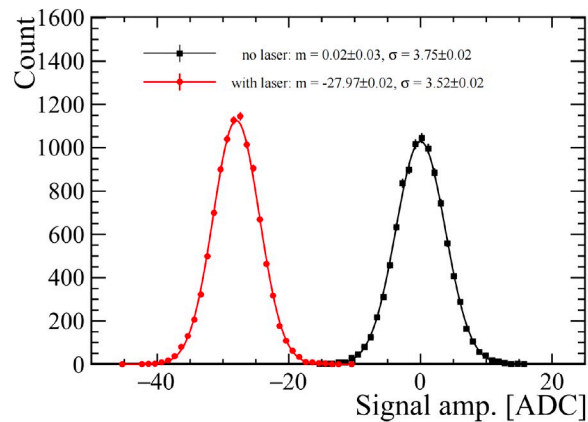


CV 测试结果: 单个像素

$$C \sim (180 \times 10 + 500) \text{ fF}$$



IV 测试结果: 10个像素并联



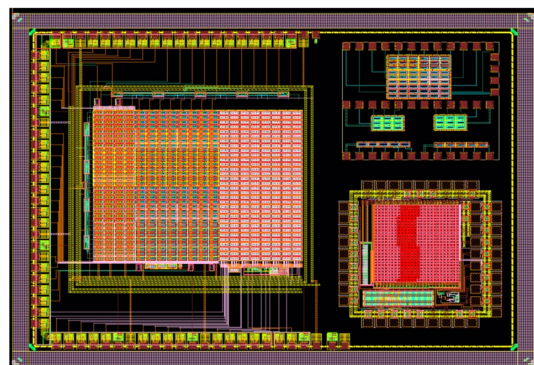
单个像素信号输出对比: 施加激光激励前 (黑色) 后 (红色) 对比

- 击穿电压: $\approx -8\text{V}$;
- 收集端等效电容 ($25 \times 150 \mu\text{m}^2$): $\approx 180\text{fF}$;
- 对激光激励有清晰的信号响应;

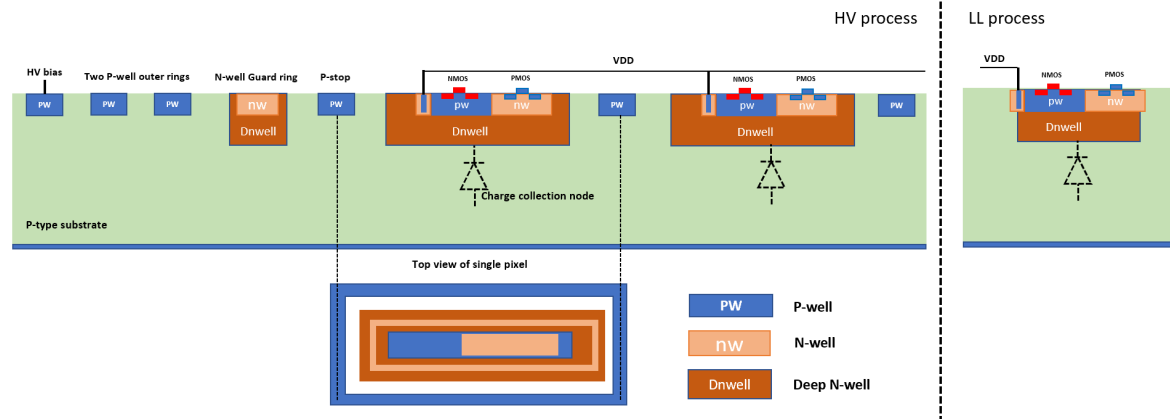
测试详情请见报告: “Test of CMOS using 55nm process” 项治宇

项志宇、朱小雨、徐子俊、李一鸣

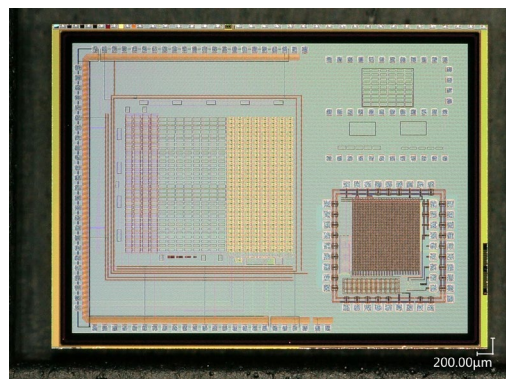
COFFEE2: 55nm HV-CMOS工艺上的首次流片



COFFEE2版图：4×3 mm²。2023年8月提交



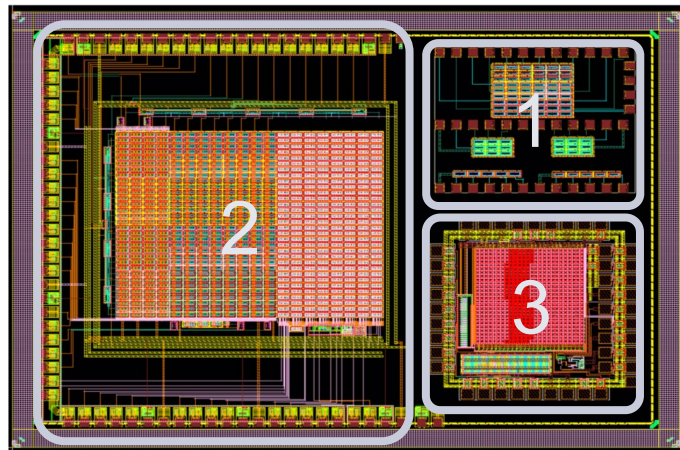
COFFEE2 保护环和像素结构示意图（左），与COFFEE1使用的工艺示意图对比（右）



芯片实物照片：received 2023年12月

- SMIC 55nm HV-CMOS process;
- 高阻衬底：1k $\Omega\cdot\text{cm}$;
- 三阱工艺：no deep P-well;
- 8层普通金属 + 2层顶层金属;
- 无标准I/O库、ESD: custom design

COFFEE2: 核心目标和设计概要



COFFEE2设计包含的三个独立区域

设计概要:

- 区域1: 纯diode阵列, 用于验证6种不同的结构;
- 区域2: 32×20 规模的像素阵列, 包含6种信号收集极结构和3种像素内电子学结构;
- 区域3: 26×26 规模的像素阵列以及外围数字处理和读出模块; 用于验证新的读出策略和小像素尺寸;

核心目标:

1. 工艺摸索:

- 跑通所有设计流程 (数字、模拟、数模混合电路设计、仿真、寄生提取、后仿真验证流程);
- 熟悉工艺规则 (尤其是提交时DRC的违例需要与厂家反复沟通);
- 必需基础模块的设计积累 (包含ESD的I/O, Guard ring, seal ring, dummy填充文件等);

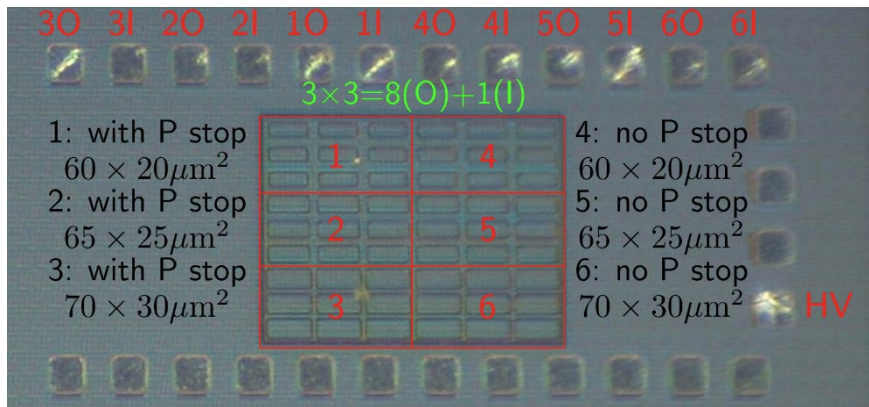
2. 验证传感器结构和信号收集情况:

- 以目标像素尺寸为基准, 设计不同的收集极结构;
- TCAD工艺仿真 (工艺参数需迭代) 电场情况、耗尽程度、IV\CV;
- 带入TCAD电场文件, 在AllPix²中仿真电荷收集情况;
- 根据后续测试结果迭代TCAD仿真中的工艺参数设置;

3. 关键问题的经验积累:

- 评估像素内数字信号对传感器的串扰问题, 尤其在**没有Deep Pwell**的情况下;
- 信号收集端的等效电容; (工艺仿真和测试结果相互印证反复迭代)
- 信号量的范围; (工艺仿真和测试结果相互验证) 和电荷分享情况;
- 根据测试结果, 与厂家沟通可能的工艺修改要求, 并迭代保护环和sensor的设计方案;

COFFEE2: diode设计

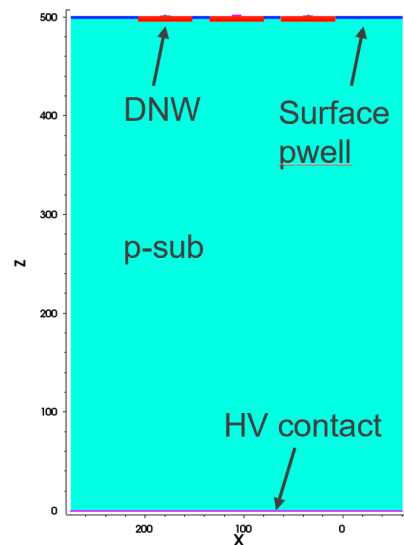
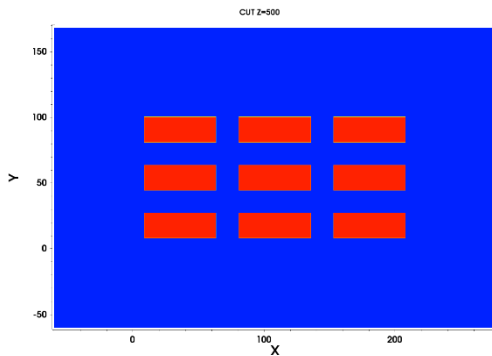


COFFEE2区域1中纯diode阵列：像素尺寸 $40\ \mu\text{m} \times 80\ \mu\text{m}$ ，包含了6种不同的信号收集结构；

表格：6 种不同的电荷收集diode的指标差异

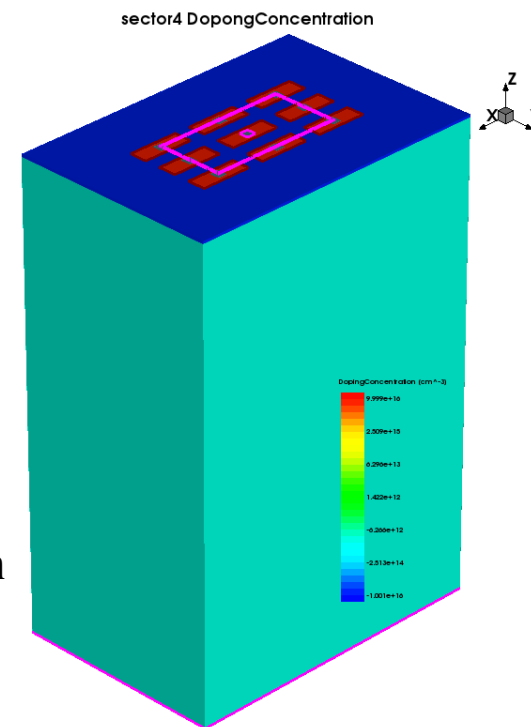
Diodes flavor	Specifications	
Pix_D10core	Single DNW size: $30\ \mu\text{m} \times 70\ \mu\text{m}$, distance between two diodes $10\ \mu\text{m}$	With P stop
Pix_D10core_wps		Without P stop
Pix_D15core	Single DNW size: $25\ \mu\text{m} \times 65\ \mu\text{m}$, distance between two diodes $15\ \mu\text{m}$	With P stop
Pix_D15core_wps		Without P stop
Pix_D20core	Single DNW size: $20\ \mu\text{m} \times 60\ \mu\text{m}$, distance between two diodes $20\ \mu\text{m}$	With P stop
Pix_D20core_wps		Without P stop

赵梅、邓建鹏、朱宏博



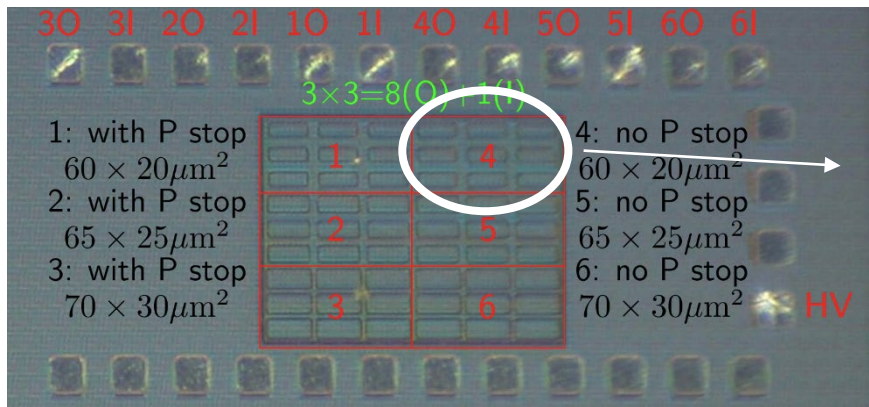
芯片厚度 $500\ \mu\text{m}$

TCAD仿真，建立3*3的像素阵列模型

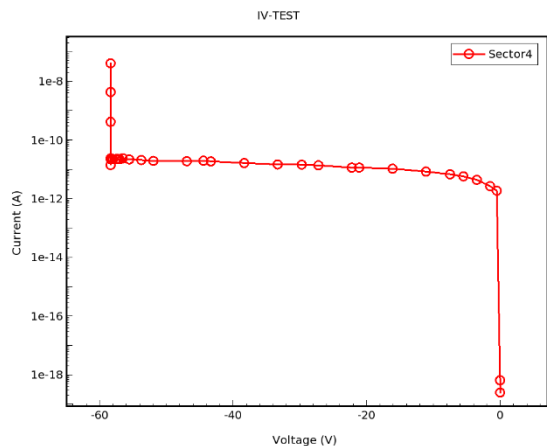


*注：版图中标注的尺寸为设计尺寸，实际生产出的尺寸为设计尺寸 $\times 0.9$ ；TCAD仿真按照实际尺寸设置；工艺掺杂情况未知，初步按照经验值设置

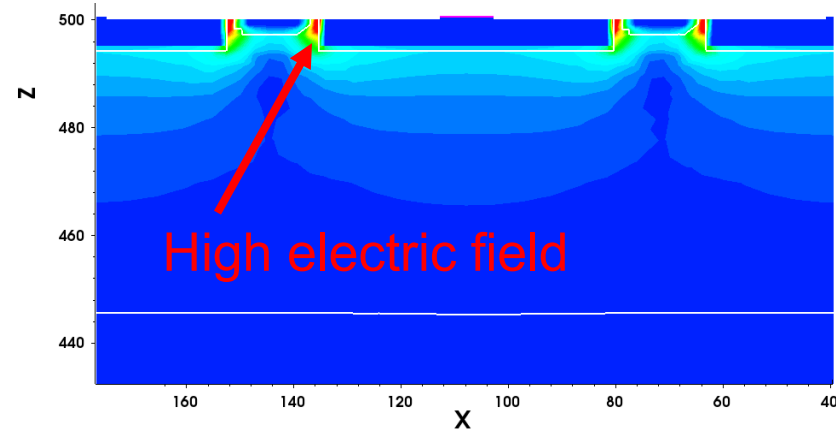
COFFEE2: diode设计



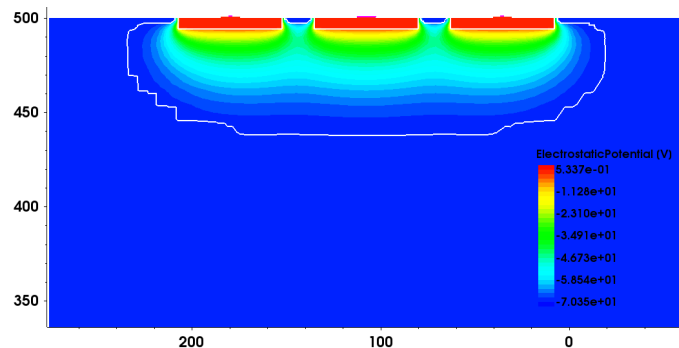
COFFEE2区域1中纯diode阵列：像素尺寸 $40 \mu\text{m} \times 80 \mu\text{m}$ ，本页为sector4的仿真结果；



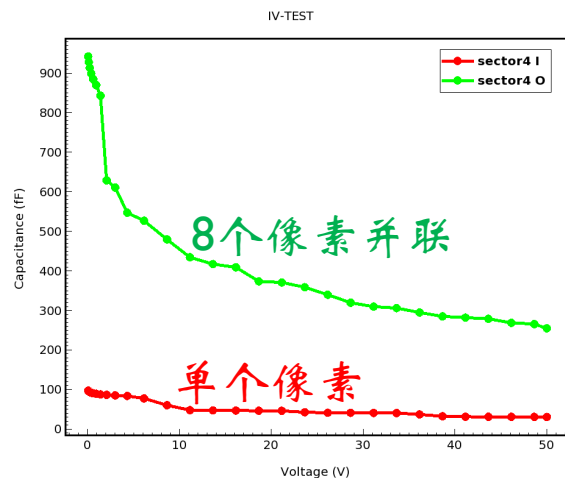
I-V特性仿真结果



高电场区在DNW与surface Pwell交界处，可能的击穿位置



-50V偏置条件下的电场情况：调整了色阶以突出显示高电场区域



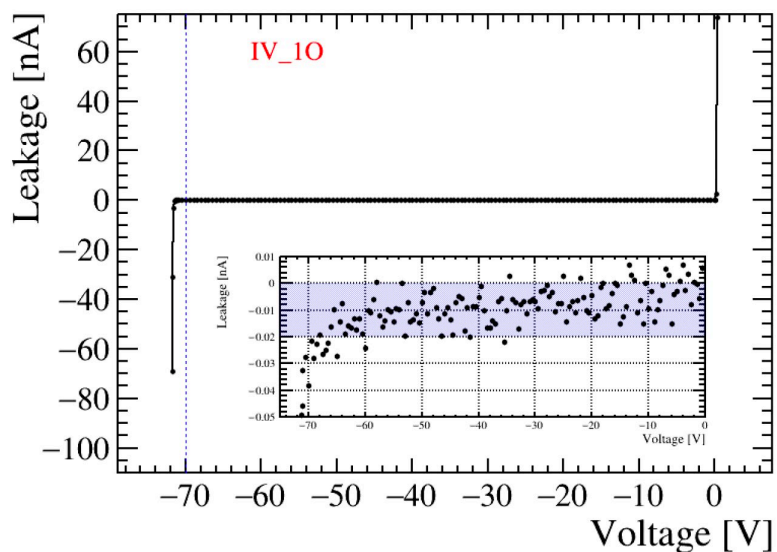
C-V特性仿真结果

TCAD初步仿真结果：

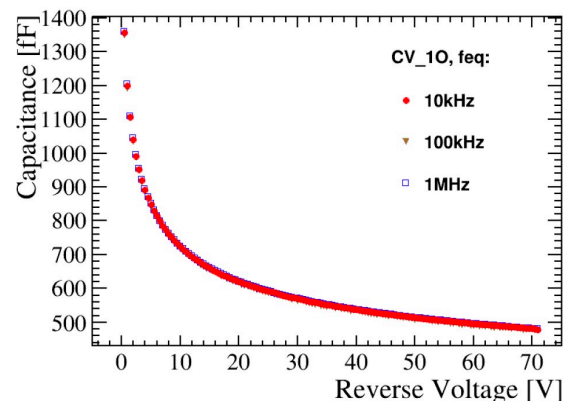
- 击穿电压 $\sim 58 \text{ V}$ ；
- 漏电流 10^{-11} A ；
- 单个diode电容 $\sim 30 \text{ fF}$ （-50V偏置条件下）
- 耗尽深度 $\sim 50 \mu\text{m}$ （-50V偏置条件下）

赵梅、邓建鹏、朱宏博

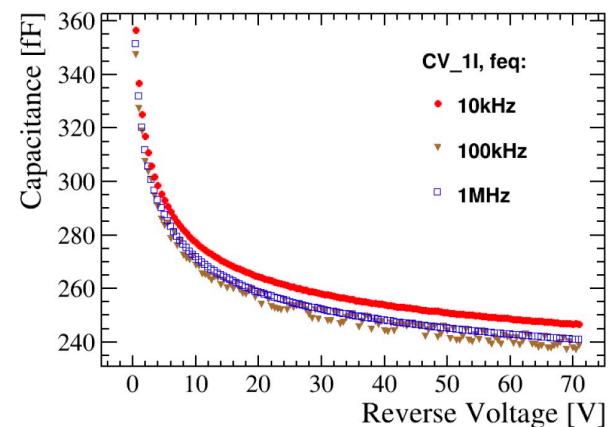
COFFEE2: diode验证



单个diode I-V关系测试结果



8个diode并联 C-V 关系测试结果



单个diode C-V 关系测试结果

以上结果包含了Offset，来自芯片内部diode之间和与外界连接的金属走线和金属焊盘对衬底的寄生电容，可在芯片设计软件中，通过寄生参数提取出准确值，再从测试结果中扣减掉；在不同区域略有不同， $\sim 200\text{fF}$ ；

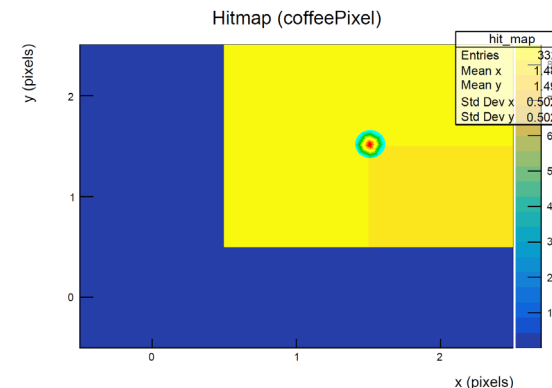
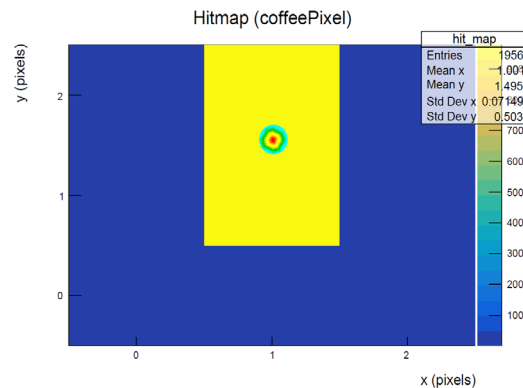
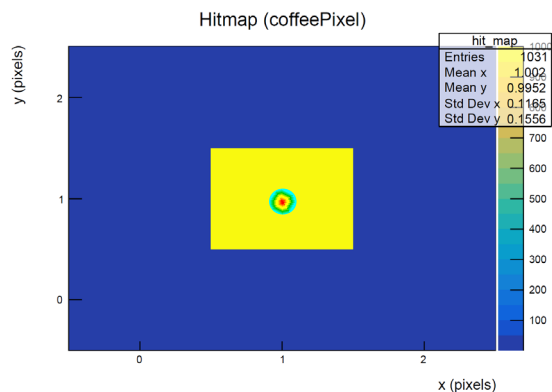
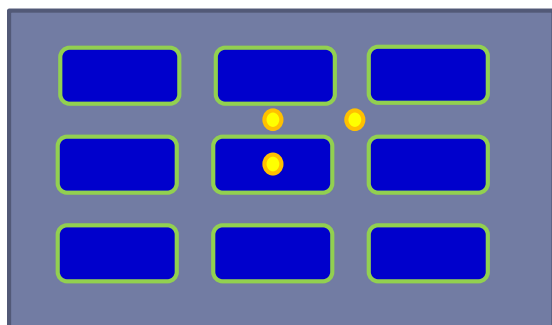
初步测试结果:

- 击穿电压 $\sim 70\text{ V}$;
- 漏电流 $\sim 10^{-11}\text{ A}$;
- 单个diode电容 $\sim 30\text{fF} - 40\text{fF}$ ($-50\text{V}-70\text{V}$ 偏置)

测试详情请见报告：“Test of CMOS using 55nm process”
项治宇

项志宇、徐子俊、李一鸣

COFFEE2: 信号收集情况



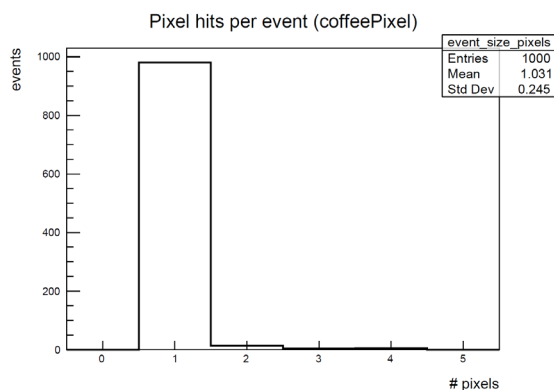
将TCAD电场文件导入Allpix², 模拟MIP粒子垂直入射三个特征位置, 像素对电荷的收集情况。事例数1000, 阈值设定400e⁻

Pixel size = 72μm × 36μm
DNW size = 63μm × 27μm
Gap = 18μm

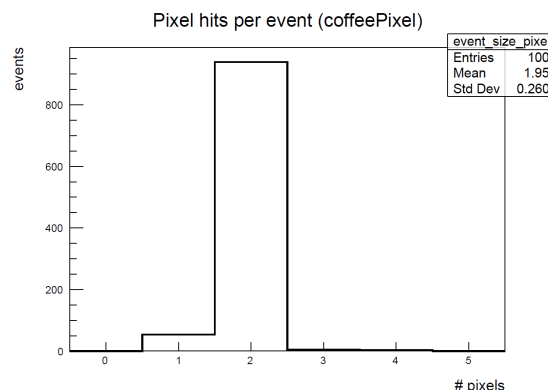
像素尺寸设定依据:

- 满足CEPC对位置分辨的要求: 存在charge sharing, 位置分辨将好于: $36 / \sqrt{12} \approx 10 \mu\text{m}$

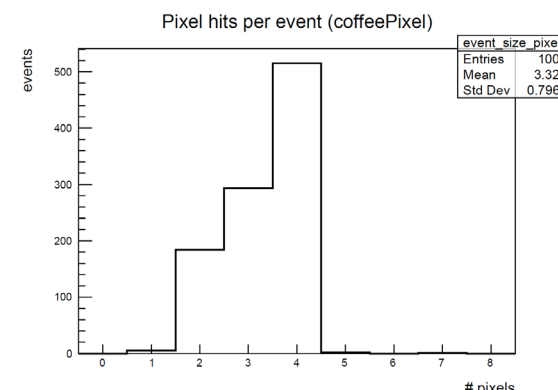
Cluster size = 1.031



Cluster size = 1.956

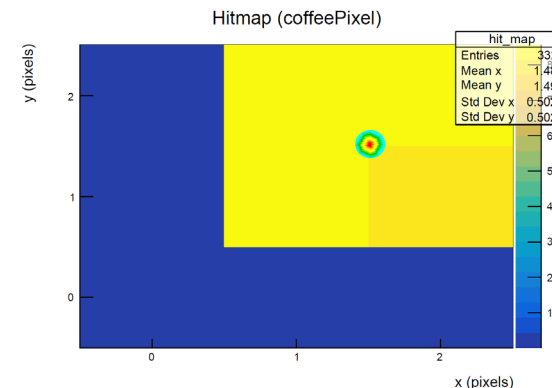
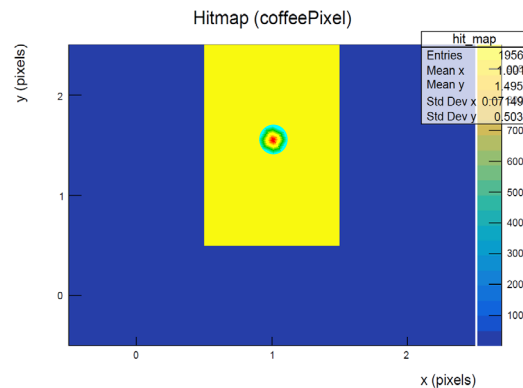
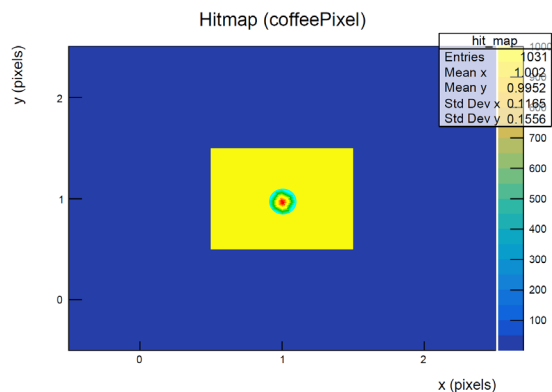
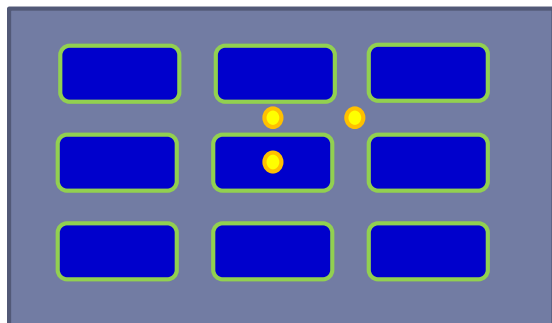


Cluster size = 3.329



李乐怡

COFFEE2: 信号收集情况



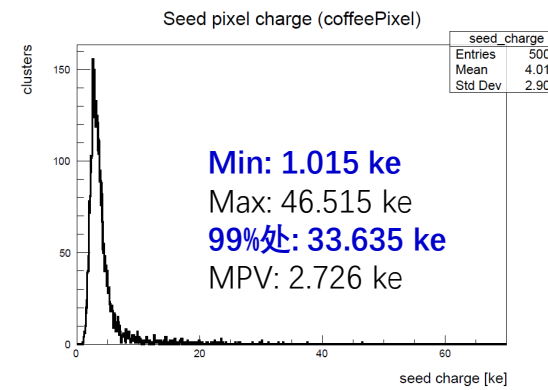
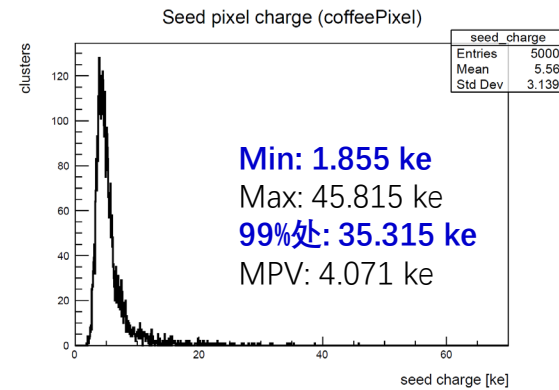
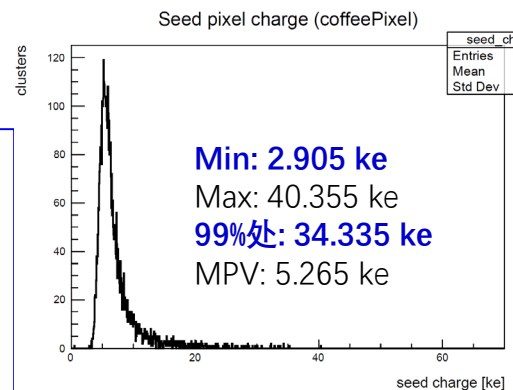
将TCAD电场文件导入Allpix², 模拟MIP粒子垂直入射三个特征位置, 像素对电荷的收集情况。事例数1000, 阈值设定400e⁻

Pixel size = 72μm × 36μm
DNW size = 63μm × 27μm
Gap = 18μm

事例数5000, 三种特征情况下seed pixel收集电荷情况

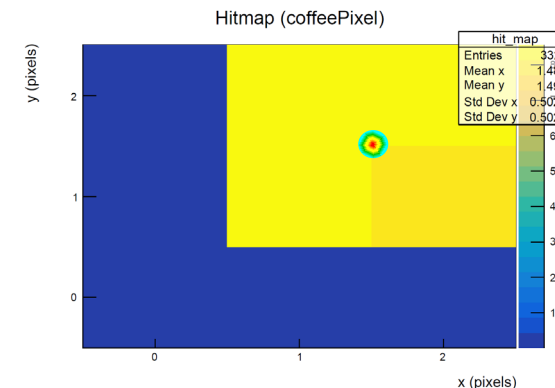
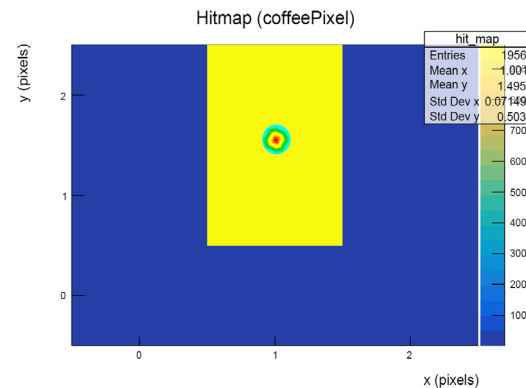
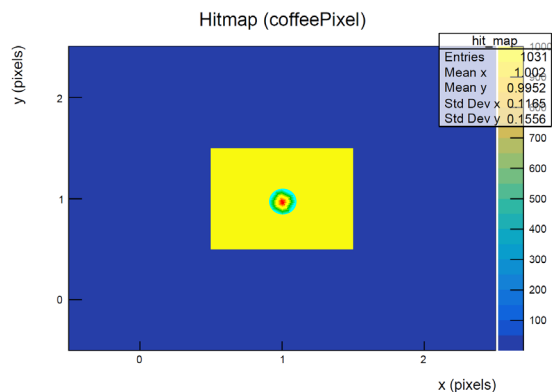
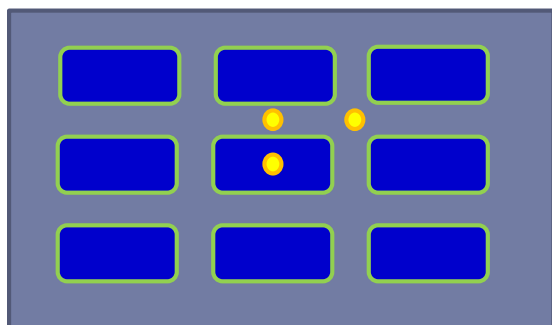
模拟前端设计的重要输入信息:

- 有效信号范围1ke - 30ke;
(1 ke 概率极低)
- ToT补偿ToA, 低功耗设计方案依据;
- 噪声控制依据;



李乐怡

COFFEE2: 信号收集情况

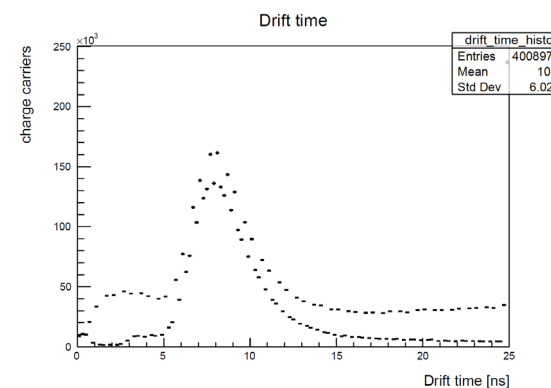
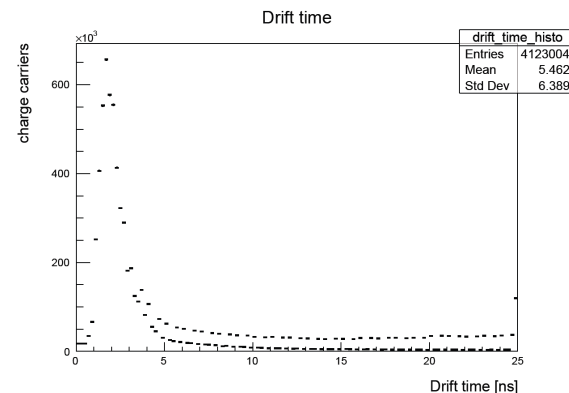
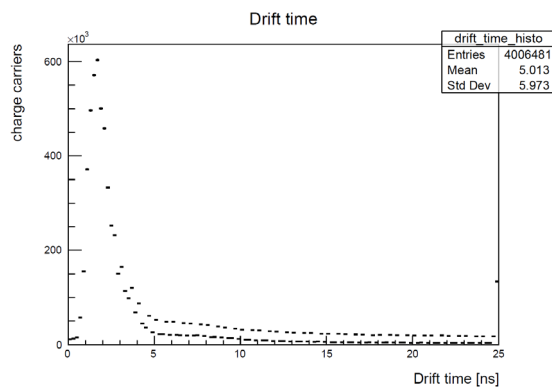


将TCAD电场文件导入Allpix², 模拟MIP粒子垂直入射三个特征位置, 像素对电荷的收集情况。事例数1000, 阈值设定400e⁻

Pixel size = 72 μ m \times 36 μ m
 DNW size = 63 μ m \times 27 μ m
 Gap = 18 μ m

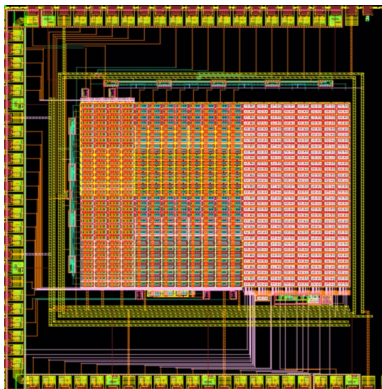
三种特征情况下, 载流子漂移时间, 最好情况2-3ns, 最差情况7-8ns

模拟前端输入信号时间设定依据

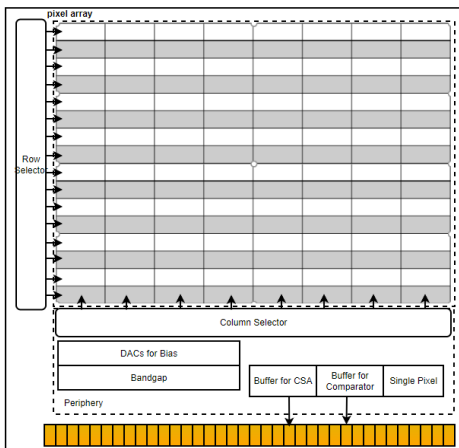


李乐怡

COFFEE2: 电子学和读出设计



区域2 版图



区域2原理图: 32×20 规模的像素阵列, 包含6种信号收集极结构(同区域1)和3种像素内电子学结构;

区域2核心目标:

1. 获得关键问题的经验积累: 设置对照组

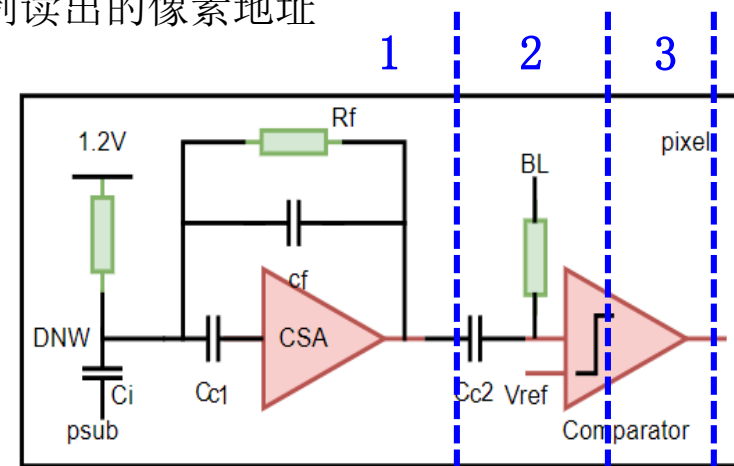
- 像素内数字信号对传感器的串扰问题, 在没有Deep Pwell的情况下;

2. 核心功能模块的设计经验积累: 仿真值和测试值对照

- CSA、Comparator、bandgap、DAC、Analogue buffer、PAD with ESD;

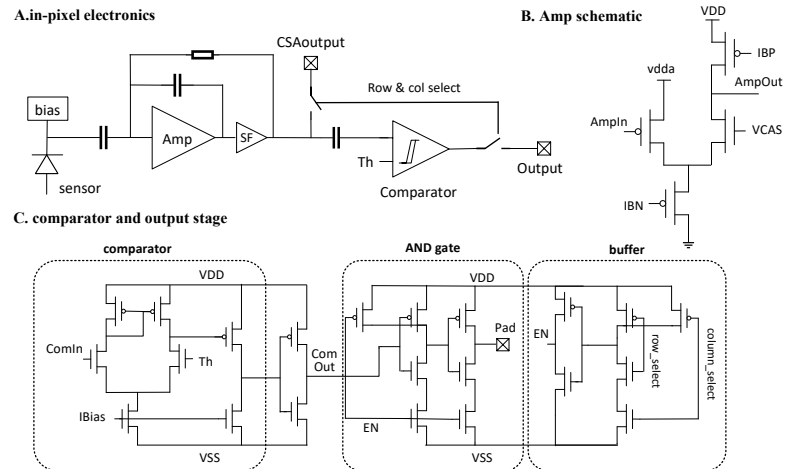
三种像素内电路结构: 由外部行列选通控制读出的像素地址

1. 仅CSA模拟读出;
2. CSA + NMOS分布式比较器, 像素输出差分模拟信号, 在阵列外围完成数字化;
3. CSA + CMOS比较器直接读出数字信号;

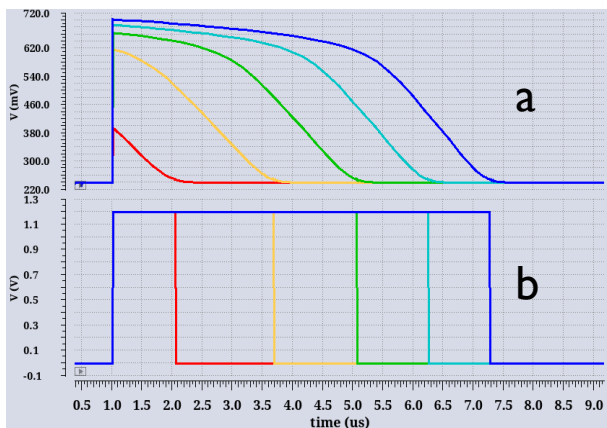


赵梅、陆卫国、谢坤好、李乐怡、陈卓俊、陈洋、李雪康、郭鑫扬、周扬

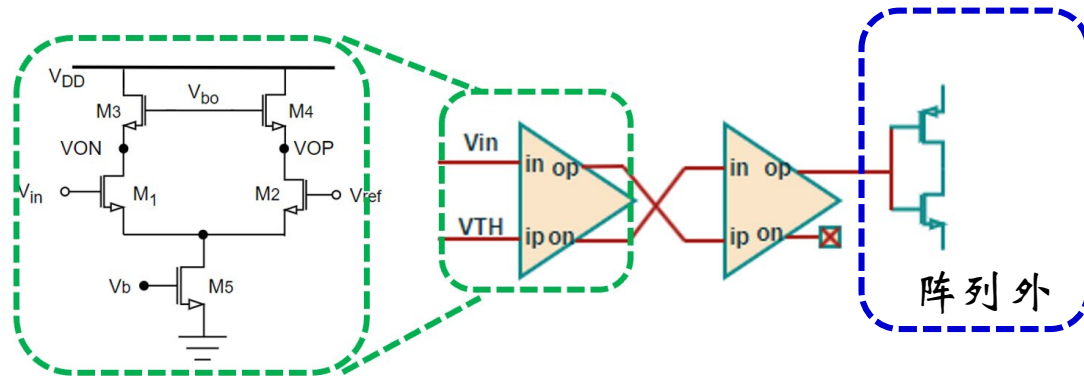
COFFEE2: 电子学和读出设计



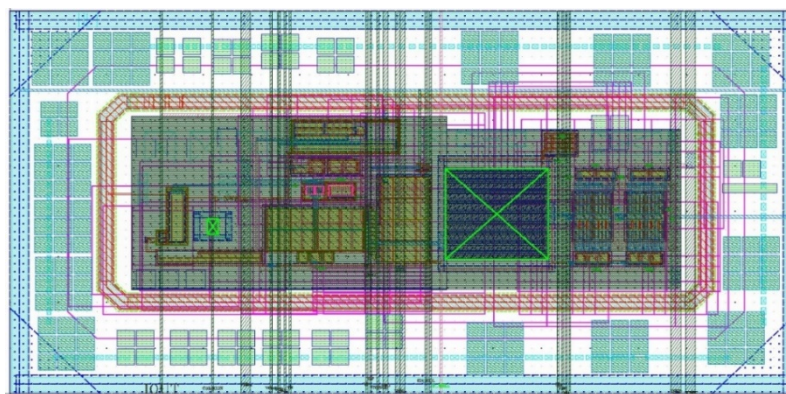
CMOS比较器像素内数字输出方案原理图



对 $2ke^-$ 到 $18ke^-$ 输入信号（步长 $4ke^-$ ）的仿真结果，（a）CSA输出，（b）比较器输出；此处设置 $C_{input} = 150fF$

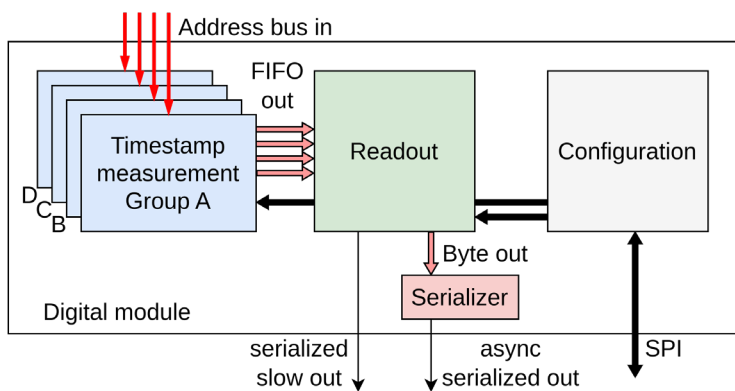
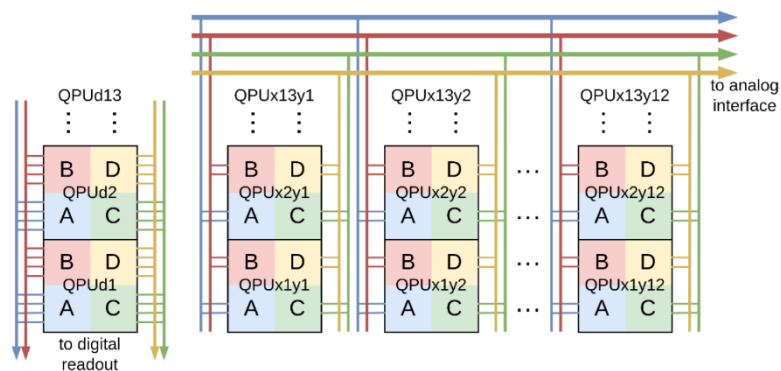


全NMOS比较器方案原理图：两级运放+方向器，数字信号产生于阵列外，减小大信号摆幅通过PMOS管衬底对信号输入端的串扰。

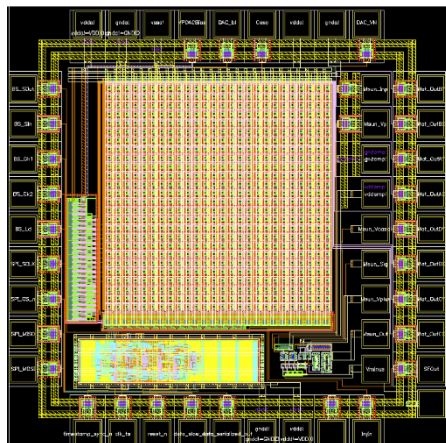


像素版图：设计尺寸 $80\mu m \times 40\mu m$ ；制造尺寸 $72\mu m \times 36\mu m$

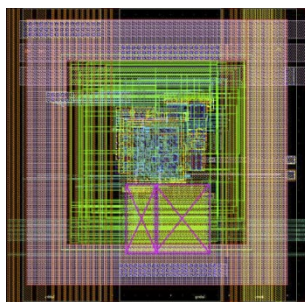
COFFEE2: 电子学和读出设计



区域3 原理图: 26×26 规模的像素阵列 (其中2列数字输出, 其余为模拟输出) 以及外围数字处理和读出模块;



区域3 版图



Pixel layout: 25×25 μm^2

区域3设计要点:

1. 实现了 $25 \times 25 \mu\text{m}^2$ 小像素设计

- 小尺寸、更小的输入等效电容 (参考180nm工艺节点上 ATLApix3 像素尺寸 $50 \times 150 \mu\text{m}^2$);
- 像素内集成了PMOS放大器、CR滤波、NMOS比较器;

2. 新的读出结构: 大幅减少列总线数量, 参考ATLApix3每个像素都单独引出数据总线到阵列底部 (低hit density场景)

- 4个像素组成一组 (QPU): A、B、C、D编号如左图;
- 每个双列共13个QPU, 所有QPU中相同字母标记的像素共享地址总线: 每双列共4条地址线

3. 数字信号处理电路:

- 时间戳精度: 5ns

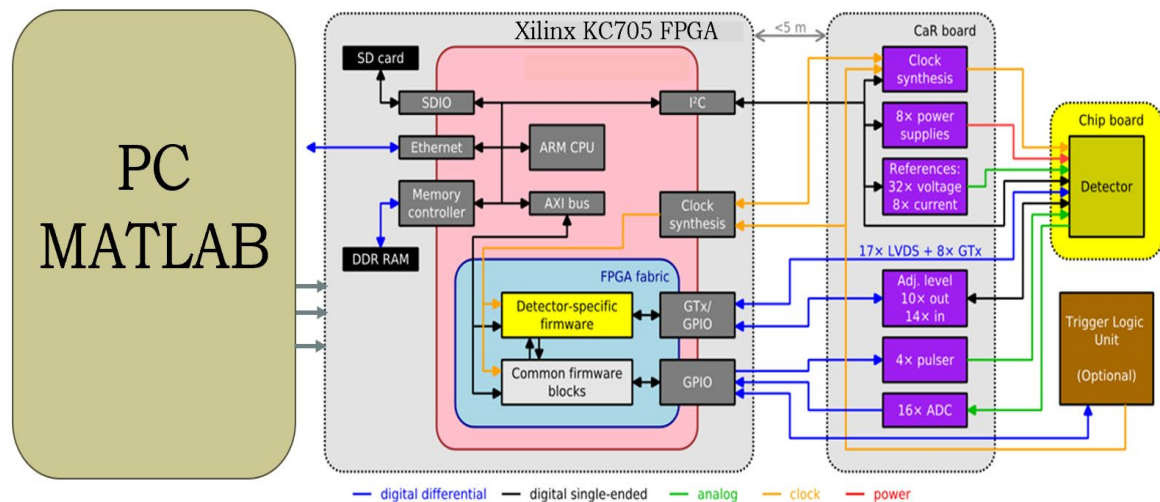
- 37位数据信息:

error_bit	addr[3:0]	hit_id[7:0]	lead_ts[11:0]	trail_ts[11:0]
-----------	-----------	-------------	---------------	----------------

张慧, 董若石, Ivan Peric

详情见: Zhang hui, talk & Dong Ruoshi, Poster, CEPC workshop 2023.10

COFFEE2: 电子学硬件测试准备



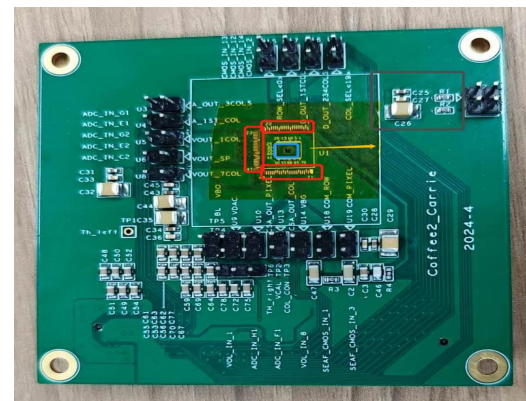
测试板CaR (Control and Readout) 接口详情

接口	接口详情
可调节的供电电源	8个, 0.8~3.6 V, 最高承3 A
可调节的偏置电压	32个, 0~4 V
可调节的偏置电流	8个, 0~1 mA
慢速ADC的电压输入	8通道, 50 kSPS, 12 bit, 0~4 V
快速ADC的模拟输入	16通道, 65 MSPS, 14 bit, 0~1 V
可编程的输入脉冲	4个
全双工高速GTx链路	8个, <12 Gbps
LVDS连接	17个双向链接
输入/输出连接	10个输入, 14个输出, 0.8~3.6 V
可编程的时钟生成器	包含
额外高压输入	包含
FMC与FPGA的接口	包含
SEARAY与探测器芯片的接口	320个管脚连接

测试系统结构框图：COFFEE2芯片载板 - 测试板CaR - KC705开发板 - PC

硬件准备完成, 即将开始测试

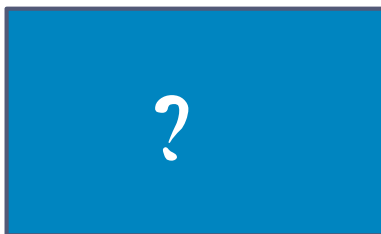
谢坤好、陆卫国



COFFEE2芯片载板

COFFEE3: 下一步计划和目标

COFFEE3



计划 2024.10班车提交

COFFEE3目标:

- 工艺: 在与COFFEE2 相同PDK基础上, 和厂家沟通进一步提升性能的改进可能性: 更多的衬底电阻率选择, 增加屏蔽p型注入的规则等;
(COFFEE2同步测试结果, 为3的设计提供重要参考)
- 性能: 根据目标需求, 明确设计指标; 并提出最终芯片的构架方案;
- 设计目标实现: 完成小尺寸prototype (尽可能包含完整功能和保留各模块独立的可测试性), 验证构架方案;

总结

- 我们以CEPC上SIT 和 LHCb UT升级为应用目标开展了55nm工艺上HV-CMOS像素探测器技术路线的研发，系列芯片命名为COFFEE;
- COFFEE1基于 Low Leakage 55nm工艺， 非高阻衬底， 测试结果显示击穿电压 $\sim 8V$ ， 观测到了对激光信号的响应;
- COFFEE2基于 HV-CMOS 55nm工艺， $1k \Omega \cdot cm$ 高阻衬底， 测试结果显示击穿电压 $>70V$;
- COFFEE2涵盖了多种设计结构， 用于验证和评估HV-CMOS技术路线上各类关键问题； 对sensor的各类测试和辐照评估正在进行， 对电子学设计的测试硬件系统已准备完成， 即将展开测试；
- 完成了初步的TCAD仿真和allpix²仿真， 可同步对照COFFEE2的测试结果进行工艺参数迭代修正， 为下一阶段的设计提供必要设计输入参考；
- 计划2024. 10月提交COFFEE3的设计；

总结

- 我们以CEPC上SIT 和 LHCb UT升级为应用目标开展了55nm工艺上HV-CMOS像素探测器技术路线的研发，系列芯片命名为COFFEE;
- COFFEE1基于 Low Leakage 55nm工艺， 非高阻衬底， 测试结果显示击穿电压~8V， 观测到了对激光信号的响应;
- COFFEE2基于 HV-CMOS 55nm工艺， 1k $\Omega \cdot \text{cm}$ 高阻衬底， 测试结果显示击穿电压>70V;
- COFFEE2涵盖了多种设计结构， 用于验证和评估HV-CMOS技术路线上各类关键问题； 对sensor的各类测试和辐照评估正在进行， 对电子学设计的测试硬件系统已准备完成， 即将展开测试；
- 完成了初步的TCAD仿真和allpix²仿真， 可同步对照COFFEE2的测试结果进行工艺参数迭代修正， 为下一阶段的设计提供必要设计输入参考；
- 计划2024. 10月提交COFFEE3的设计；

谢 谢!