



应用于量能器能量读出的 SHA-less Pipelined ADC设计

SHA-less Pipelined ADC Design for Energy Readout of Quantum Energy Devices



华中师范大学

物理科学与技术学院



汇报人：熊浩炜



研究方向：模拟集成电路设计

2024年5月





目录
CONTENTS

1

研究背景及意义

2

流水线ADC工作原理

3

流水线ADC核心电路设计

4

流水线ADC版图设计

5

流水线ADC芯片测试及验证



研究背景及意义

1. 研究背景

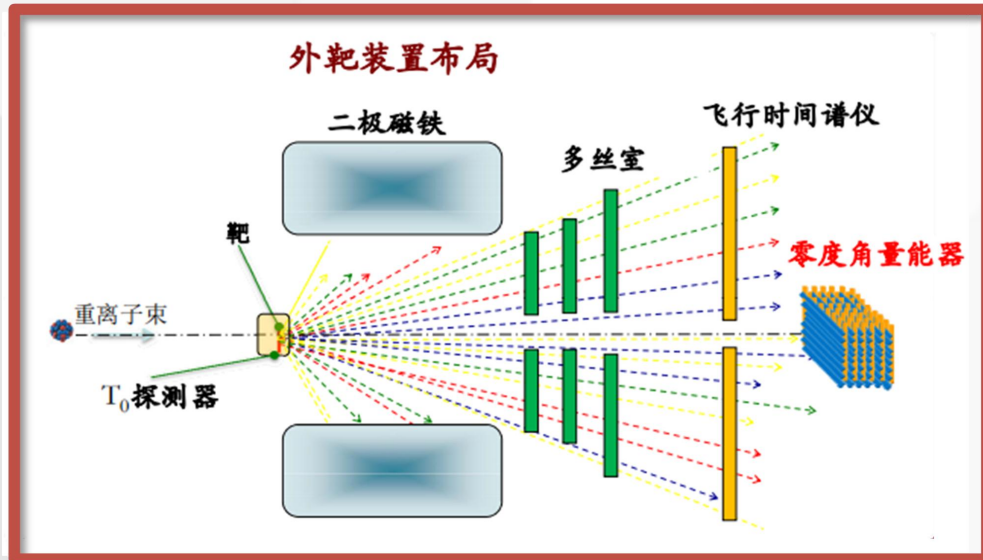
2. 工作原理

3. 核心电路

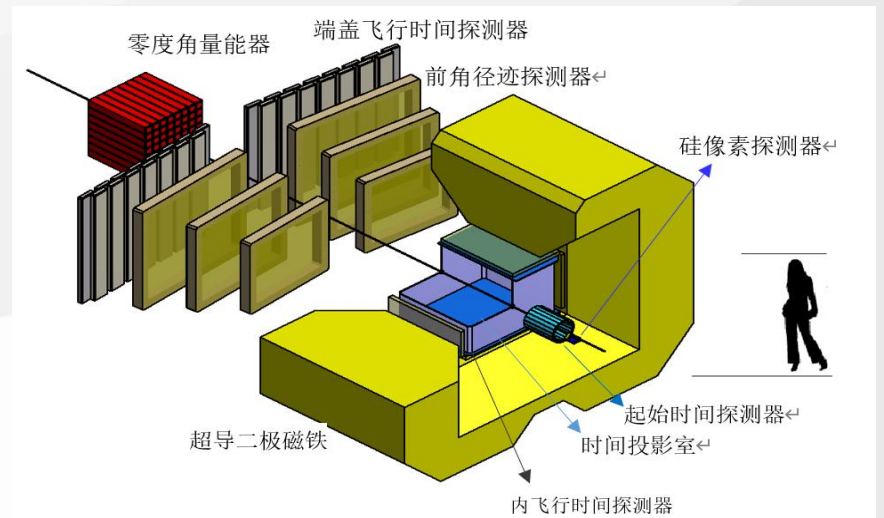
4. 版图设计

5. 测试验证

- **CEE(CSR External-target Experiment):** 低温高密核物质测量谱仪，建成后将是我国**第一台**自主研发的大型核物理实验装置。
- **束流位置探测器:** 位于入射束流前端，测量入射束流的位置信息



外靶装置布局



CEE的概念性设计图

HIRFL-CSR外靶实验(CEE)

- T0探测器、
- 时间投影室TPC
- 飞行时间探测器TOF
- 零角度量能器ZDC

对粒子进行**时间、位置和能量分辨。**



研究背景及意义

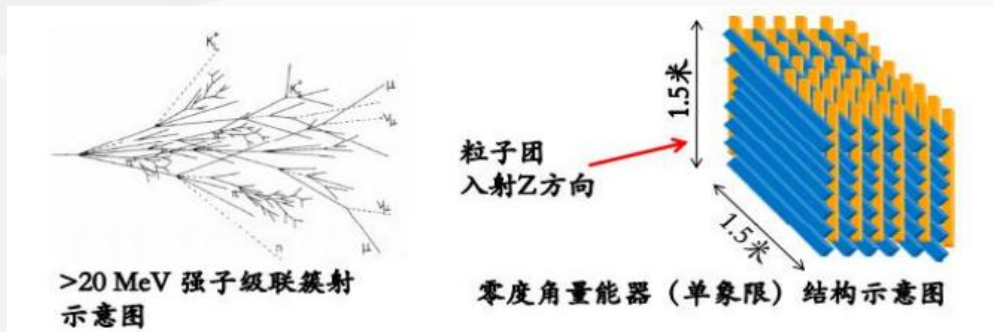
1. 研究背景

2. 工作原理

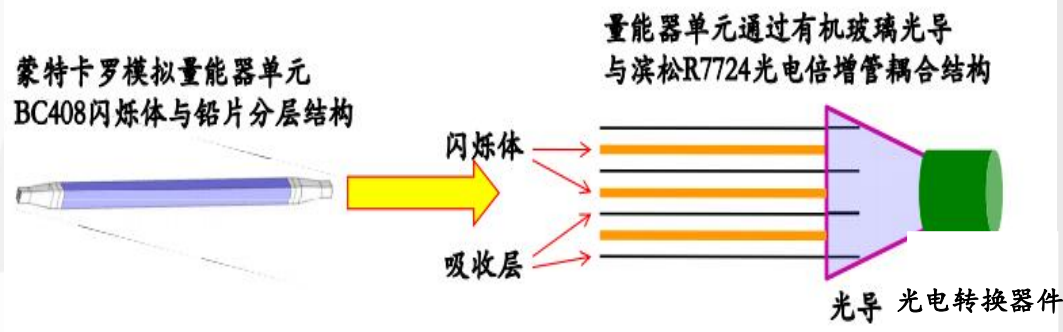
3. 核心电路

4. 版图设计

5. 测试验证



量能器结构示意图



量能器工作示意图

◆ 传统光电倍增管 (PMT) 其工作电压超高, 对磁场较敏感等问题

	PMT(Philips)	SiPM(NDL)
增益	2.5×10^5	大于 2×10^5
工作电压	kV量级	30V
光子探测效率	8.7%	>31%
磁场敏感度	敏感	不敏感
上升时间	5.5ns	2ns
单光子时间分辨率		小于200ps
动态范围		10uA-10mA

PMT&SiPM



SiPM器件&输出波形

✓ 硅光电倍增管 (SiPM) 具有高增益、高探测效率、低工作电压以及对磁场不敏感等优势, 将广泛应用于粒子探测领域。

指标及工作原理

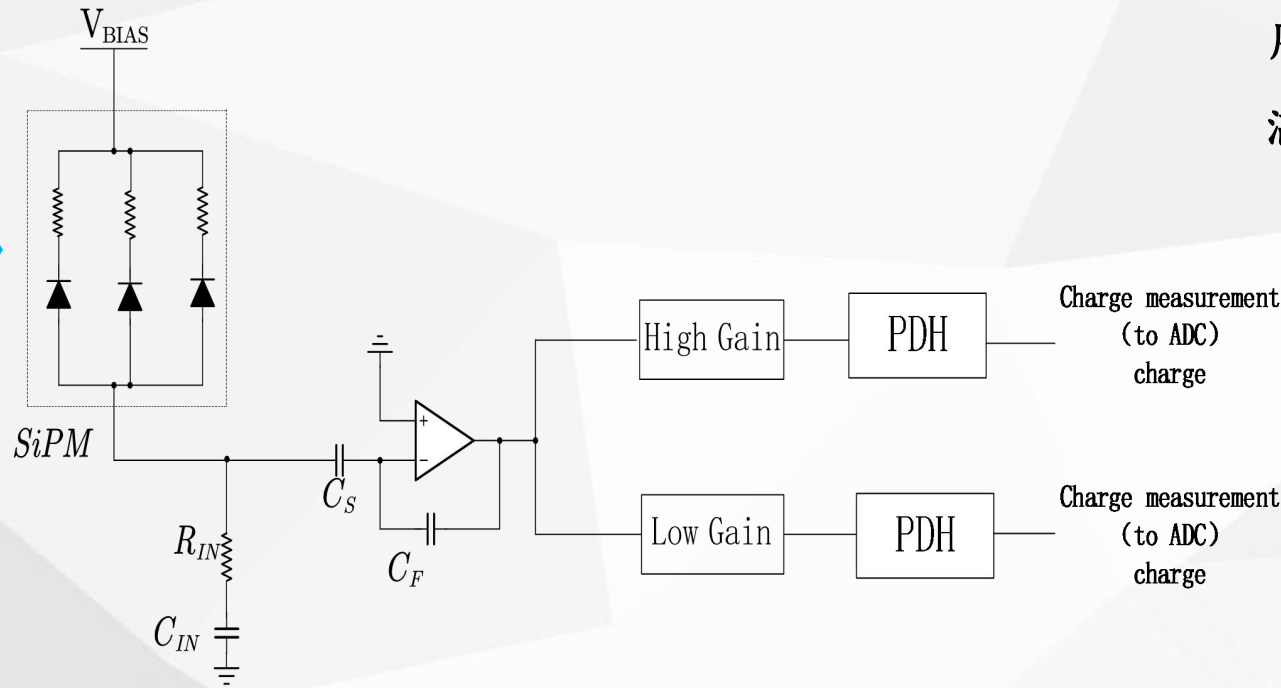
1. 研究背景

2. 工作原理

3. 核心电路

4. 版图设计

5. 测试验证



SiPM读出电路框图

前端脉冲信号经过峰值保持电路后采用ADC进行量化。本次设计的ADC需要满足下列设计指标：

工艺：TSMC 180nm

供电电压：1.8V

转换精度：12bit (ENOB>9 bit)

采样速率：40MS/s

输入信号动态范围：±1V

除此之外，功耗面积等性能参数在满足项目需求的前提下尽可能小。

- Σ - Δ ADC(Sigma-Delta ADC): 过采样ADC，系统带宽多在10⁹赫兹量级，不适合于像素芯片的片内集成。
- 逐次逼近ADC(SAR-ADC): 电路简单，但是单位电容个数与精度成指数型增长，不适用于高精度系统设计。
- 流水线ADC(Pipeline ADC): 高速、高精度，但是功耗和面积相对较大。



指标及工作原理

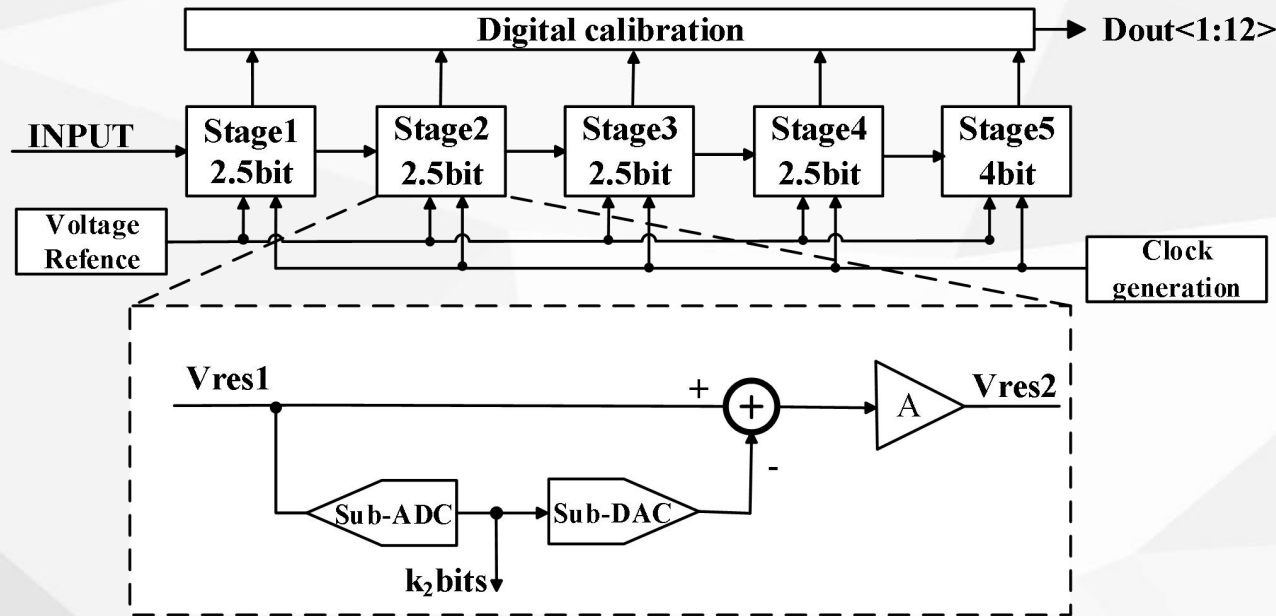
1. 研究背景

2. 工作原理

3. 核心电路

4. 版图设计

5. 测试验证



流水线ADC拓扑结构

- 子ADC (Flash ADC)
- MDAC, 又称为乘法数模单元 (子DAC、加法器、运算放大器), 该模块主要有开关电容电路实现余差操作
- 时钟产生电路
- 延迟对准/编码电路
- 数字校准电路 (错位相加)

- **双相非交叠时钟**: 保证流水线子级处于前一级保持、后一级采样的交替工作状态。
- **转换精度**: $2+2+2+2+4=12$

SHA-less结构

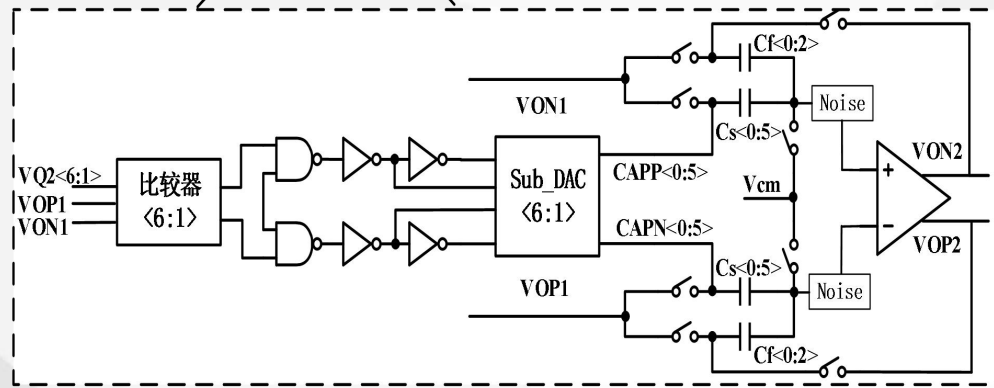
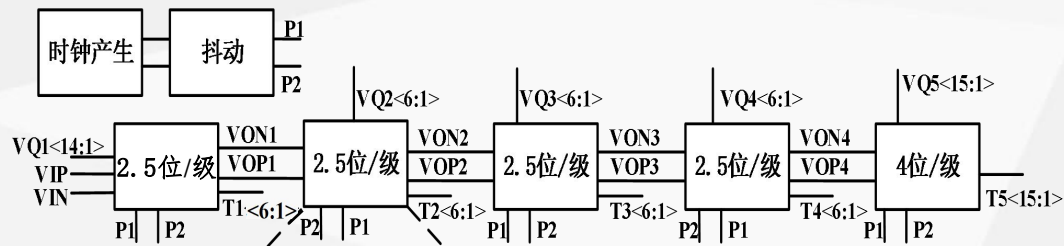
1. 研究背景

2. 工作原理

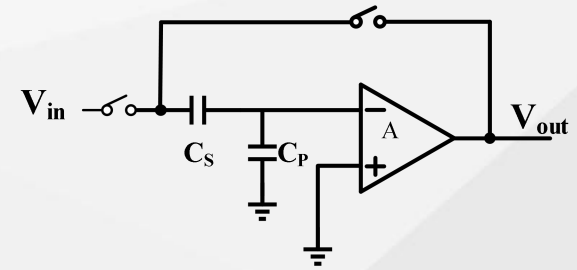
3. 核心电路

4. 版图设计

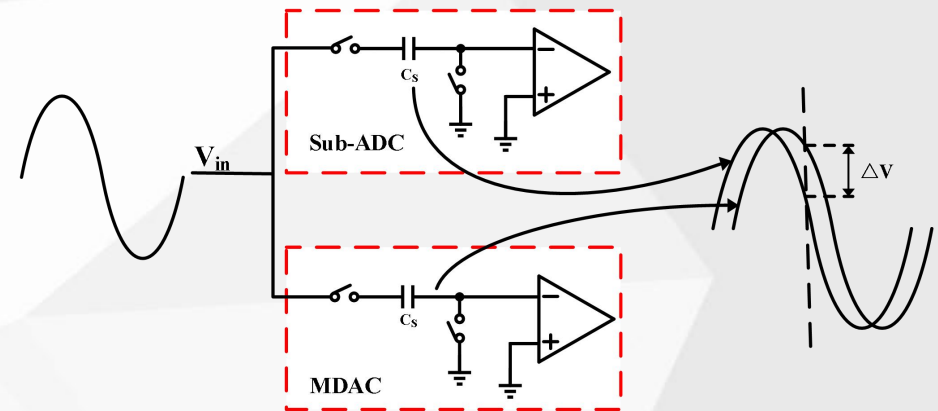
5. 测试验证



SHA-less结构框图



SHA典型电路结构



SHA结构中的孔径误差

提高线性度的方法:

- **栅压自举开关**: 提高采样精度和线性度, 保持良好的信号质量。
- **RSD编码**: 采用冗余位编码技术, 每级2.5bit MDAC, 其中2bit是有效位, 0.5bit为冗余校正位。
- **版图设计**: 每条采样路径走线基本一致, 减小因寄生带来的误差。

全差分运放电路设计

要求有限增益误差的误差小于1/4 LSB, N=12, 运放的开环增益需要大于**84dB**。

要求有限带宽误差小于1/4 LSB, 采样频率为40M, 则首级放大器单位增益带宽积需要大于**880MHz**。

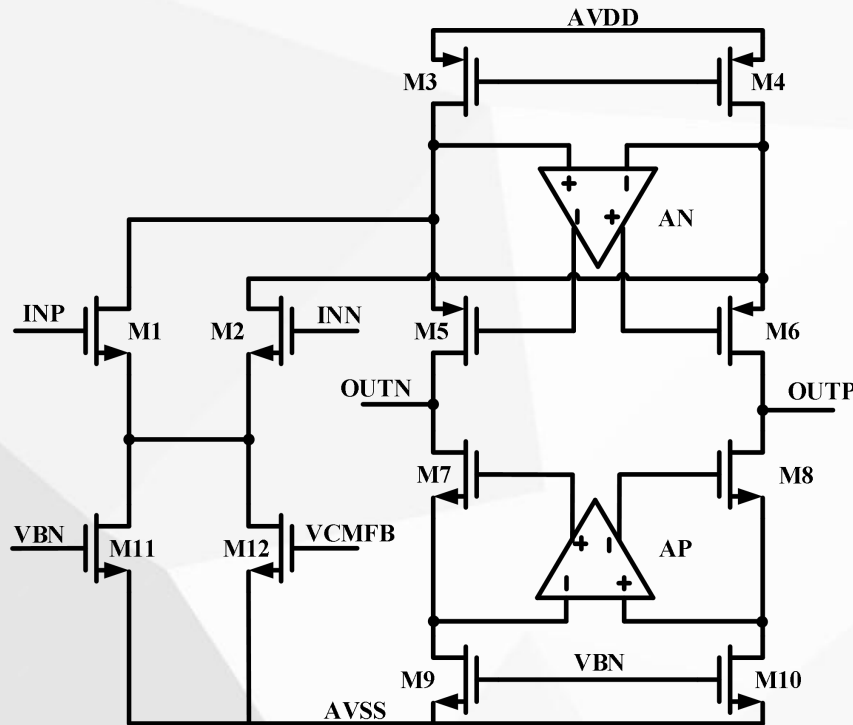
1. 研究背景

2. 工作原理

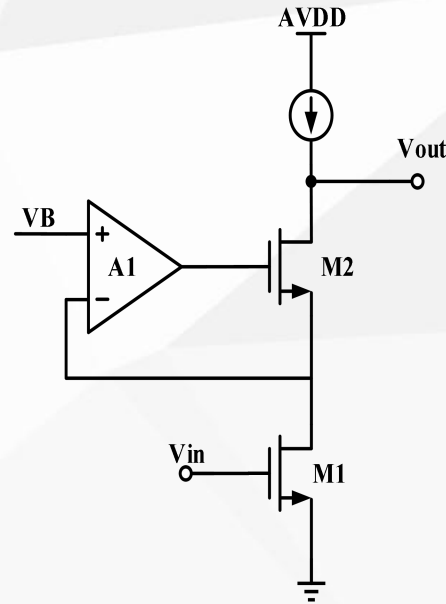
3. 核心电路

4. 版图设计

5. 测试验证



全差分折叠式共源共栅放大器



增益提升技术

➤ 运放的输出电阻:

$$R_{out} \approx (A1 + 1)g_{m2}r_{o1}r_{o2}$$

➤ 运放的直流增益位:

$$A_{out} = G_m R_{out} \approx g_{m1}(A1 + 1)g_{m2}r_{o1}r_{o2}$$

➤ 注意: 辅助运动的带宽要大于主运放的带宽以使其不影响整个运放的速度

全差分运放电路设计

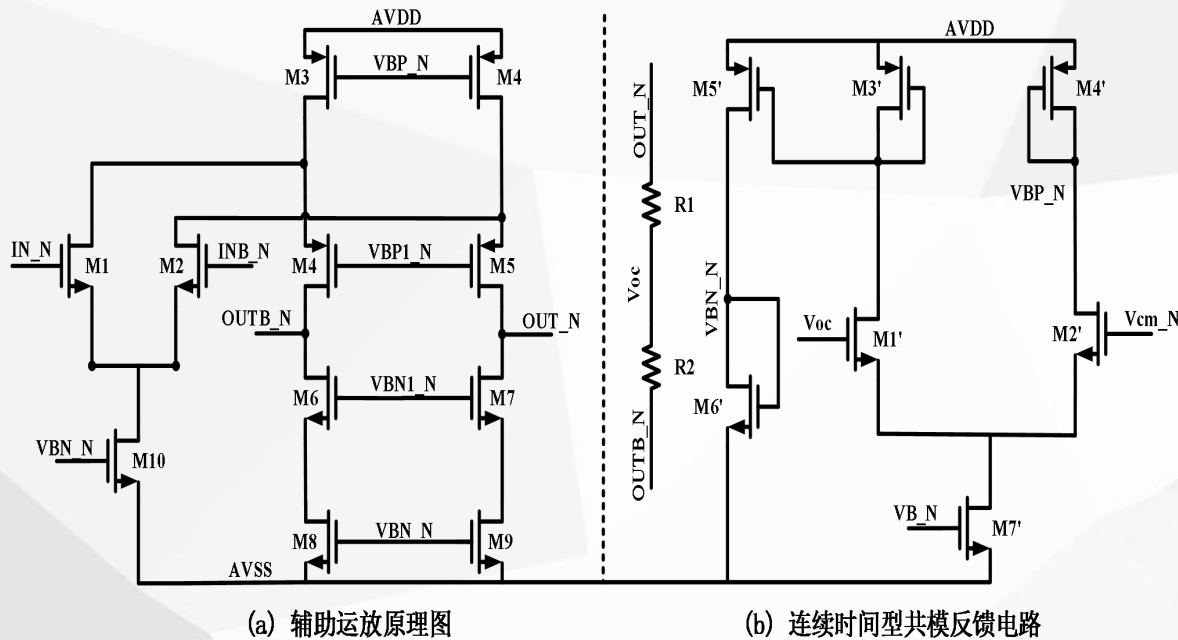
1. 研究背景

2. 工作原理

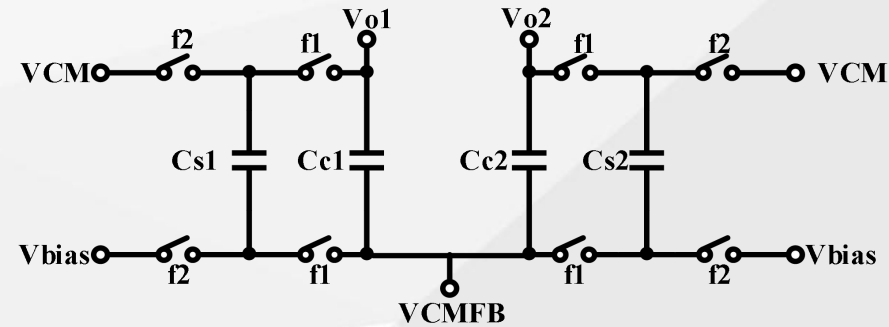
3. 核心电路

4. 版图设计

5. 测试验证



全差分折叠式共源共栅放大器



开关电容共模反馈电路

➤ 当 f_2 闭合 f_1 断开时，电路的总电荷为：

$$Q_1 = (V_{o1} - V_{CMFB})C_{c1} + (V_{o2} - V_{CMFB})C_{c2} + (V_{CM} - V_{bias})(C_{s1} + C_{s2})$$

➤ 当 f_1 闭合 f_2 断开时，电路的总电荷为：

$$Q_2 = (V_{o1} - V_{CMFB})(C_{s1} + C_{c1}) + (V_{o2} - V_{CMFB})(C_{s2} + C_{c2})$$

➤ $Q_1 = Q_2$ 、 $C_{s1} = C_{s2}$ 可得：

$$V_{CMFB} = \frac{V_{o1} + V_{o2}}{2} - V_{CM} + V_{bias}$$



全差分运放电路设计

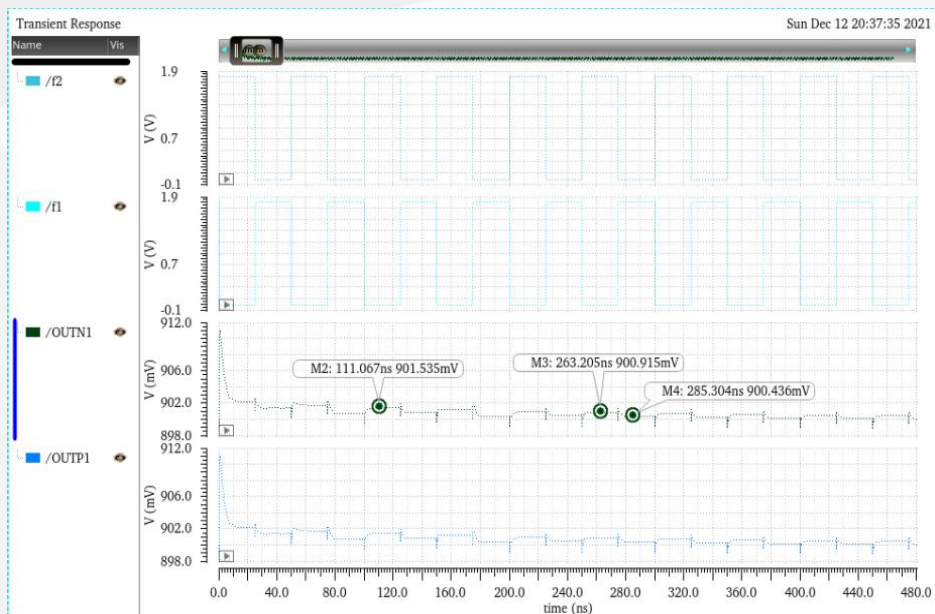
1. 研究背景

2. 工作原理

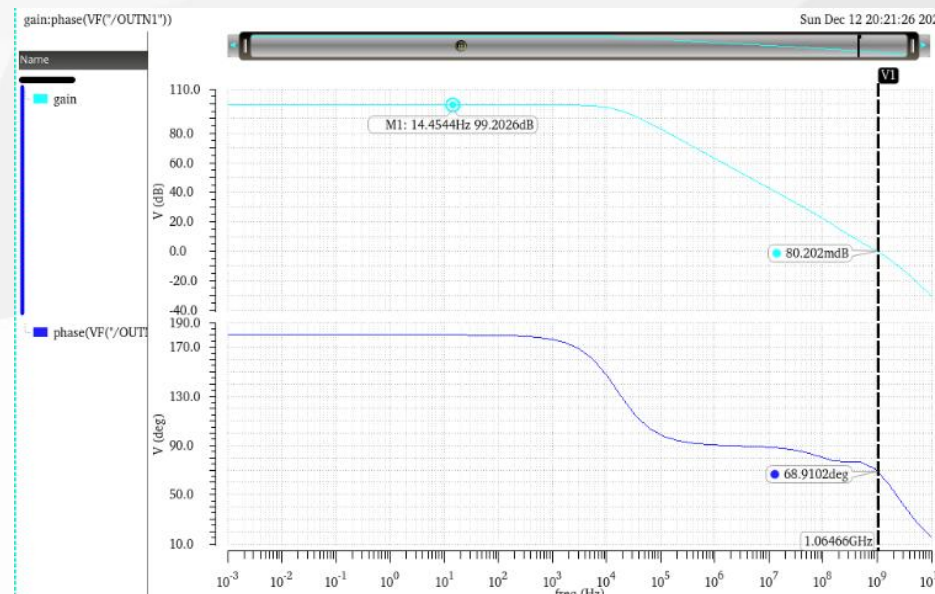
3. 核心电路

4. 版图设计

5. 测试验证



全差分运放瞬态仿真



全差分运放波特图

工艺角仿真



性能参数 \ 工艺角	tt@27°	ff@0°	ss@85°
增益 (dB)	99.2	80.3	98.4
单位增益带宽 (GHz)	1.06	1.21	1.07
功耗 (mA)	4.2	3.3	2.2

子ADC电路设计

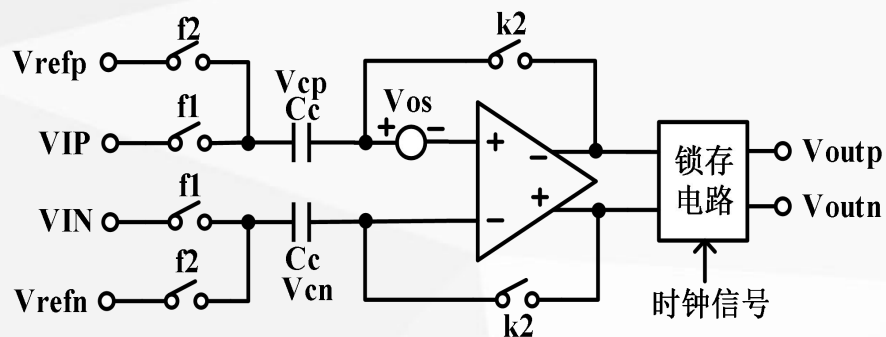
1. 研究背景

2. 工作原理

3. 核心电路

4. 版图设计

5. 测试验证



预放大型动态比较器

➤ 当 f_2 为高 f_1 为低时，耦合电容两端的电压

V_{cp} 和 V_{cn} 之间的关系为：

$$V_{cp} - V_{cn} = (V_{refp} - V_{refn}) - V_{os}$$

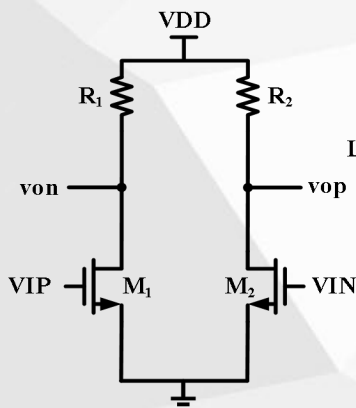
➤ 当 f_1 为高 f_2 为低时，预放大的输出 V_{op} 和

V_{on} 之间的关系为：

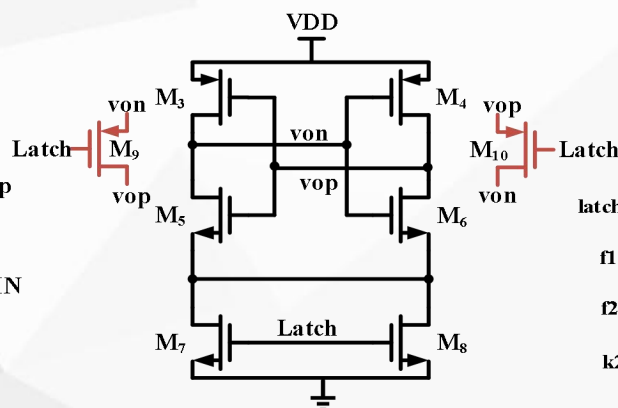
$$\begin{aligned} V_{op} - V_{on} \\ = A \times [(VIP - VIN) - (V_{cp} - V_{cn}) - V_{os}] \end{aligned}$$

➤ 上述两式合并可得：

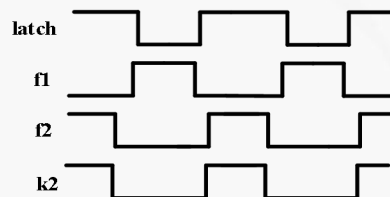
$$\begin{aligned} V_{op} - V_{on} \\ = A \times [(VIP - VIN) - (V_{refp} - V_{refn})] \end{aligned}$$



(a) 预放大原理图



(b) 锁存电路原理图



(c) 工作时序

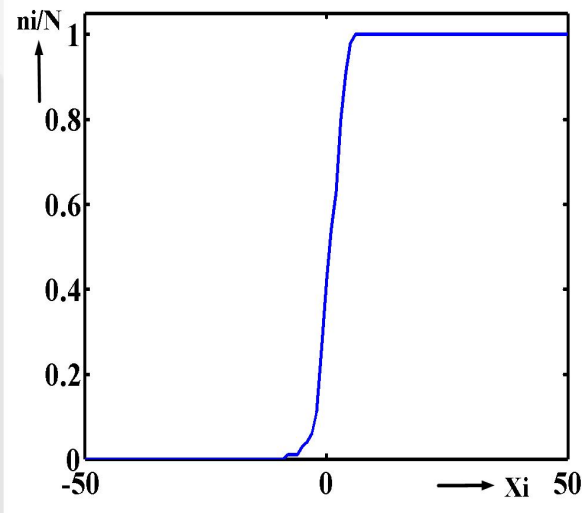
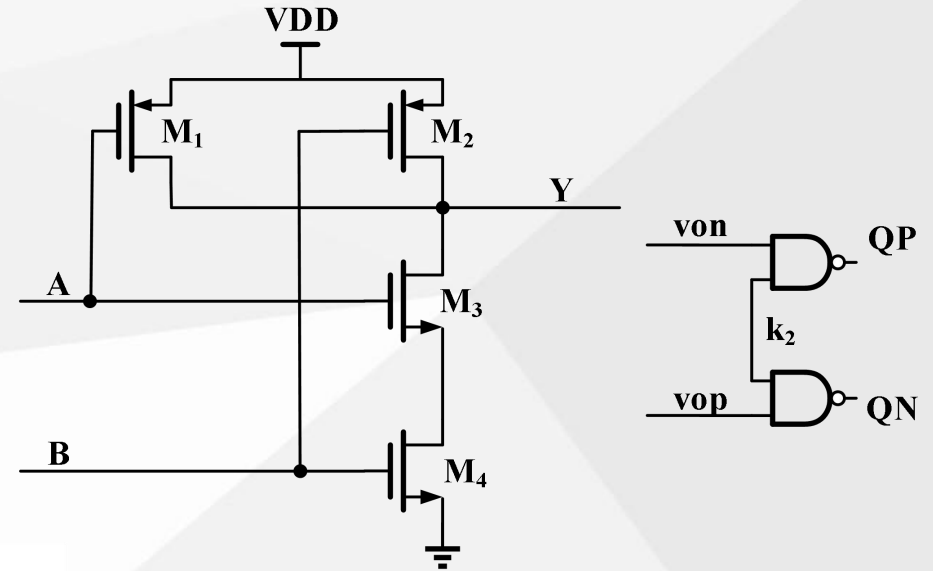
← 比较器电路及工作时序



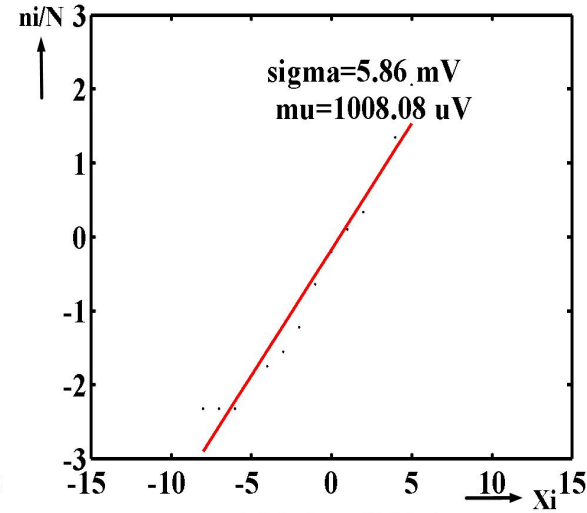
子ADC电路设计

1. 研究背景
2. 工作原理
3. 核心电路
4. 版图设计
5. 测试验证

➤ 比较器整形电路：
将比较器输出上拉或
下拉至电源和地



(a) 蒙特卡洛仿真结果



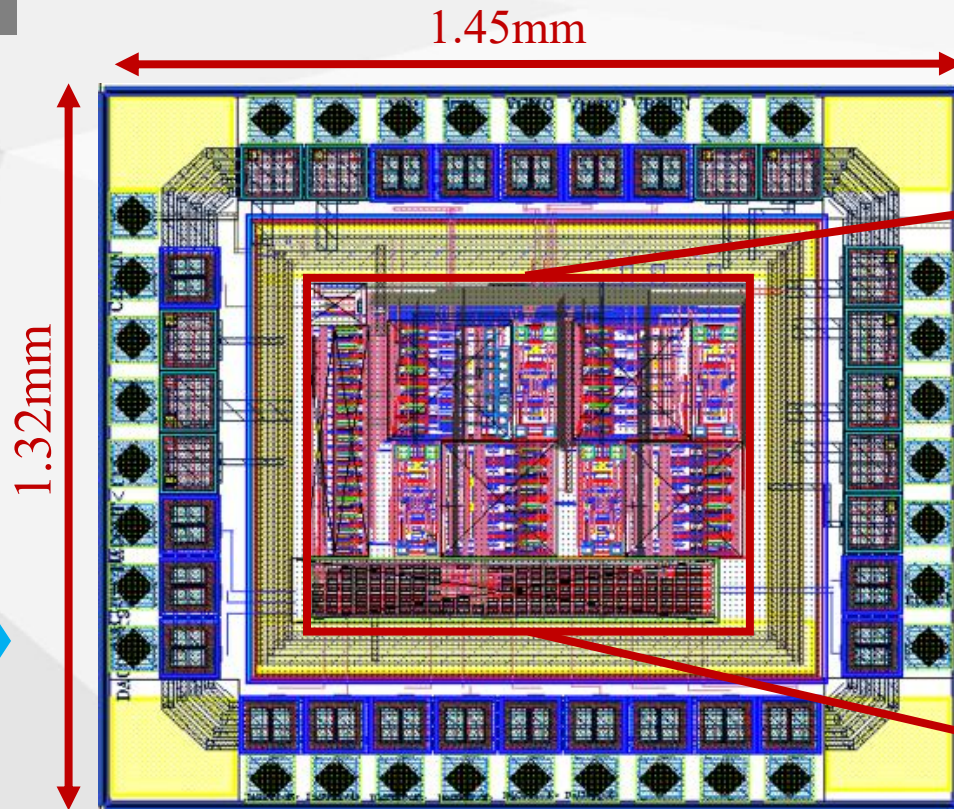
(b) 概率归一化输出



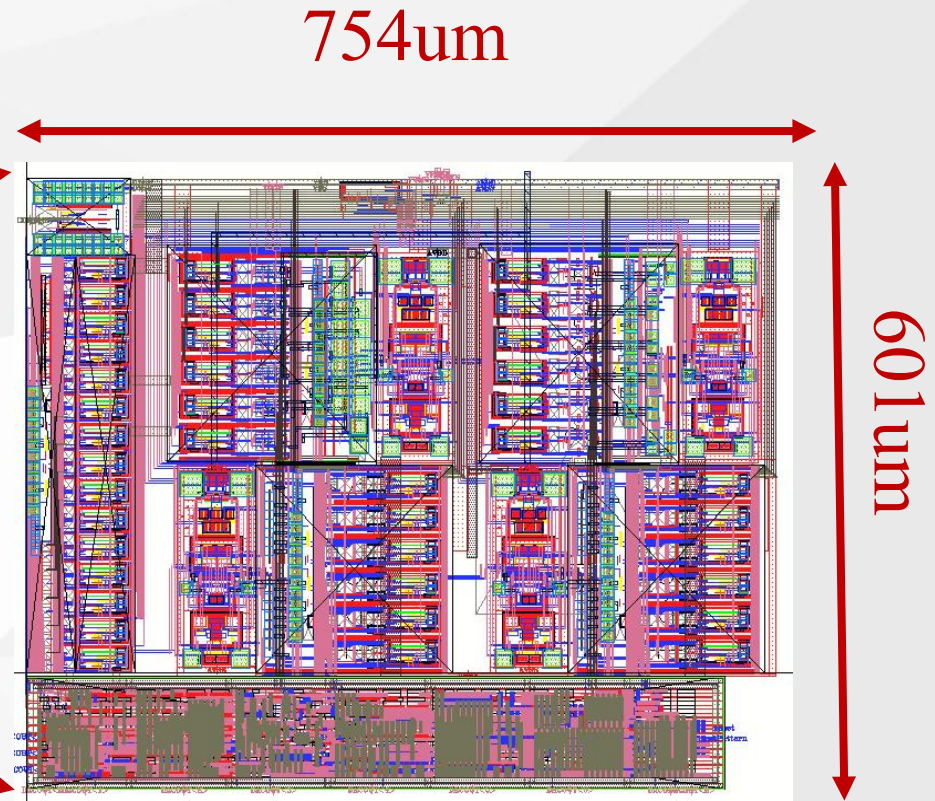
➤ 比较器失调电压仿真：
在16mV以内浮动

版图设计

1. 研究背景
2. 工作原理
3. 核心电路
4. 版图设计
5. 测试验证



Pipelined ADC芯片整体Layout



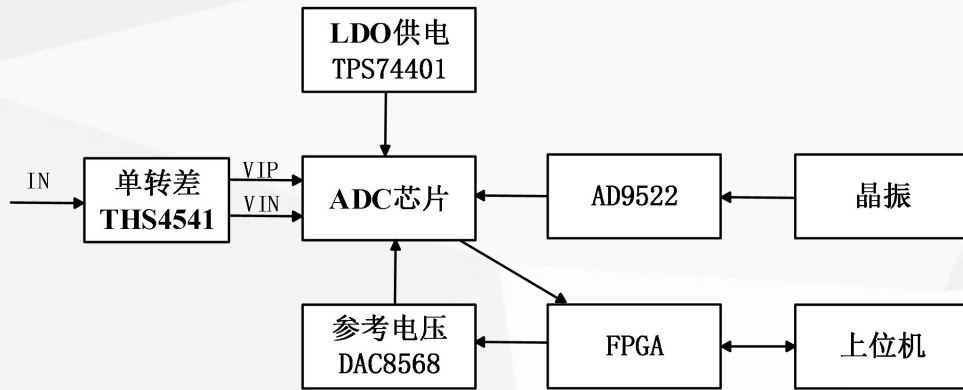
Pipelined ADC 核心电路Layout

- 芯片面积为 $1.45\text{mm} \times 1.32\text{mm}$ ，核心电路面积为 $754\mu\text{m} \times 601\mu\text{m}$ ，功耗小于 30mW 。
- 数字电源与模拟电源分开，加入缓冲级以减小寄生电容。
- 使用电源环将NMOS和PMOS分开，防止发生闩锁效应。
- 模拟信号走线与数字信号走线不能交叉，时钟走线长度尽可能一致。



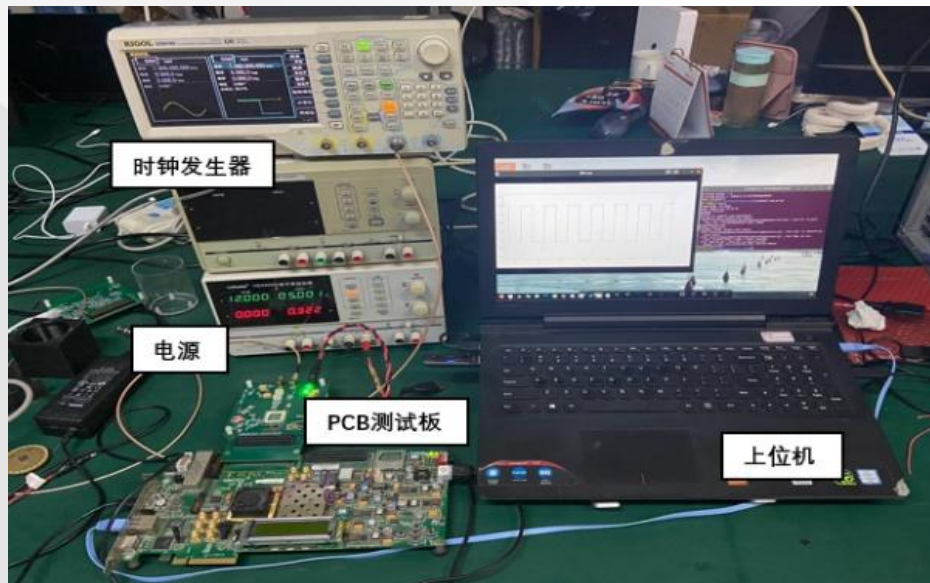
测试验证

1. 研究背景
2. 工作原理
3. 核心电路
4. 版图设计
5. 测试验证



测试流程图

输入信号正弦波分别采用**THS4541**芯片转换为差分信号，LDO芯片供电，**DAC8568**芯片提供偏置电压，上位机控制FPGA和DAC进行SPI通信进行配置，最后将ADC的输出码字通过FPGA传送给上位机进行分析



测试平台图



单转差差分输出图



测试验证

静态分析：采用斜波信号（三角波）进行测试，使用信号发生器向配置的ADC管脚输入频率为10MHz，电压为0~VDD的三角波，仿真结果如图显示，静态性能中DNL为 $\pm 3.6\text{LSB}$ ，INL为 $\pm 4.5\text{LSB}$ 。

动态分析：在电源电压为1.8V，输入信号幅值为1V，输入信号频率为3MHz的正弦波进行测试，采样3个周期，取4096个点，仿真结果如图显示，Pipeline ADC SFDR为76.9dB，SNDR为59.2dB，SNR为59.5dB，ENOB为9.54bit。

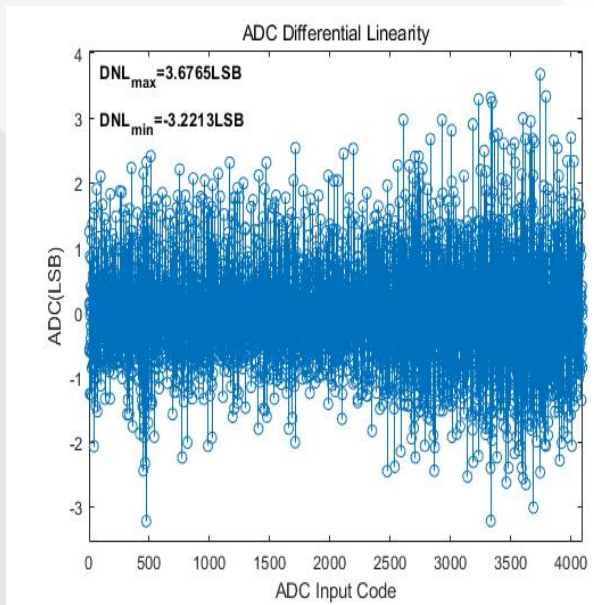
1. 研究背景

2. 工作原理

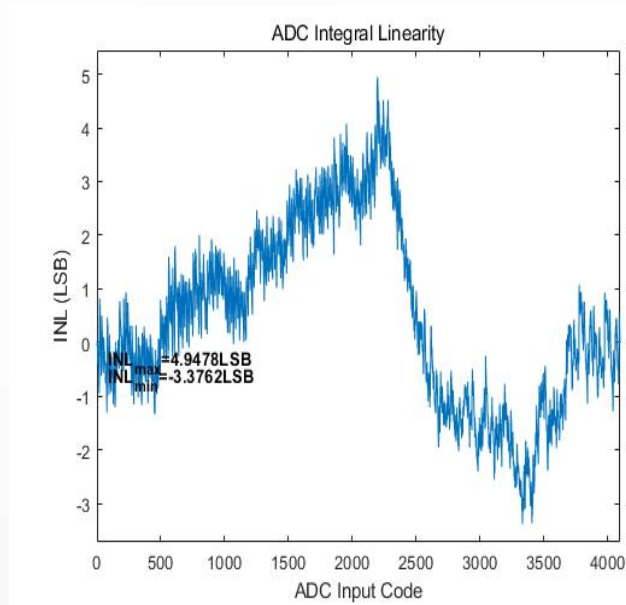
3. 核心电路

4. 版图设计

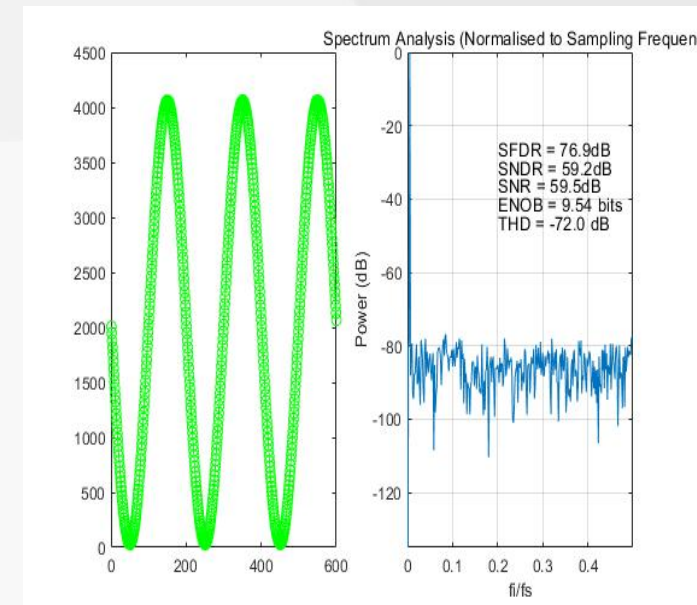
5. 测试验证



Pipelined ADC DNL分析



Pipelined ADC INL分析



Pipelined ADC 频谱分析



后续展望

1. 研究背景
2. 工作原理
3. 核心电路
4. 版图设计
5. 测试验证

- 进一步优化**电路噪声和失调**，提高信噪比和线性度。
- 从测试结果可以看出，静态性能和动态性能较后仿还有差距，下一版测试要慎重考虑**测试板上的输入信号，基准电压**等外部信号及板上产生的各种**寄生电容和电阻**。
- 在新一版的电路设计中，采用新颖的**运放结构**，例如**级间运放共享，动态放大器**，更大程度地节省面积和功耗，并且慎重考虑运放版图的布局布线尤其是电源线的布局。
- 完善数字校准方法，加入**前后台校准技术**，两种方法结合使用，以平衡校准的准确性、复杂性和功耗。

THANKS

谢谢聆听

