



西北工业大学

NORTHWESTERN POLYTECHNICAL UNIVERSITY



辐射探测与成像前端读出ASIC研究进展

高武

西北工业大学微电子学研究所

2018年6月



一、实验室简介

- 实验室名称：
 - 西北工业大学微电子学研究所 智能传感片上系统中法联合实验室
- 位置
 - 西北工业大学长安校区国防科技园（西安市长安区东祥路1号）





一、实验室简介

教师 (7人)

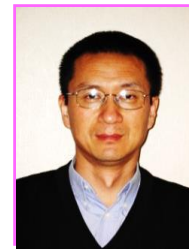
- 国家“千人计划”教授 → 1人
- 其他教授 → 2人
- 副教授 → 2人
- 讲师 → 1人
- 助理研究员 → 1人

学生 (40+人)

- 博士生 → 7人
- 硕士生 → 30人
- 每年接受大四本科毕业设计 → 20人



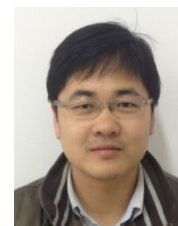
高武 教授
(模拟IC设计)



胡永才 教授
(模拟IC设计)



魏廷存 教授
(模拟IC设计)



郑然 副教授
(辐射效应)



王佳 副教授
(电源电路)



魏晓敏 助理研究员
(抗辐射加固)



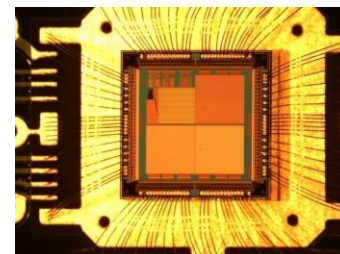
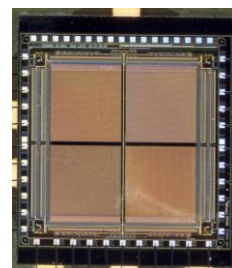
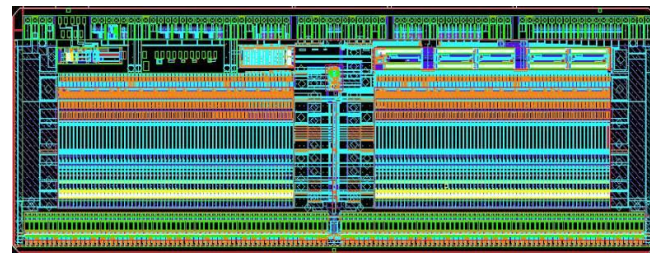
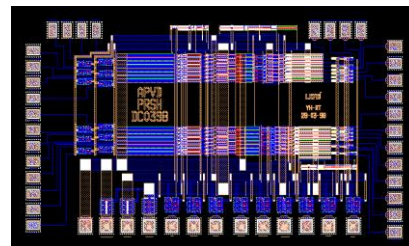
赵晨 助理教授
(数字IC设计)



一、实验室简介

研究方向一：前端微电子系统集成

- 研究内容
 - » 核辐射探测器前端读出和信号处理
 - » CMOS有源像素传感器芯片设计技术
- 研究特色
 - » 面向高能物理、生物医学成像和空间探测等应用；
 - » 结合智能器件的智能传感信号处理和系统集成；
- 主要成果
 - » 2007年以来，完成12型前端读出ASIC的研制，在CZT测试系统、PET/SPECT及个人剂量仪等方面得到应用。
 - » 承担国家重大仪器专项等国家级项目10余项，经费超过2000万元。
 - » 发表学术论文100余篇，获授权专利20余项。

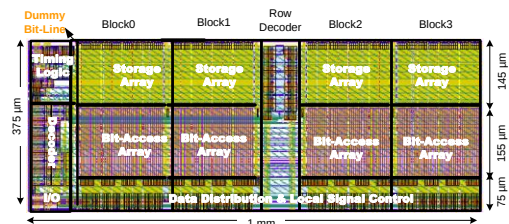
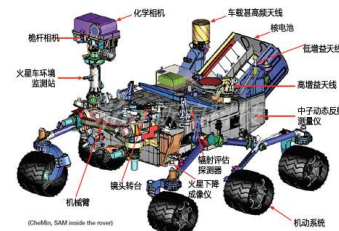




一、实验室简介

研究方向二：抗辐射集成电路设计

- 研究内容
 - » 空间辐射环境及辐射效应
 - » 商用CMOS工艺的电路级抗辐射加固设计
 - » 抗辐射芯片测试与性能评估
- 研究特色
 - » 面向航天、医学成像和核辐射等应用环境；
 - » 基于纳米CMOS工艺的抗辐射加固设计；
- 取得成果
 - » 2011年以来，已完成近10款抗辐射芯片的设计和测试，开展了空间环境辐射效应及集成电子系统抗辐射设计技术的研究。





一、实验室简介

实验平台

①混合信号集成电路EDA设计室(1000m²)；

②芯片电气测试室；

③裸芯片测试室(洁净间)；

④微电路组装加工室

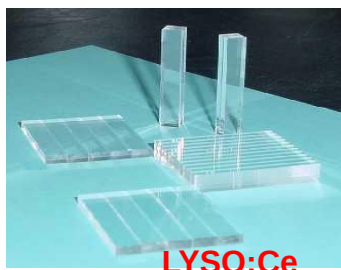


二、前端读出ASIC芯片研究进展

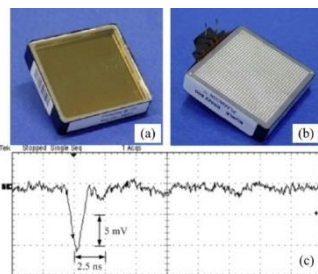
1. 小动物PET成像用前端读出ASIC (2007-2010)

研究背景

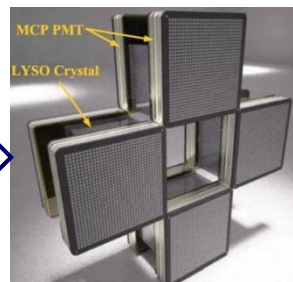
- 法国斯特拉斯堡大学→多模小动物分子级医学成像仪器(欧盟第6框架项目)
- MicroPET: 空间分辨率→ 1mm^3 ; 探测效率→15%; 时间分辨率→小于1ns;
- 探测器模组: LYSO(Ce) 闪烁晶体+MCP光电探测器两端读出
 - ✓ LYSO(Ce) 晶体→ $1.5\text{ mm} \times 1.5\text{ mm} \times 25\text{ mm}$ → 32×24
 - ✓ MCP探测器: 32×32 像素阵列 (Hamamatsu Photonics)
- 前端电子学: 6144 电子通道, 同时完成能量采集和时间测量
 - ✓ 多通路前端读出ASIC



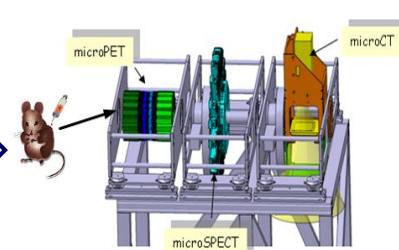
~ 25000
photons/MeV



Gain = $10^4 \sim 10^7$



Four modules
readout at both ends



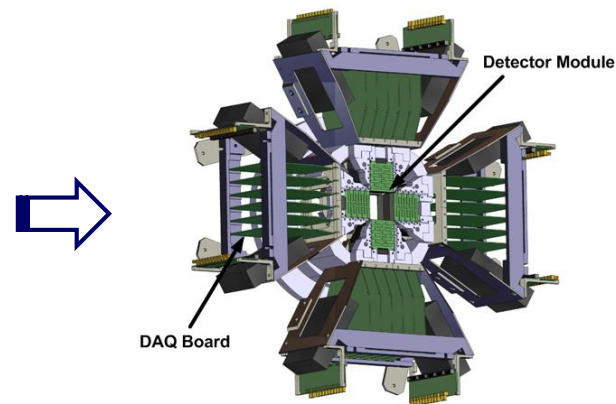
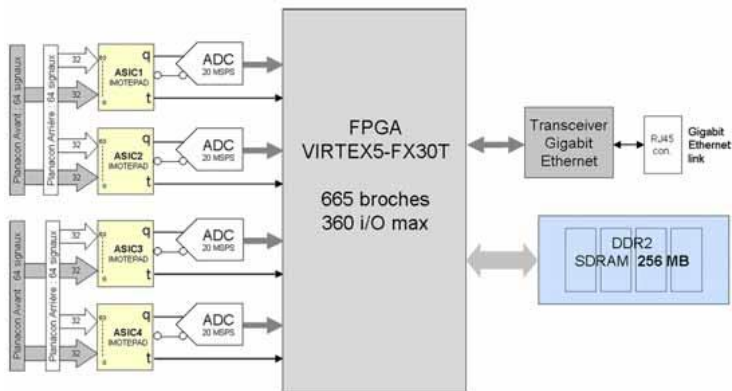
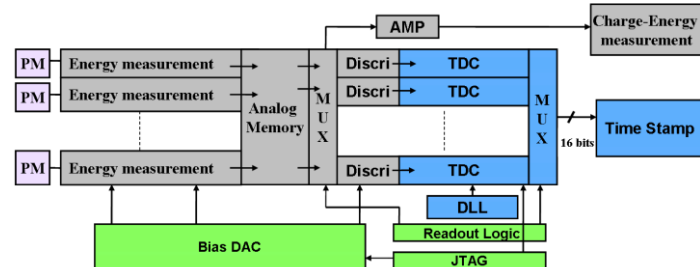
511 keV gamma →
~100 pC charges

二、前端读出ASIC芯片研究进展

1. 小动物PET成像用前端读出ASIC (2007-2010)

解决方案

- 集成方案：64路模拟前端+TDC通路
- 读出方案：顺序读出+可级联
- 能量采集：模拟前端+模拟存储器 (Monostable)
- 时间测量：鉴别器+集成TDC
- 可配置功能：JTAG + Bias DAC
- 数据采集：4颗ASIC+FPGA (256路/PCB)

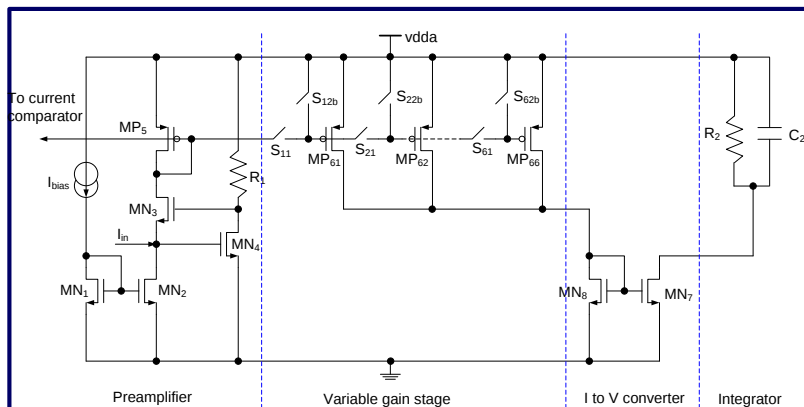
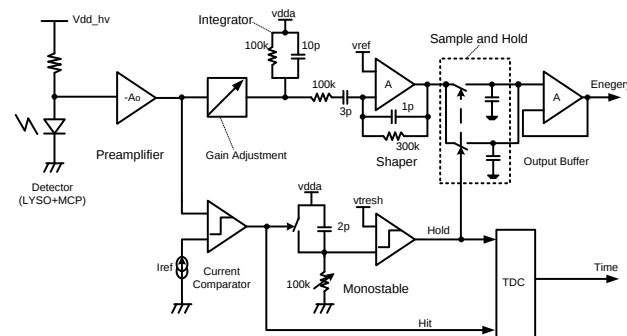


二、前端读出ASIC芯片研究进展

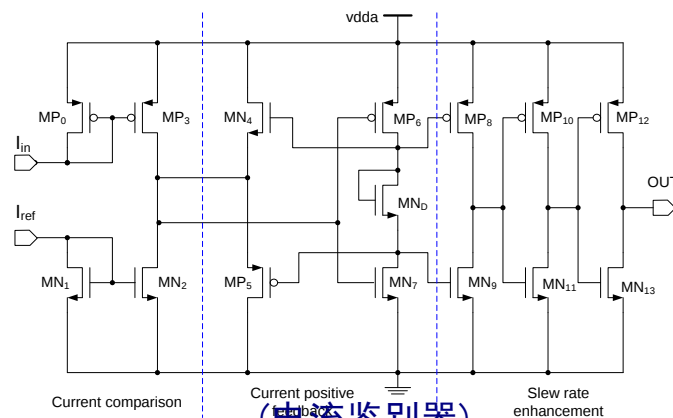
1. 小动物PET成像用前端读出ASIC (2007-2010)

前端
读出
芯片
设计
关键
技术

- 大动态范围(100pC) → 跨阻放大器+增益调节+开路积分;
- 能量测量: TIA+CR-RC+模拟存储器 (Monostable)
- 时间测量: 电流比较器+flash TDC



(模拟前端读出电路)



(电流鉴别器)

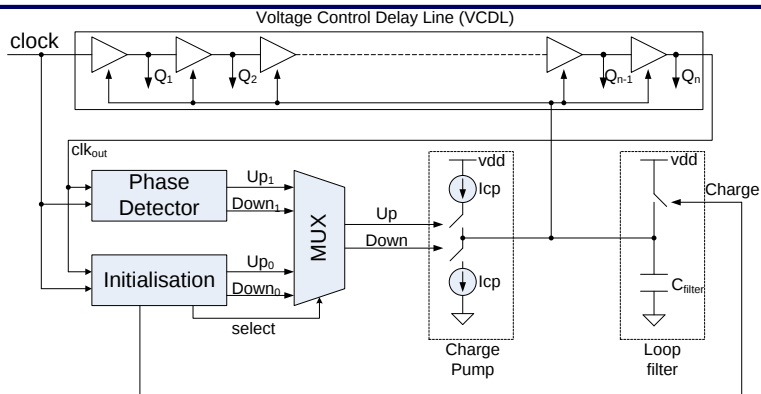
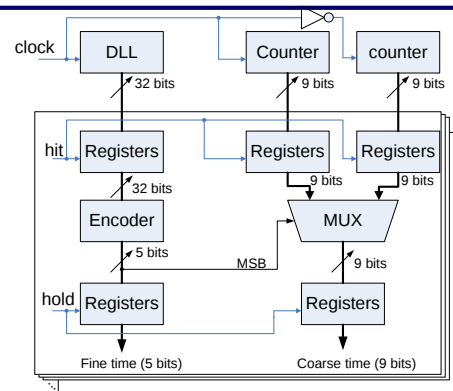
(IEEE Thiacas, 2011)

二、前端读出ASIC芯片研究进展

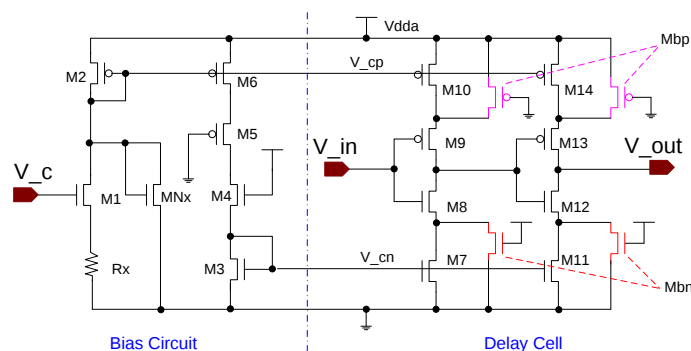
1. 小动物PET成像用前端读出ASIC (2007-2010)

前端读出芯片设计关键技术

- 大范围/亚纳秒时间测量→
Flash TDC
- 粗转换 (10us) : 9位计数器
- 细转换 (625ps) : 延迟锁相环
→ 32 相位



(延迟锁相环)



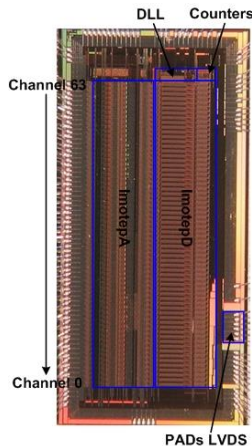
(延时单元)

(NIM A, 2011)

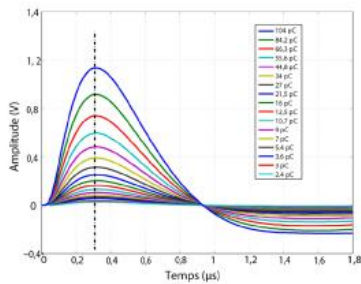
二、前端读出ASIC芯片研究进展

1. 小动物PET成像用前端读出ASIC（2007–2010）

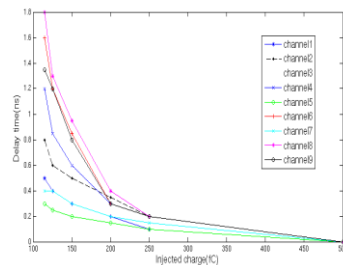
前端
读出
芯片
测试
结果



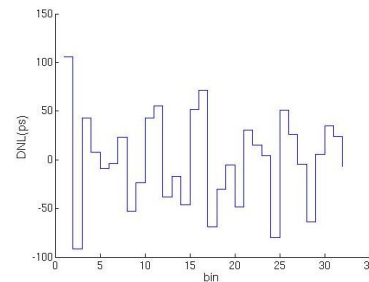
	参数	性能指标
探测器	Detector Module	LYSO(Ce)+ MCP PMT
	Dynamic range	few fC to 104 pC
	Gain	13.1 mV/pC
模拟前端	peaking time(CR-RC)	280 ns
	Non-linearity	< 3%
	Crosstalk	< 0.2%
	RMS Noise	300 μ V
	Power consumption	16.8 mW/channel
	Jitter	42 ps (rms)
TDC	DNL (LSB)	± 0.17
	INL (LSB)	± 0.31
应用	PMT探测器	小动物PET



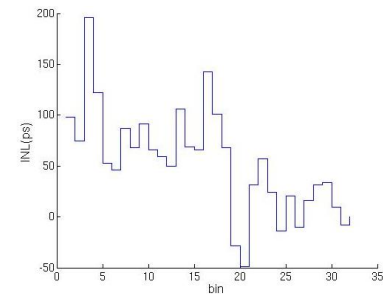
AFE输出波形



Time Walk



DNL of TDC



INL of TDC

(NIM A, 2011)

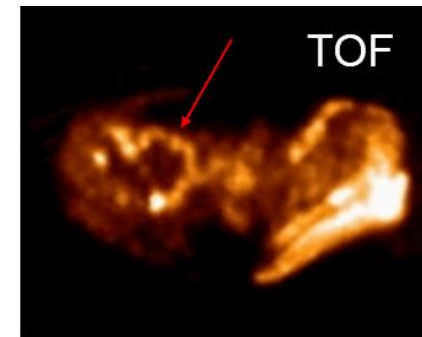
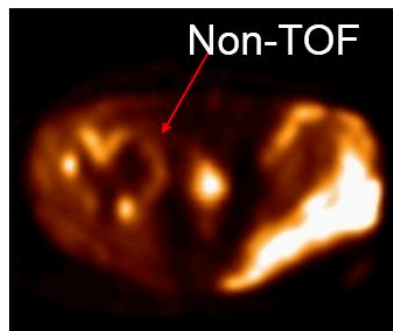
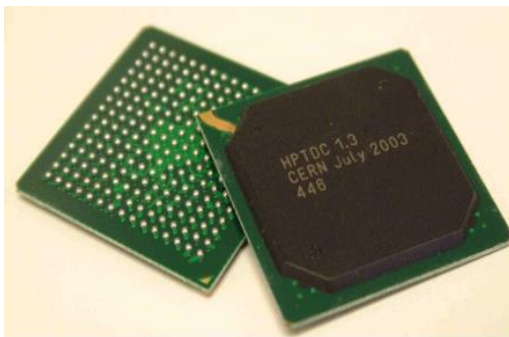
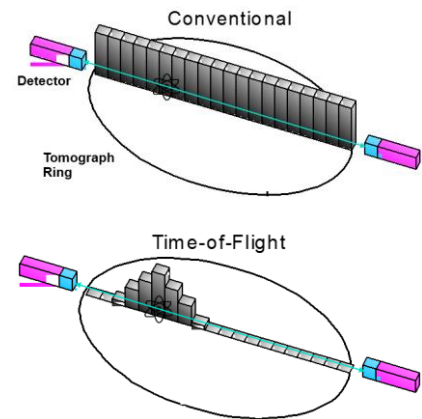
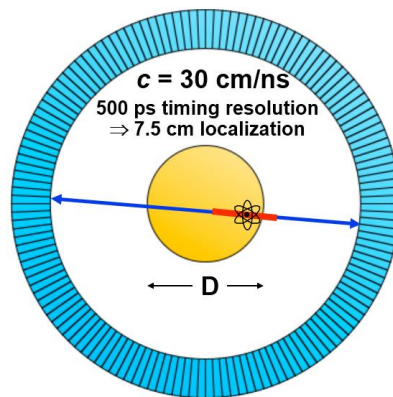
二、前端读出ASIC芯片研究进展

2. 基于延迟锁相环阵列多通路快闪TDC (2009–2010)

研究背景

- TOF PET：减小图像噪声
- 500ps分辨率（人体）
- 需要更高精度的TDC → CFD/Discriminator+TDC
- CERN HPTDC → 50ps
- TDC与模拟前端同衬底集成

How?

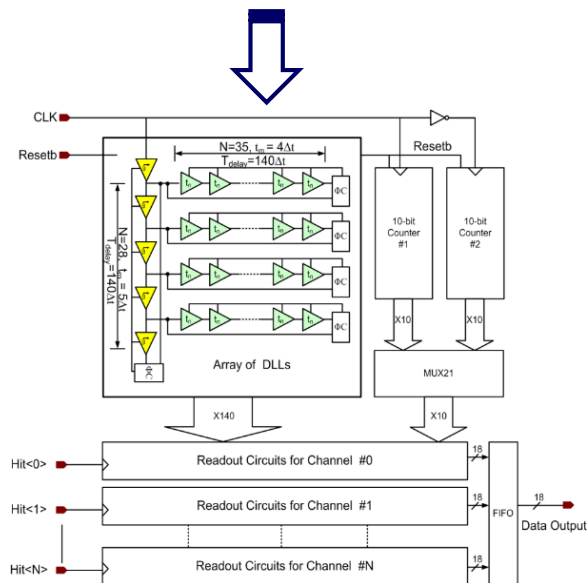
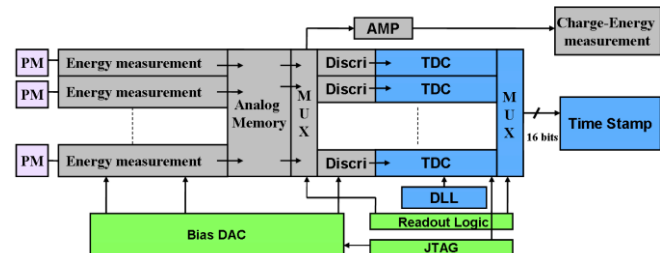
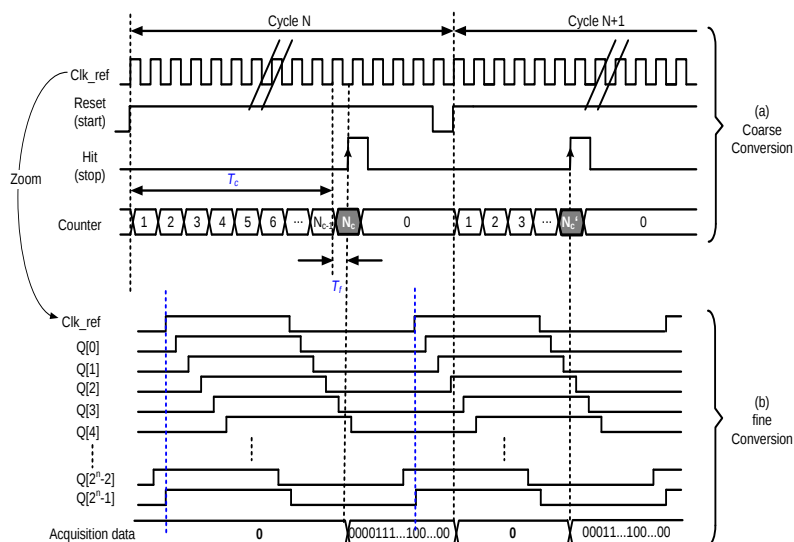


二、前端读出ASIC芯片研究进展

2. 基于延迟锁相环阵列多通路快闪TDC (2009–2010)

- 粗细两级快闪TDC (10 μ s范围)
- 采用延迟锁相环阵列 $\rightarrow$ 更小的时间间隔
- 多通道结构 $\rightarrow$ 与模拟前端对应集成
- 设计关键：低抖动延迟锁相环

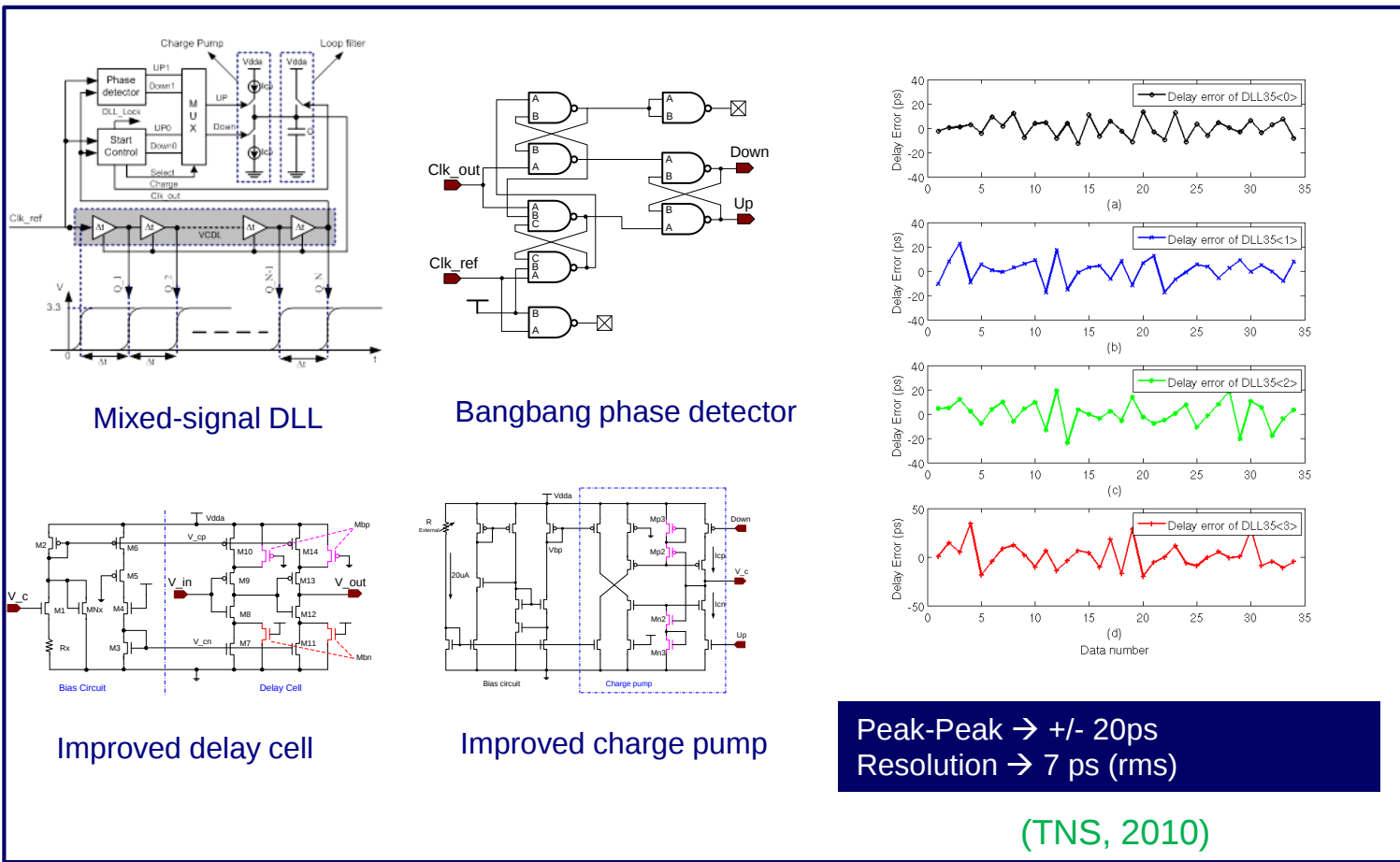
解决方案



二、前端读出ASIC芯片研究进展

2. 基于延迟锁相环阵列多通路快闪TDC (2009-2010)

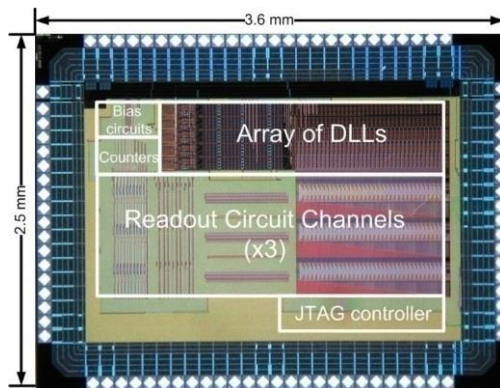
TDC
设计
关键
技术



二、前端读出ASIC芯片研究进展

2. 基于延迟锁相环阵列多通路快闪TDC (2009–2010)

TDC
芯片
测试
结果

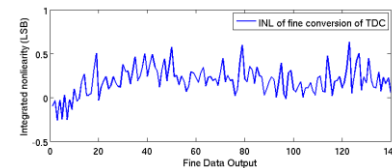
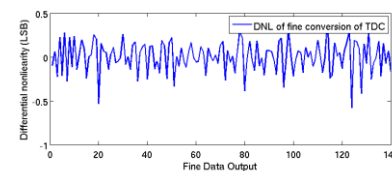
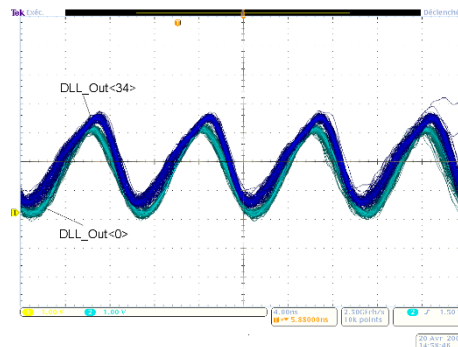
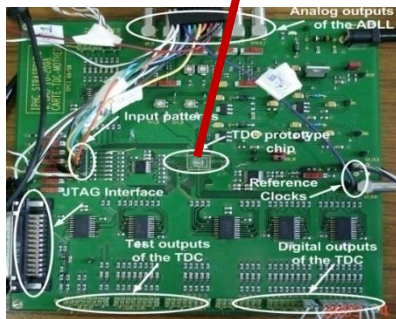


(原理样片TDCADLL1)

参数

测试结果

Bin size (LSB)	71 ps
Jitter	7 ps (rms)
	20 ps(p-p)
DNL	± 0.58 LSB
INL	± 0.63 LSB
Power diss.	23 mW (static)
	106 mW (dynamic)



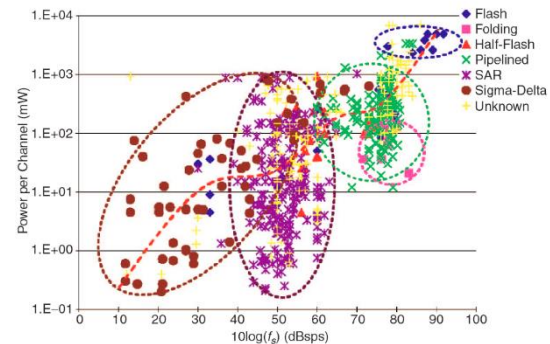
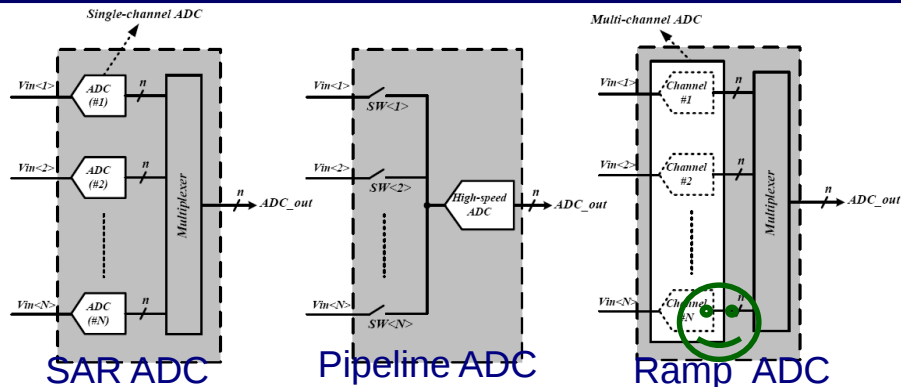
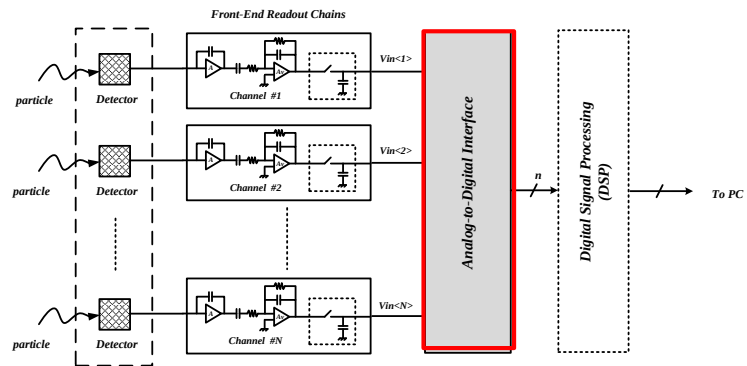
(TNS, 2010)

二、前端读出ASIC芯片研究进展

3. 基于数字延迟锁相环的多通路单斜坡ADC (2010-2011)

研究背景

- 多通道模拟前端读出电路中的能量电压信号需要ADC进行数字化
- 读出电路全数字输出→减小前端电子学系统体积、增加可靠性
- A/D转换电路结构优化
 - ✓ 通路数: 64
 - ✓ 分辨率: 12位
 - ✓ 转换速率: >1M/s

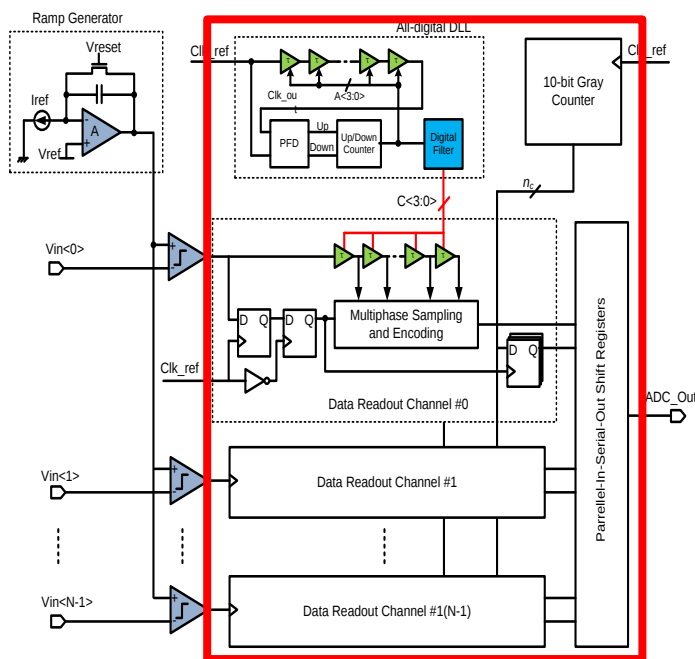


二、前端读出ASIC芯片研究进展

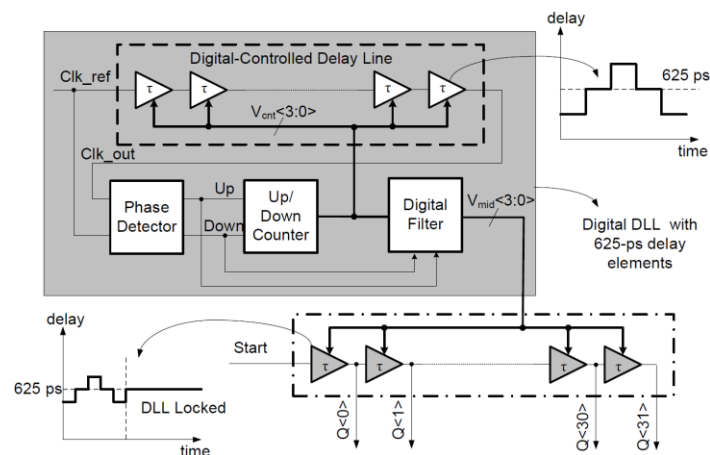
3. 基于数字延迟锁相环的多通路单斜坡ADC (2010–2011)

改进
ADC
设计
关键
技术

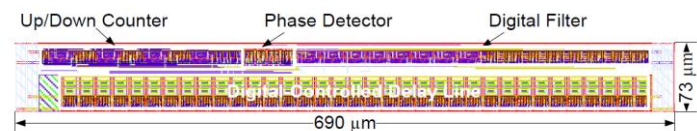
➤ 提出基于数字延迟锁相环的斜坡ADC结构



Small "A" Large "D"



全数字延迟锁相环原理图

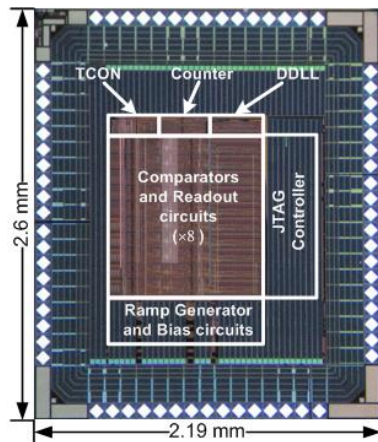


全数字延迟锁相环版图

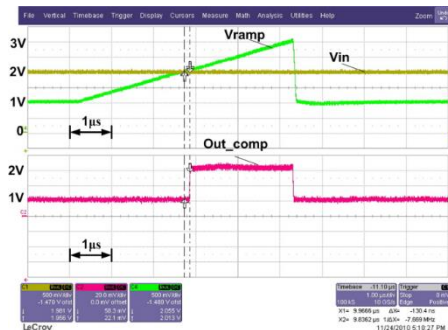
二、前端读出ASIC芯片研究进展

3. 基于数字延迟锁相环的多通路单斜坡ADC (2010–2011)

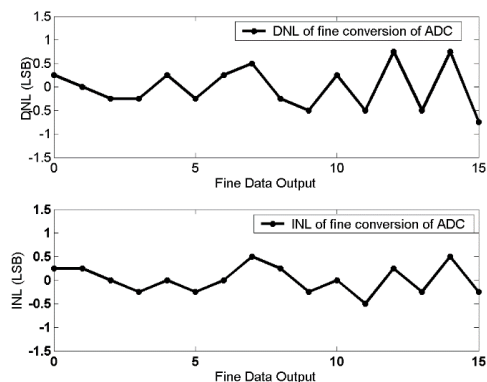
改进
ADC
测试
结果



(原理样片TBMCADC1)



参数	测试结果
结构	Wilkinson ADC+
分辨率	数字延迟锁相环
通道数	12 (典型)
时钟频率	100MHz
采样率	190kS/s ~ 1.28MS/s
DNL	$\pm 0.5\text{LSB}$
INL	$\pm 0.75\text{LSB}$
静态功耗	3mW+0.2mW/channel



(TNS, 2011)

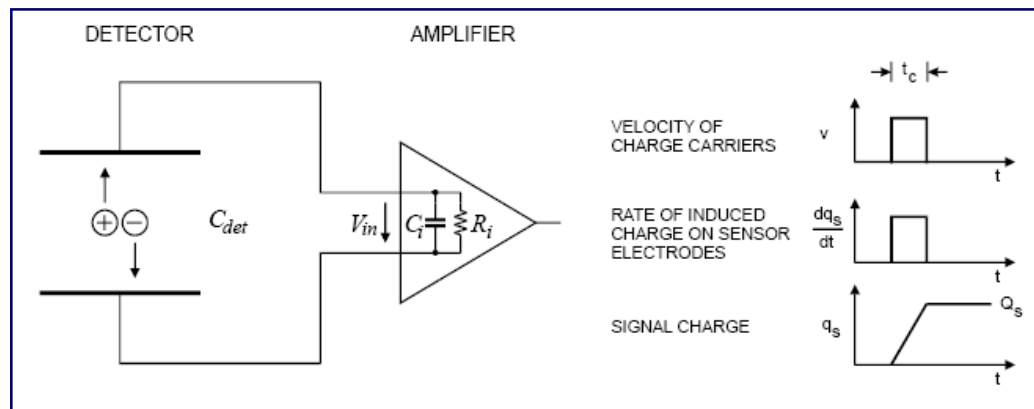
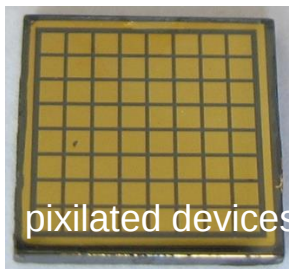
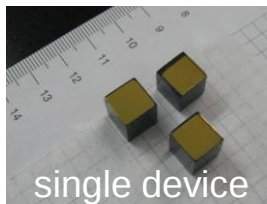
二、前端读出ASIC芯片研究进展

4. CZT探测器低噪声模拟前端ASIC (2012-2014)

研究背景

CdZnTe Detector(碲锌镉探测器)

- Bias voltage → several hundred Volts (~500V)
- Leakage current → 5 nA @ 100V for single device; ~100 pA @100 V for pixilated devices.
- Detector capacitance → 5pF for single devices; ~1 pF /pixel for pixel devices.
- The average signal charge → $Q_s = \frac{E}{E_i} e$, where $E_i = 4.65$ eV



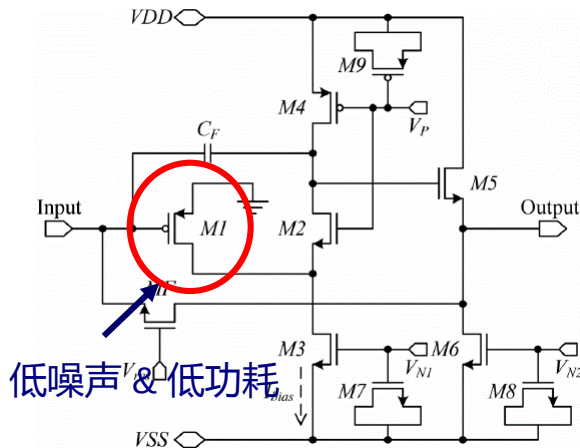
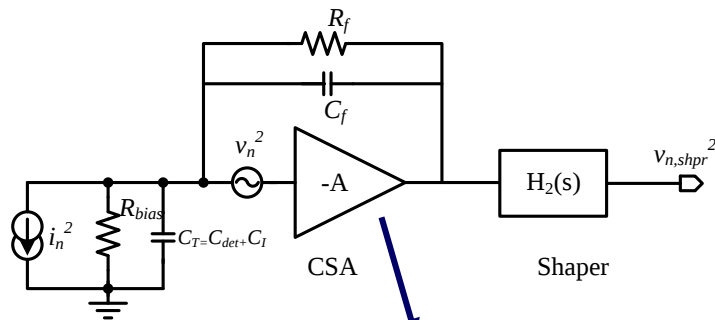
(TNS, 2011)

二、前端读出ASIC芯片研究进展

4. CZT探测器低噪声模拟前端ASIC (2012-2014)

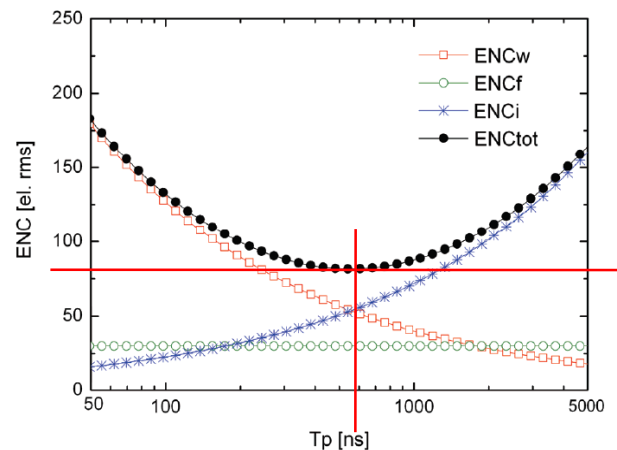
CZT
读出
电路
设计
关键
技术

➤ 电荷积分型前端读出电路低噪声设计



$$ENC^2 = ENC_i^2 + ENC_v^2 + ENC_f^2$$

$$\begin{cases} ENC_i^2 = 0.462t_p \left[qI_{det} + 2kT \left(\frac{1}{R_{bias}} + \frac{1}{R_f} \right) \right] \\ ENC_v^2 = 3.696 \frac{(C_F + C_T)^2}{t_p} \frac{kT\gamma_n}{g_{m1}} \\ ENC_f^2 = 3.696(C_F + C_T)^2 \frac{g_{m1}}{C_{ox}^2} \frac{1}{WL} \end{cases}$$

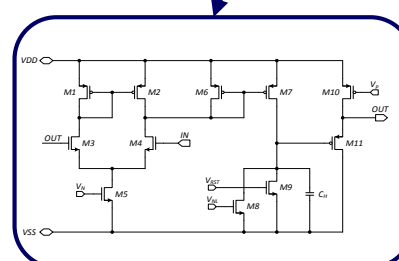
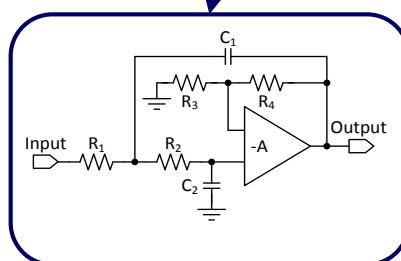
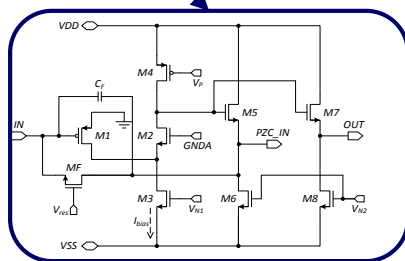
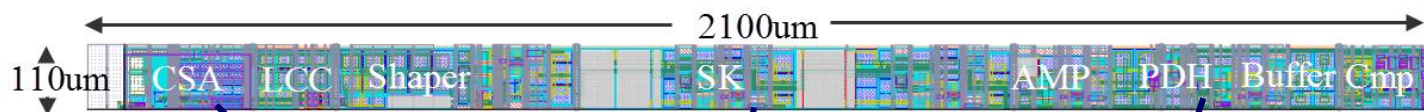


(TNS, 2011)

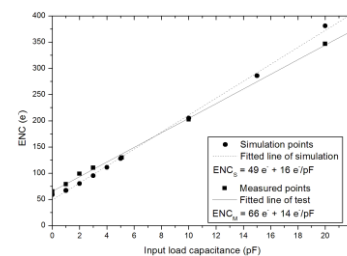
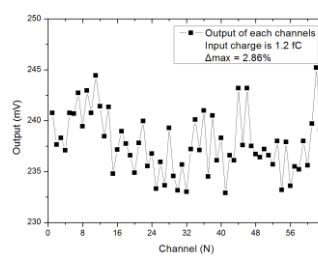
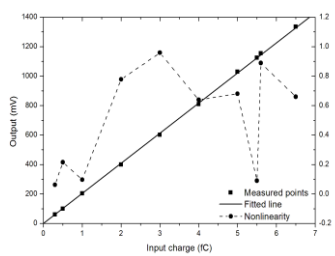
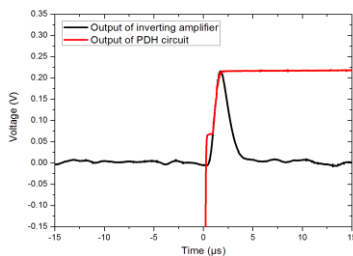
二、前端读出ASIC芯片研究进展

4. CZT探测器低噪声模拟前端ASIC (2012-2014)

➤ 电荷积分型前端读出电路单通路集成设计



CZT
读出
电路
设计
关键
技术



(TNS, 2011)

二、前端读出ASIC芯片研究进展

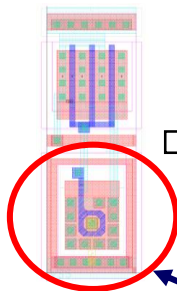
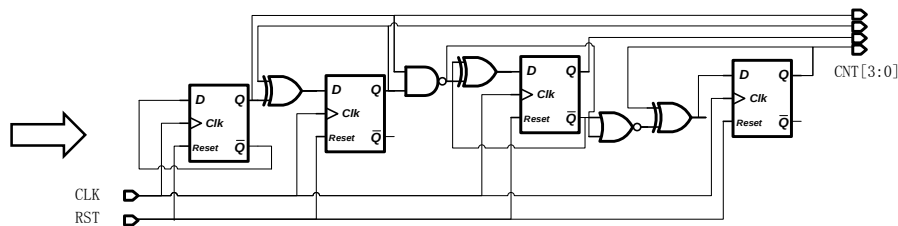
4. CZT探测器低噪声模拟前端ASIC (2012-2014)

CZT
读出
电路
设计
关键
技术

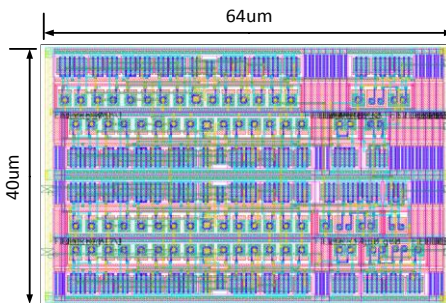
➤ 电荷积分型前端读出电路抗辐射加固设计

```
module counter(clk,rst,cnt);
input clk,rst;
output [3:0] cnt;

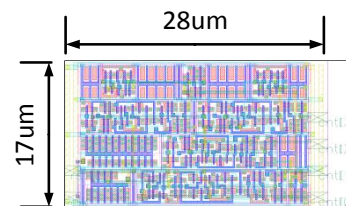
always @ (posedge clk or negedge rst)
begin
    if (!rst)
        cnt <= 4'b0;
    else
        cnt <= cnt + 4'b1;
end
```



电路和版图级加固设计



RadHard



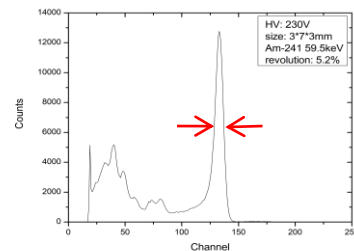
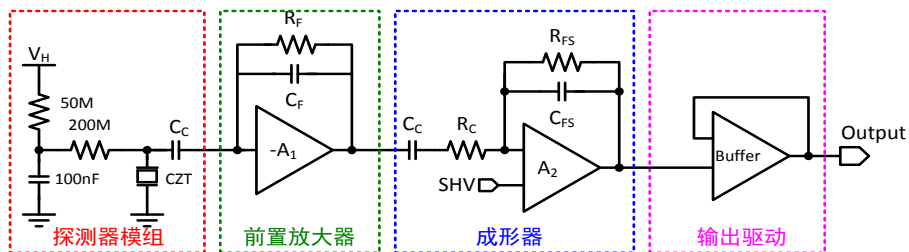
Non-RadHard

(TNS, 2011)

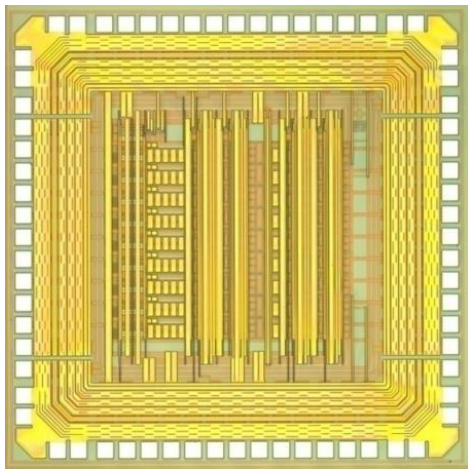
二、前端读出ASIC芯片研究进展

4. CZT探测器低噪声模拟前端ASIC (2012-2014)

➤ 大面阵CZT单元探测器前端读出电路



CZT
读出
电路
测试
结果



(原理样片SENSROC2)

参数

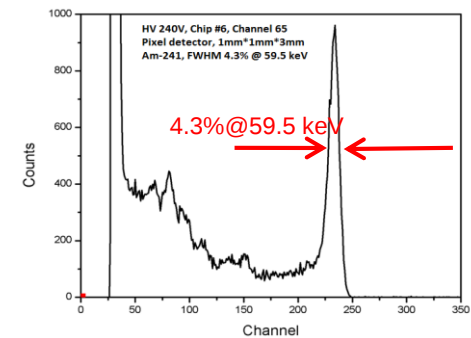
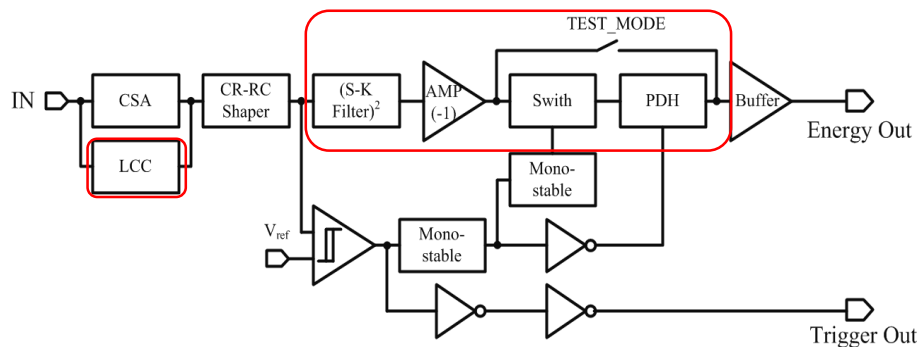
性能指标

Detector Module	CZT晶体 (3mm × 7mm× 3mm) CZT晶体 (5mm × 5mm× 2mm)
Process	CMOS 0.35um 3.3V MS
Die size	2.0 mm × 2.0 mm
Power Supply (V)	±1.65 V
Input range(e-)	2k~60k
ENC (rms)	57.5 e-+9.7e-/pF (after 200krad(Si) TID)
Radiation Hardness	TID: 200k rad (Si)
Application	CZT/Si-PIN Detector

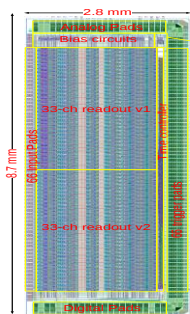
二、前端读出ASIC芯片研究进展

4. CZT探测器低噪声模拟前端ASIC (2012-2014)

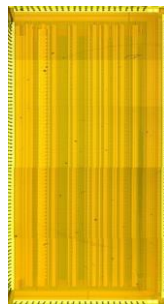
➤ CZT像素探测器前端读出电路



CZT
读出
电路
测试
结果



(原理样片SENSROC8)



(工程样片SENSROC10)

参数	性能指标
Detector	8×8阵列CZT晶体 (Pixel size : 1mm × 1mm× 3mm)
Process(μm)	CMOS 0.35um 3.3V MS
Channel No.	64
Input range(e-)	2k~247k
ENC (rms)	66 e-+14e-/pF (tested)
Consistency	< 3 %
Applications	X-ray and γ-ray imaging

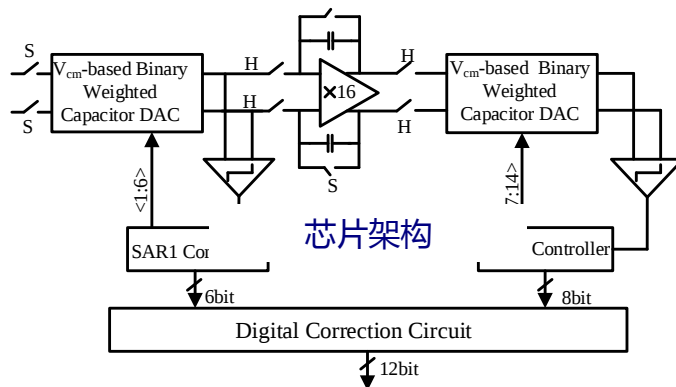
(NIM A, 2014)

二、前端读出ASIC芯片研究进展

5. 流水线逐次逼近ADC (2016)

ADC 电路 测试 结果

➤ 12位、10MS/s、10 mW

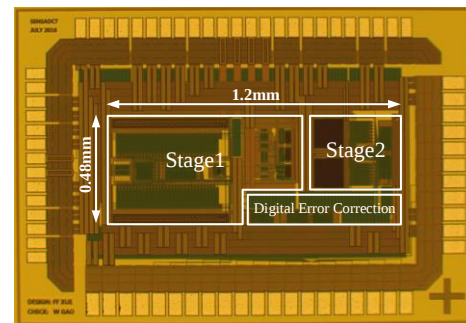


◆主要特点

- (1) 采用一种新型MDAC，在放大阶段的功耗减少为传统MDAC的1/2.
- (2) 针对二进制电容阵列，采用一致布线策略，提高电容的匹配度。

(Jint, 2016)

(原理样片SENSADC3)



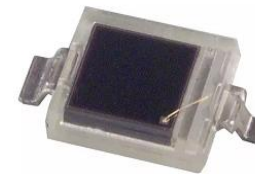
参数	测试结果
Technology	CMOS 0.18 μm
Resolution	12 bit
Sampling Rate	10MS/s
Supply Voltage	Analog 1.8 V/Digital 1.8 V
ENOB	10.8bits
DNL	+1.06/ -0.57LSB
INL	+1.38/ -1.54 LSB
Power	10 mW
FoM	0.56 pJ/conv

二、前端读出ASIC芯片研究进展

6. 个人剂量仪用二进制输出前端读出ASIC (2017-now)

个人
计量
仪读
出电
路测
试结
果

- Ionization radiation in hospital and laboratories
- military personal searching for nuclear materials
- Occupational exposure in nuclear power plants
- Other nuclear leakage detection...



Si-PIN探测器



个人剂量仪

Parameters	Specifications
Power Voltage	3.3 V
Channel No.	2-channel or 4-channel
Detector Capacitance	20 pF
Input Charge Range	0.2 fC ~ 15 fC
Shaping Time	<1 μ s
Gain	> 60 mW/fC
ENC	<100 e ⁻ @0 pF
Counting Rate	1 MCPS
Power Dissi.	1 mW/channel

(TNS, 2018)

二、前端读出ASIC芯片研究进展

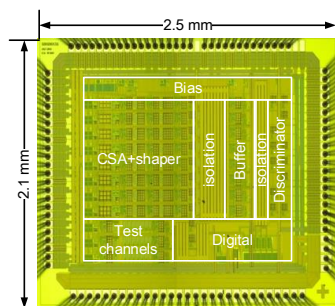
6. 个人剂量仪用二进制输出前端读出ASIC (2017-now)

个人
计量
仪读
出电
路测
试结
果

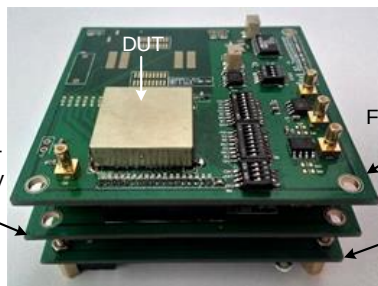


Si-PIN探测器 个人剂量仪

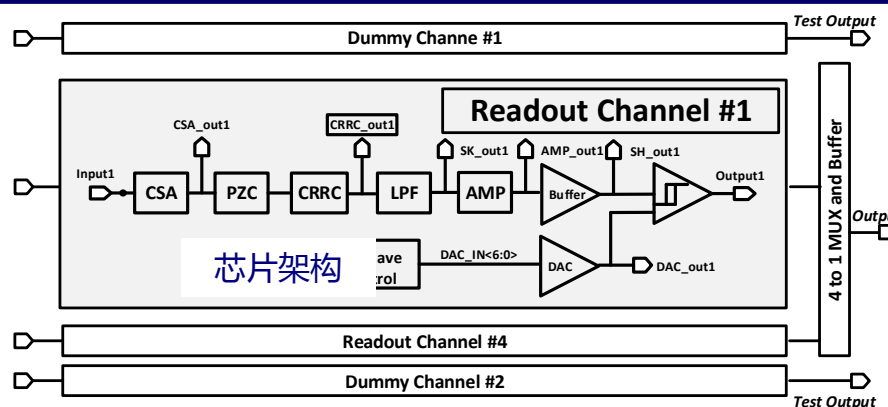
2018年底提供工程样片5000颗



工程样片
(SENSROC11)



测试平台



参数	性能指标
探测器	CZT探测器 (3mm × 7mm × 3mm)
Process	CMOS 0.18μm 1.8/3.3V MS
die size	2.1 mm × 2.5 mm
Input Range	0.2 fC - 7 fC
Linearity	< 3%
Gain	>100 mV/fC
ENC	112 e ⁻ + 17 e ⁻ /pF
Count rate	10 ⁵ (100 kCPS)
Power Diss.	1.74 mW/channel
Application	Electronic Personal Dosimeter

(TNS, 2018)



三、已掌握的关键技术

ASIC设计技术

- **低噪声设计**
 - ✓ PMT/CZT/Si-PIN
 - ✓ 读出系统建模
 - ✓ 低噪声拓扑结构
 - ✓ 低噪声电路设计
- **大通路集成**
 - ✓ 64路/128路电路架构
 - ✓ 通道一致性解决方案
 - ✓ 数模混合信号集成
- **低功耗设计**
 - ✓ 时钟门控、电源门控
 - ✓ 动态电源管理
- **抗辐射加固设计**
 - ✓ 总剂量
 - ✓ 位移损伤
 - ✓ 单粒子

ASIC流片经验

- **奥地利AMS 0.35 μ m工艺**
 - ✓ PET成像读出ASIC
 - ✓ 锁相环
 - ✓ 多路ADC
 - ✓ 多路TDC
- **台积电TSMC 0.35 μ m工艺**
 - ✓ Si-PIN读出ASIC系列
 - ✓ 逐次逼近ADC
- **台积电TSMC 0.18 μ m工艺**
 - ✓ CZT读出ASIC
 - ✓ 流水线逐次逼近ADC
- **中芯国际、华润上华CMOS工艺**
 - ✓ CZT读出ASIC
 - ✓ 逐次逼近ADC
 - ✓ SRAM芯片

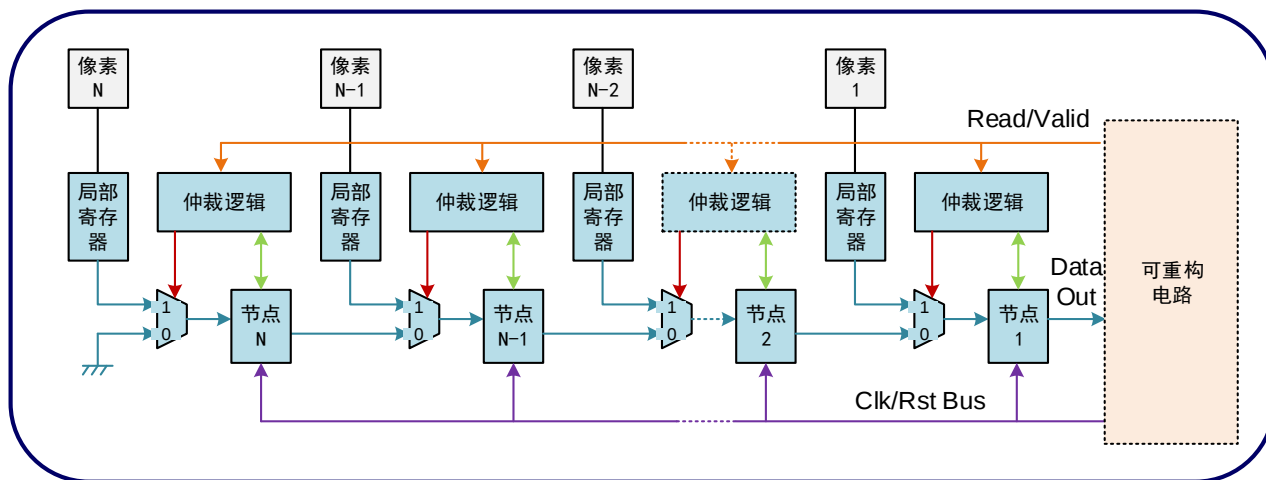
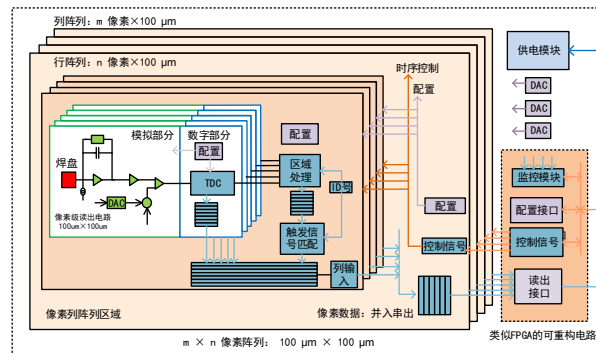
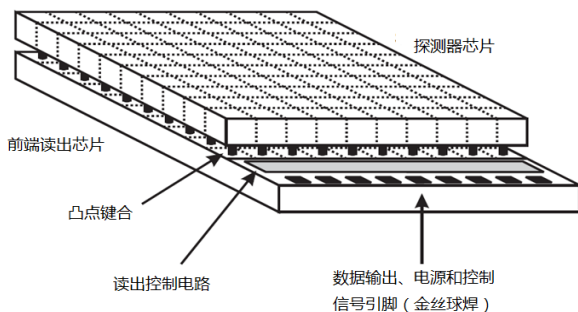
ASIC测试技术

- **电气性能测试**
 - ✓ 输入-输出特性
 - ✓ 线性度
 - ✓ 等效噪声电荷
 - ✓ 通道/芯片一致性
 - ✓ 功耗
 - ✓ 计数率
 - ✓ DNL/INL
- **能谱测试**
 - ✓ Am-241、Cs-137
 - ✓ ORTEC NIM测试平台
 - ✓ 能量分辨率
- **抗辐射能力测试与评估**
 - ✓ 总剂量试验
 - ✓ 单粒子试验
 - ✓ 故障注入测试

四、下一步研究计划

1. 混合阵列探测器像素化读出ASIC的研制

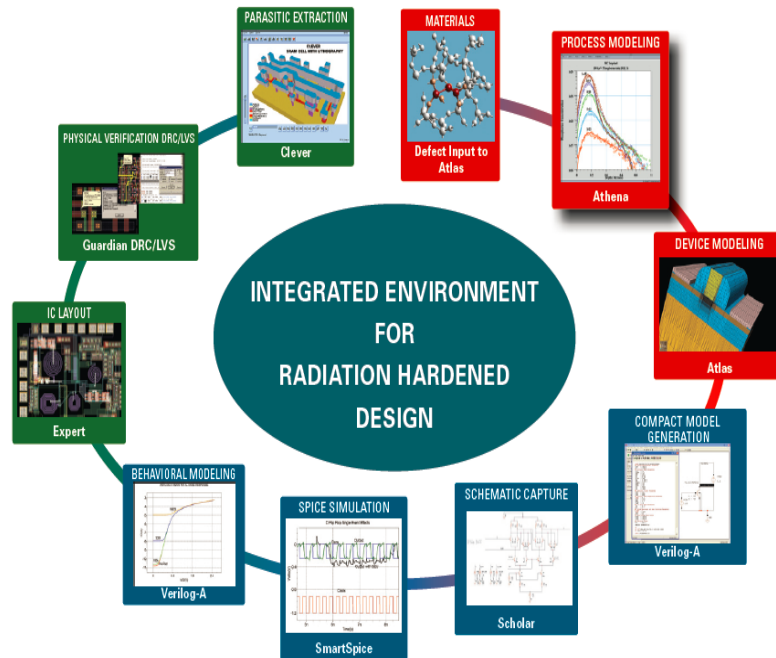
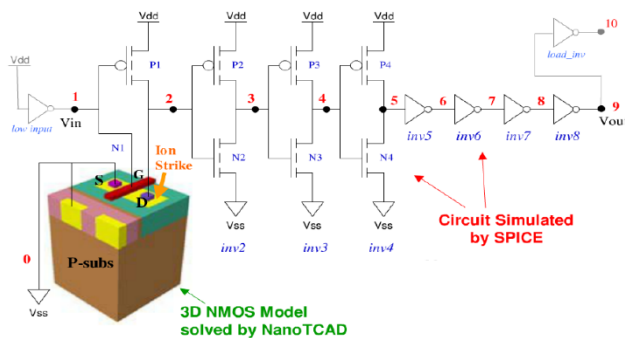
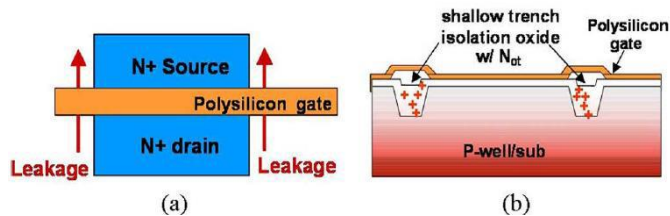
- 应用：CZT/硅像素探测器、气体探测器→粒子检测、同步辐射
- 研究内容：像素级电荷-数字转换、像素化电路结构、高速接口、可编程配置等；



四、下一步研究计划

2. CMOS前端读出ASIC的抗辐射加固设计

- 应用：空间X射线探测、粒子检测
- 研究内容：总剂量、位移损伤和单粒子效应的加固策略与方法
- 抗辐射能力：总剂量 $> 100 \text{ Mrad (Si)}$, 单粒子效应免疫；





西北工业大学
NORTHWESTERN POLYTECHNICAL UNIVERSITY



请各位专家批评指正

谢谢！