



STCF时钟与数据传输研究进展

王进红 郭迪 彭亮

2024年07月09日



目 录

1

总体进展情况

2

总体方案介绍

3

技术研究进展

4

总结和展望

总体进展情况

ID	任务名称	开始	完成	持续时间	任务指标	是否强制检验点	2023												2024												2025												2026												2027					
							1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月	4月	5月	6月
1	时钟分发系统：调整整体方案	1/2/2023	6/30/2023	26w	提出系统时钟分发方案	否	[Progress bar]																																																					
2	数据传输ASIC：关键技术方案调研	1/2/2023	6/30/2023	26w	明确关键技术模块划分，以及设计需求	否	[Progress bar]																																																					
3	时钟分发系统：方案评估	7/3/2023	1/3/2024	26.6w	评估确定技术方案	否	[Progress bar]																																																					
4	数据传输ASIC：完成数据传输ASIC关键模块第一版设计：“时钟管理模块”、“光收发”模块	7/11/2023	5/3/2024	42.8w	第一版“时钟管理模块”、“光收发”模块ASIC设计	否	[Progress bar]																																																					
5	时钟分发系统：第一版设计	1/2/2024	6/3/2024	22w	完成第一版时钟分发系统设计	否	[Progress bar]												[Progress bar]																																									
5	数据传输ASIC：准备第一版“时钟管理模块”、“光收发”模块测试验证系统	1/2/2024	6/3/2024	22w	完成相应ASIC测试评估系统设计及测试准备	否	[Progress bar]												[Progress bar]																																									
7	时钟分发系统：第一版性能评估	6/11/2024	1/3/2025	29.8w	评估第一版时钟分发系统性能	否													[Progress bar]																																									
8	数据传输ASIC：第二版“时钟管理模块”、“光收发”设计	6/11/2024	2/3/2025	34w	完成第二版“时钟管理模块”、“光收发”模块设计	否													[Progress bar]																																									
9	数据传输ASIC：第一版“串行数据发射”设计	2/15/2024	2/3/2025	50.6w	完成第一版“串行数据发射”设计	否													[Progress bar]																																									
10	时钟分发系统：第二版时钟分发模块设计	1/3/2025	6/5/2025	22w	完成第二版时钟分发系统设计	否																									[Progress bar]																													
11	数据传输ASIC：准备第二版“时钟模块”模块、“光收发”模块测试系统	1/3/2025	7/28/2025	29.4w	完成相应ASIC测试评估系统设计及测试准备	是																									[Progress bar]																													
12	强制检验	8/4/2025	8/4/2025	0w																																																								
13	时钟分发系统：第二版性能评估及参与联调	6/6/2025	12/29/2025	29.4w	评估第二版时钟分发系统性能	是																									[Progress bar]																													
14	强制检验	12/29/2025	12/29/2025	0w																																																								
15	数据传输ASIC：准备第一版“串行数据传输”模块测试系统	1/3/2025	6/5/2025	22w	完成相应ASIC测试评估系统设计及测试准备	否													[Progress bar]																																									
16	数据传输ASIC：第二版“串行数据发射”模块设计	5/14/2025	12/29/2025	32.8w	根据第一版做对应的优化、改进	否																									[Progress bar]																													
17	数据传输ASIC：第一版“串行数据接收”模块设计	5/14/2025	12/29/2025	32.8w	第一版“串行数据接收”模块设计	否																									[Progress bar]																													

2024年6月完成时钟分发系统第一版
2024年6月时钟管理芯片、光收发芯片第一版

□ 时钟分发系统：方案调研

- 时钟系统为探测器和电子学系统提供时间参考基准
- “点-面”：主从，多级扇出

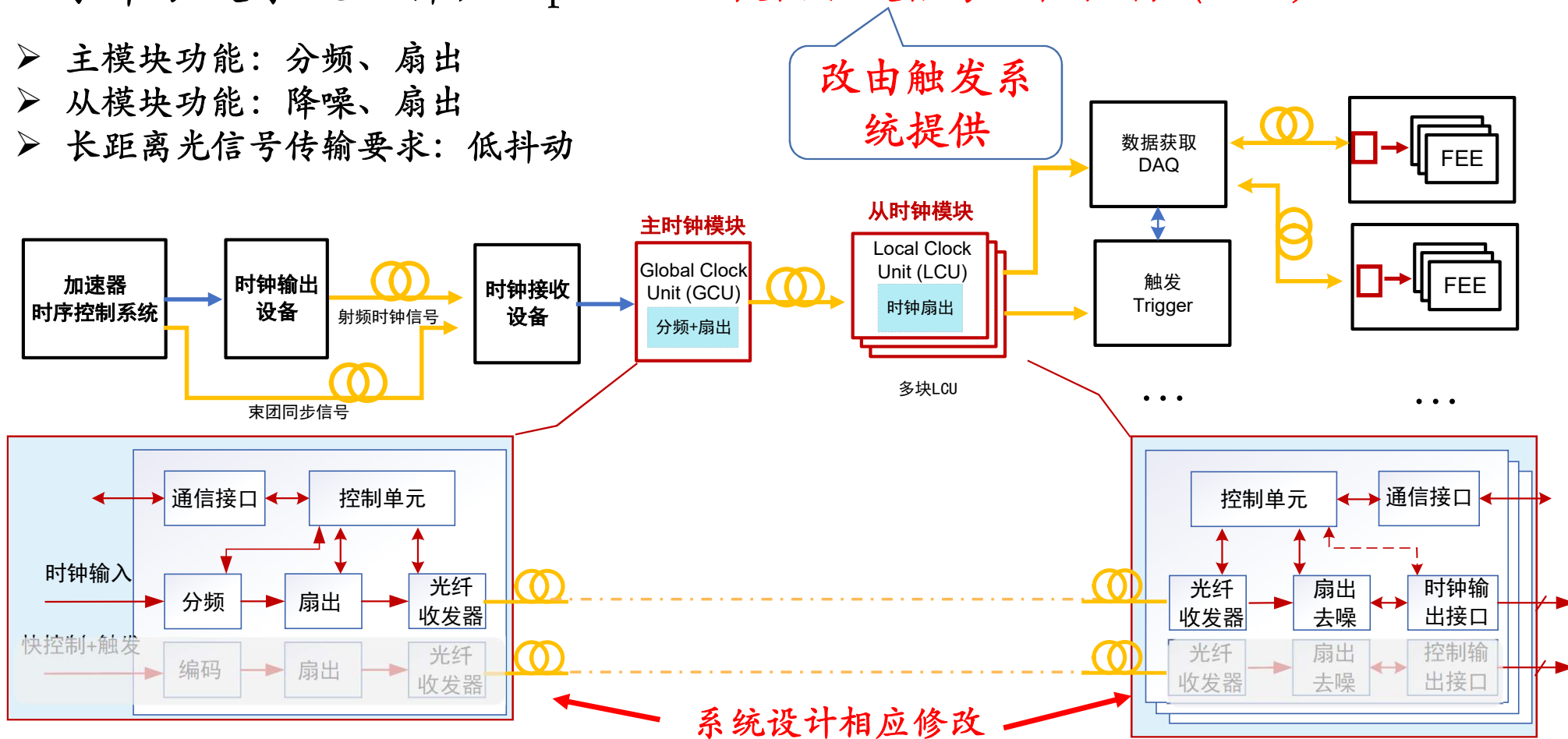


实验	规模	时间抖动指标	时钟分发架构
BESIII	百米	~ 10 ps RMS	主-从，多级扇出
CEE	百米	~ 5 ps RMS	主-从，多级扇出
LHC/ATLAS	数十公里/百米	~ 7 ps RMS	信息编码、多级扇出
STCF	百米	~ 5 ps RMS	主-从，多级扇出

总体方案介绍

□ 时钟分发系统：抖动 <5 ps RMS、~~提供触发信号及快控制 (BCR)~~

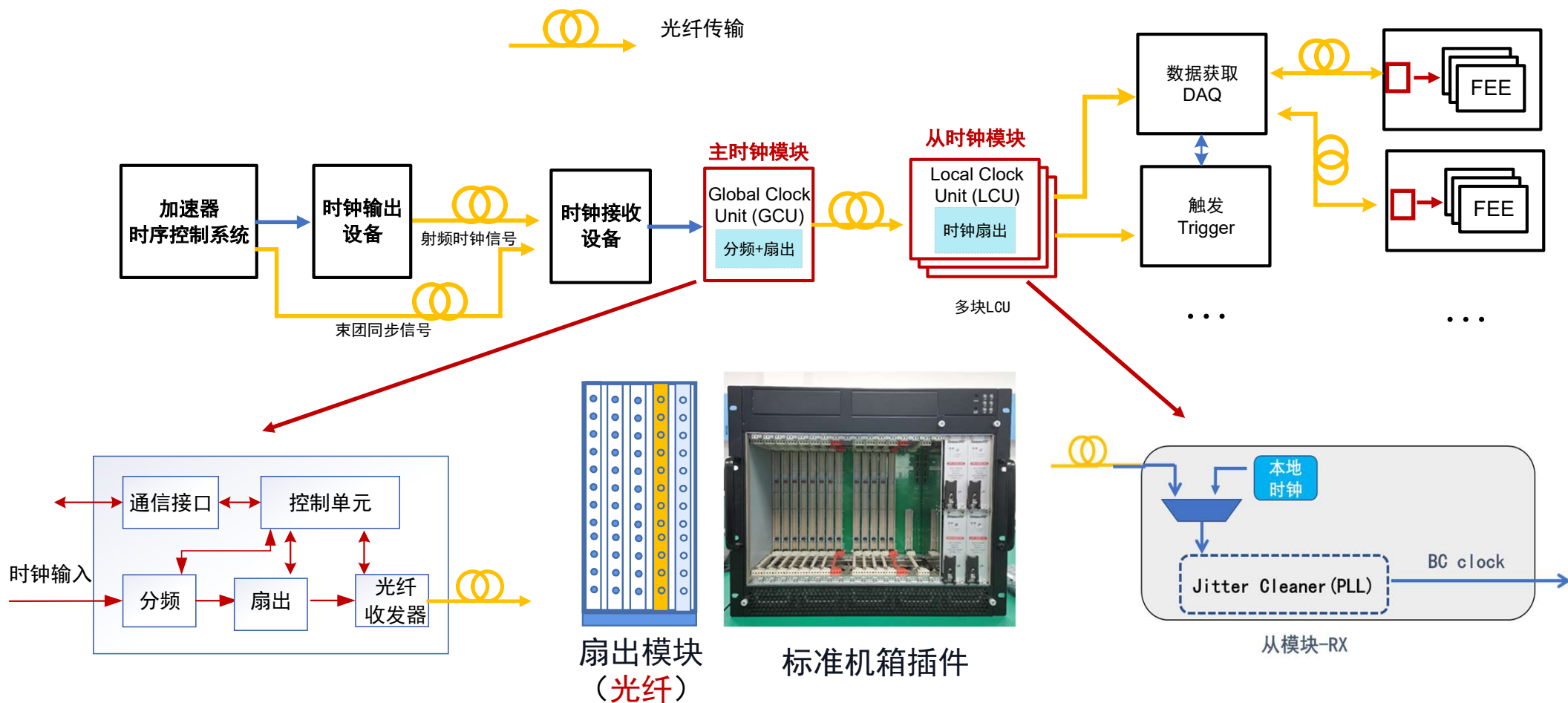
- 主模块功能：分频、扇出
- 从模块功能：降噪、扇出
- 长距离光信号传输要求：低抖动



二

总体方案介绍

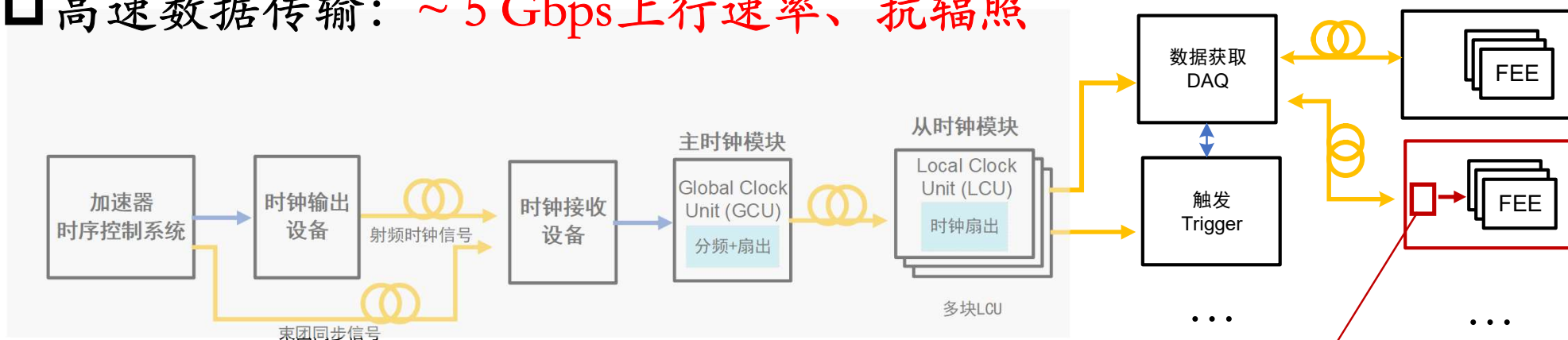
“主-从”时钟模块：分频、扇出，低抖动



二

总体方案介绍

高速数据传输：~ 5 Gbps上行速率、抗辐照



关键技术分为以下4个部分

→ 时钟模块

- 时钟恢复 (CDR)、时钟锁相环 (PLL)、高精度时钟管理 (分频、移相、去噪等)

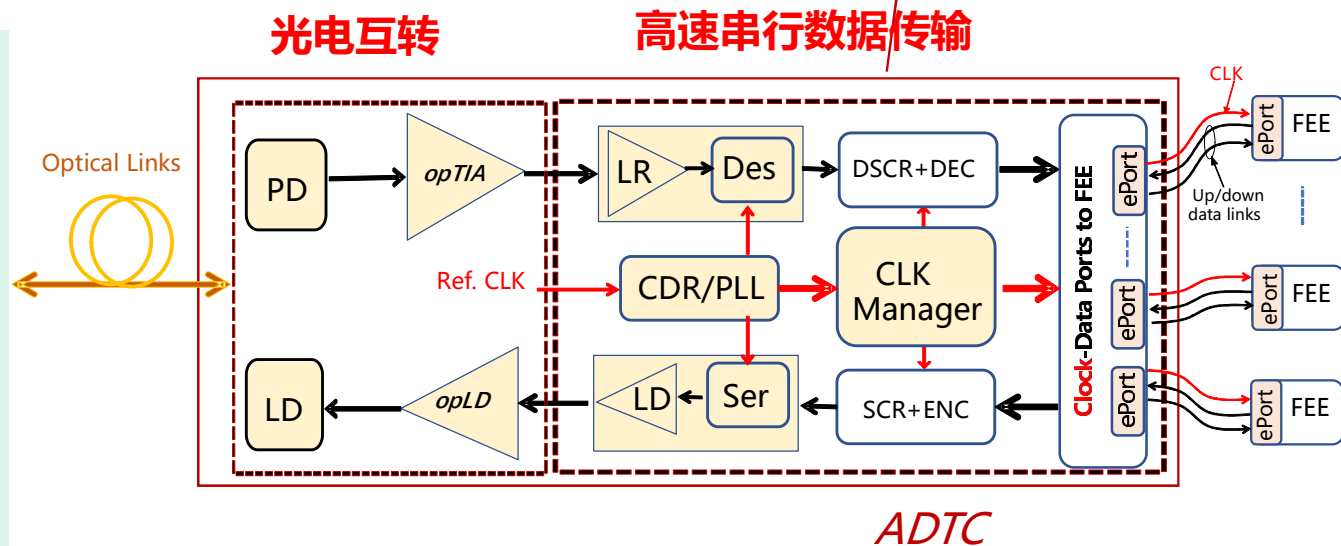
→ 高速数据发送模块

- 数据编码调制 (SCR+ENC)、串并转换 (SER)、光驱动及输出 (opLD+LD)

→ 高速数据接收模块

- 光接收 (PD+opTIA), 串并转换 (DES)、译码解调 (DSCR+DEC)

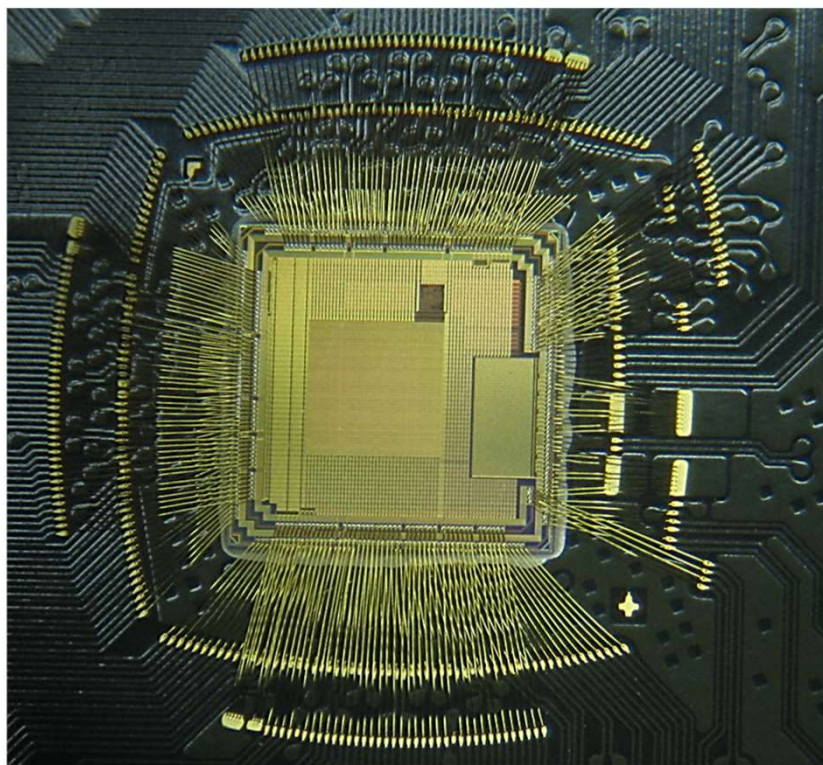
→ 数据处理单元 (如控制译码、ePort接口等)



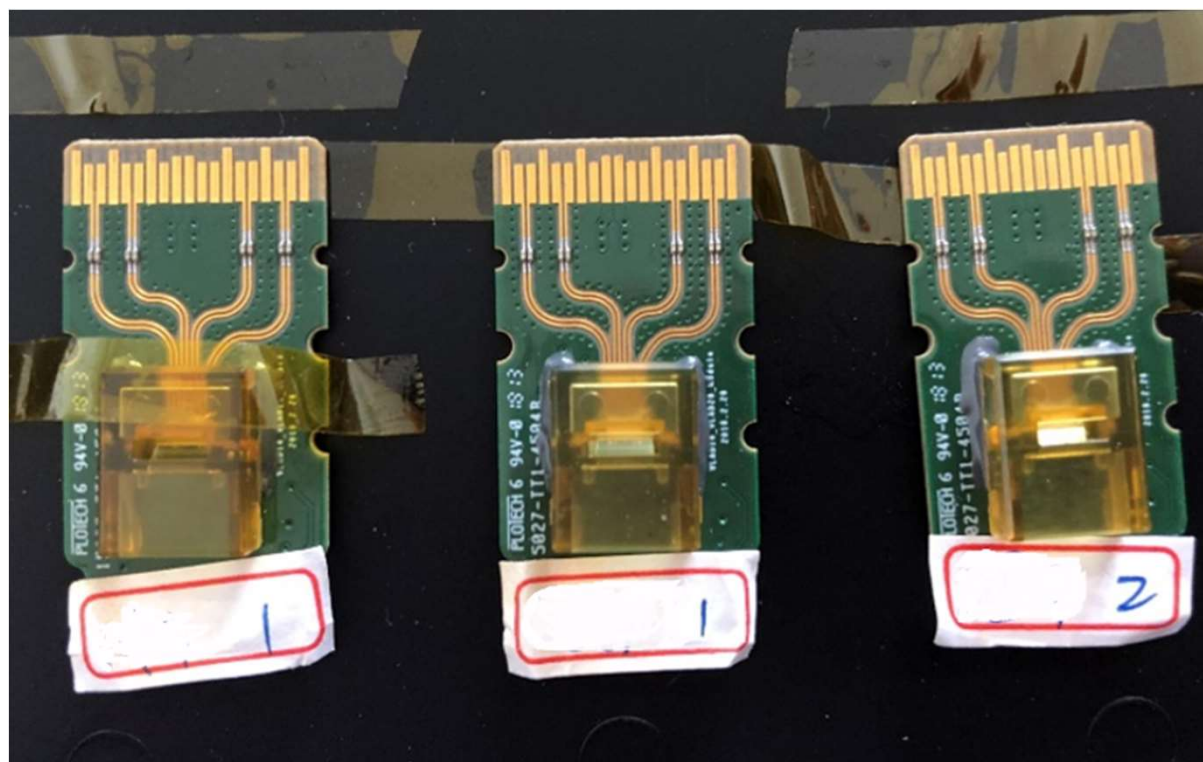
二

总体方案介绍

- 工艺选择：130nm CMOS → 65/55 nm CMOS；**国产可控芯片工艺**
- 工艺考虑：集成度、功耗、性能（速度）等优势



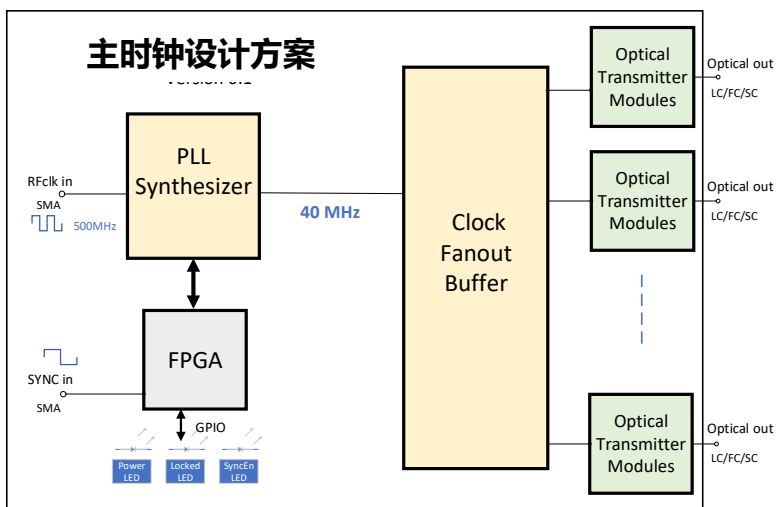
高速串行数据传输芯片 (130nm)



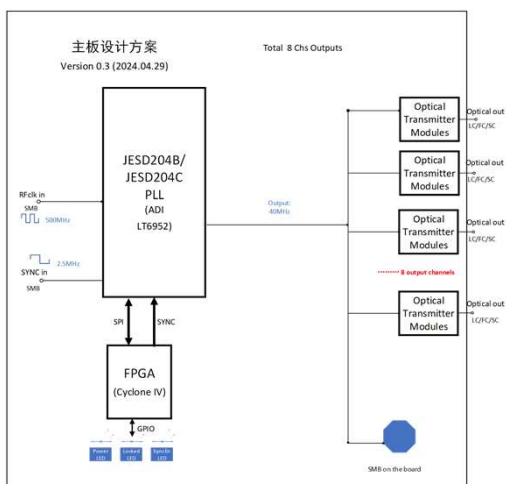
定制化光收发模块 (55nm)

➤ 时钟主板：暂定PXI-6U 机械尺寸

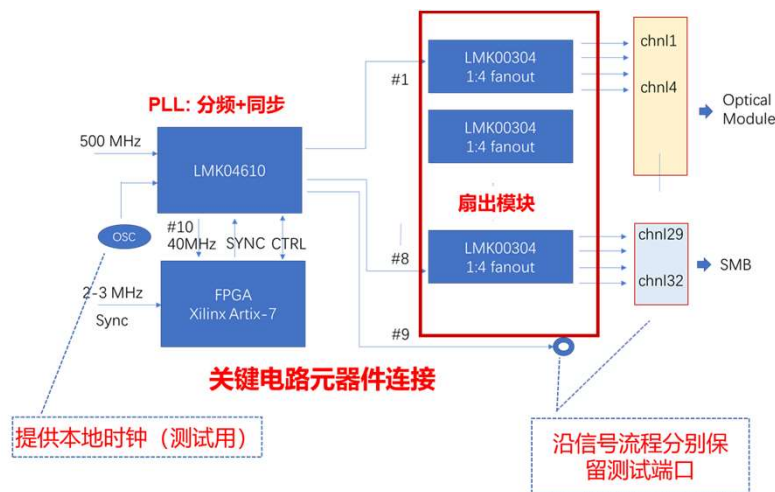
- 输入：500 MHz RF时钟（暂定），2-3 MHz同步信号；
 - 输出：40 MHz，光信号输出，通道数单槽双层厚度约可以输出16路（SFP）
- 注：第一版侧重验证主-从模块间“多通道”链路的**时钟性能指标、集成度、系统功耗等**



原理框图



方案1：基于LT6952



方案2：基于LMK04610+扇出

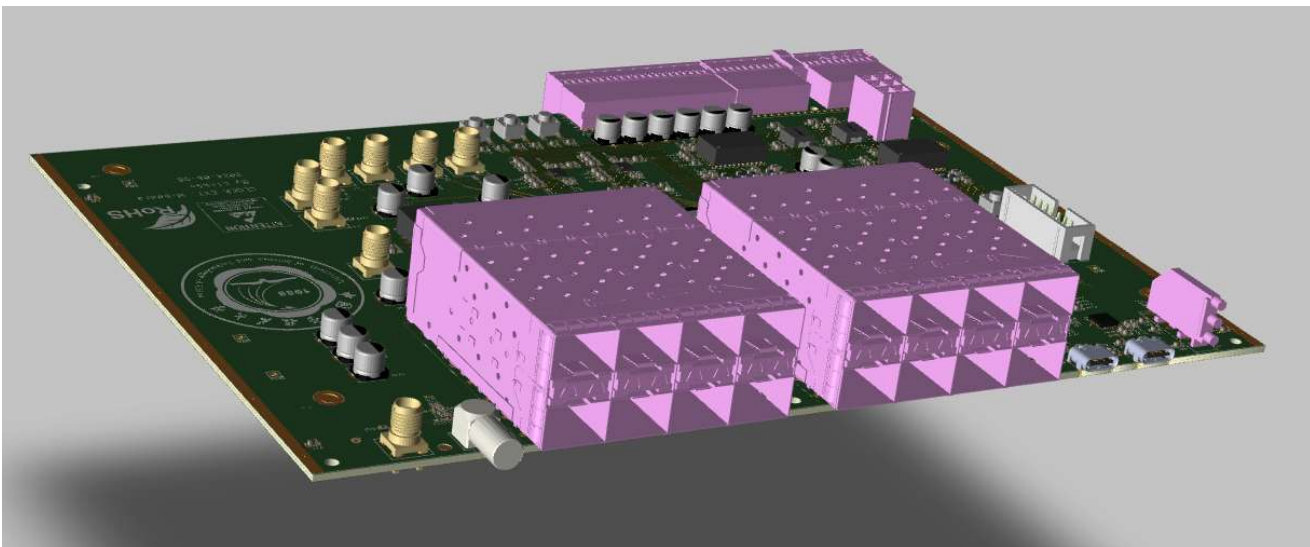
三

技术研究进展

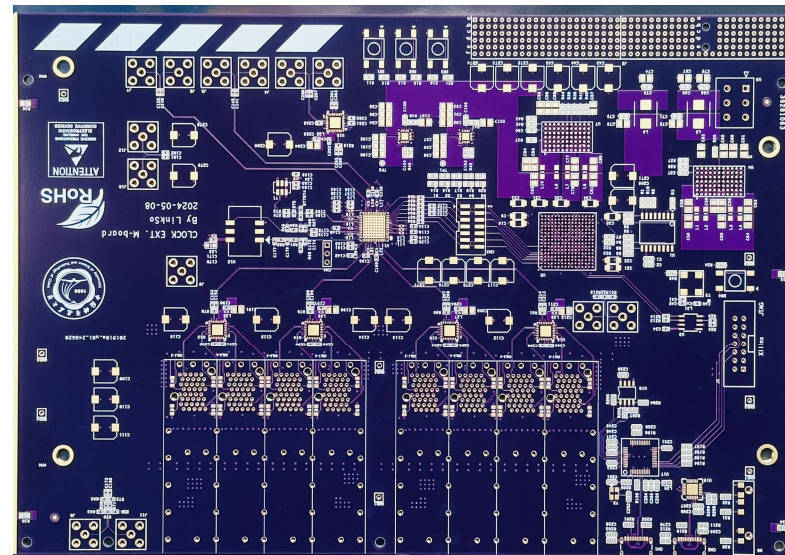
➤ 时钟主板：暂定PXI-6U 机械尺寸

- 输入：500 MHz RF时钟（暂定），2-3 MHz同步信号；
 - 输出：40 MHz，光信号输出，通道数单槽双层厚度约可以输出16路（SFP）
- 注：第一版侧重验证主-从模块间“多通道”链路的时钟性能指标、集成度、系统功耗等。

方案1,2: PCB 加工生产均已完成; 7月份完成性能评估测试



时钟主板效果视图



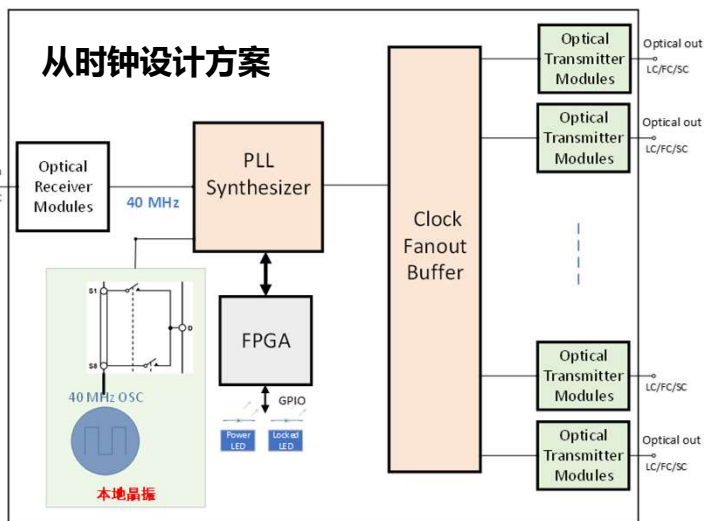
时钟主板PCB (正在装配)

三

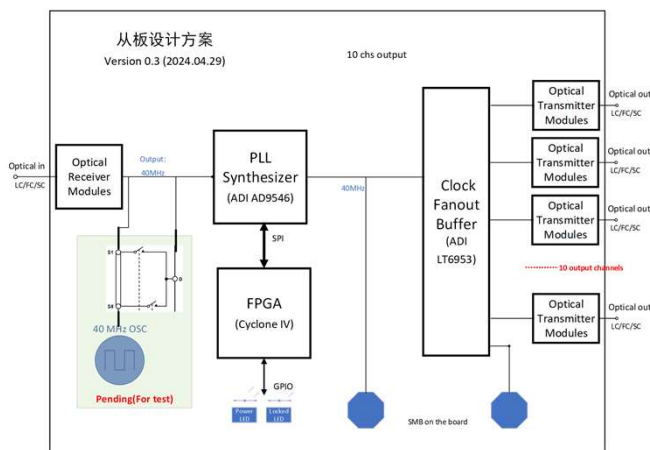
技术研究进展

➤ 时钟从板：暂定PXI-6U 机械尺寸

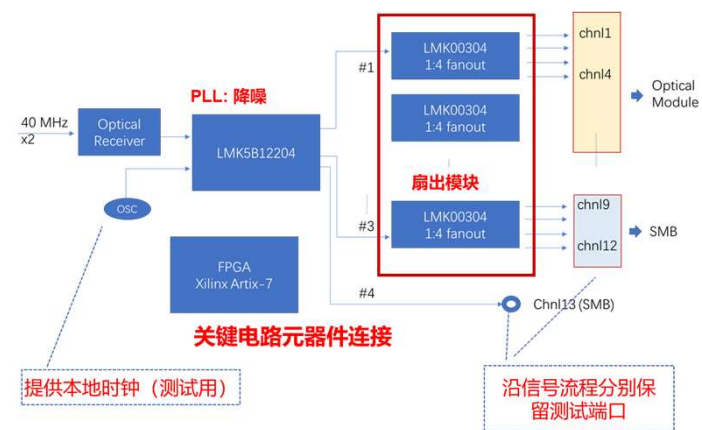
- 输入：40 MHz，光接口；
- 输出：40 MHz，光接口；通道数单槽单层厚度约可以输出8-12路（SFP）



原理框图



方案1：基于AD9546



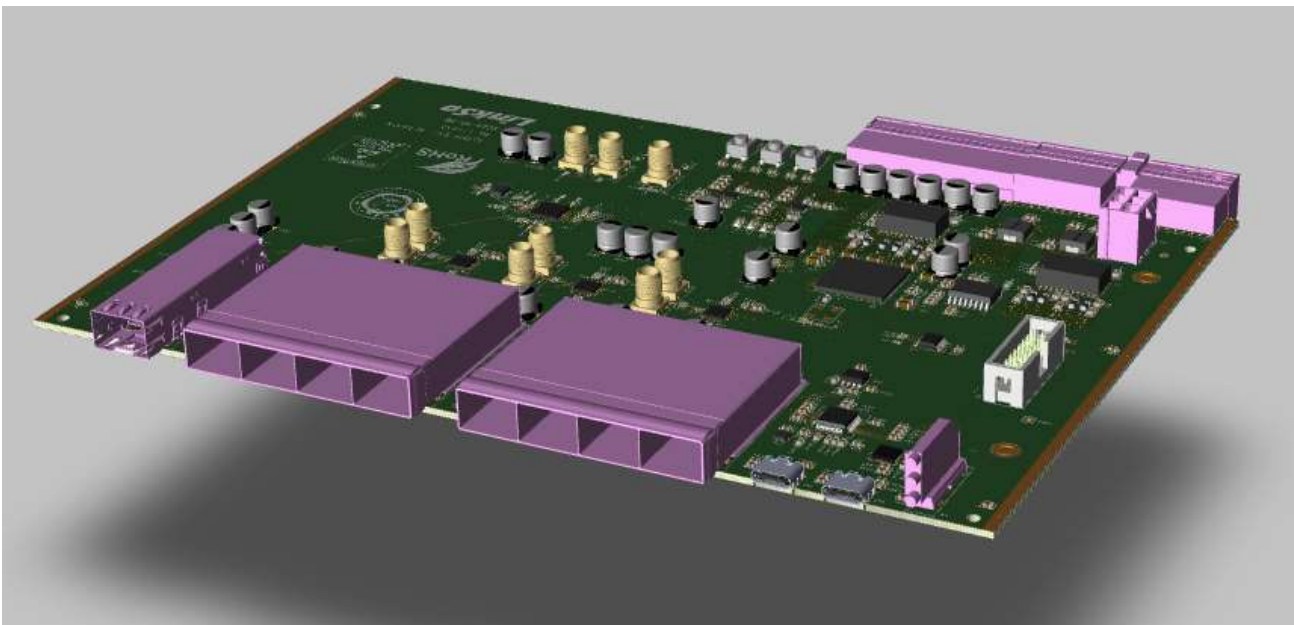
方案2：基于LMK5B12204

三

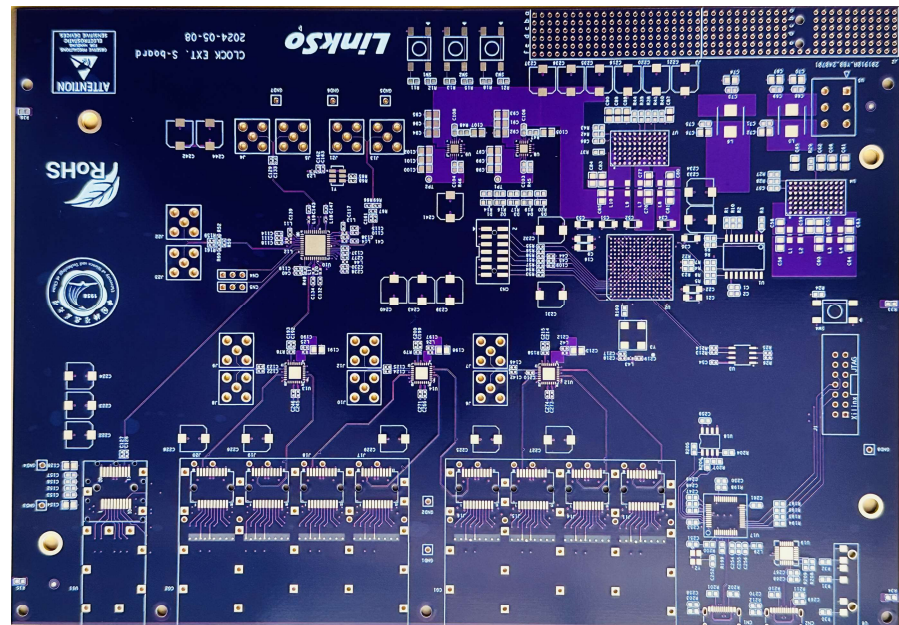
技术研究进展

- ▶ 时钟从板：暂定PXI-6U 机械尺寸
 - 输入：40 MHz，光接口；
 - 输出：40 MHz，光接口；通道数单槽单层厚度约可以输出8-12路（SFP）

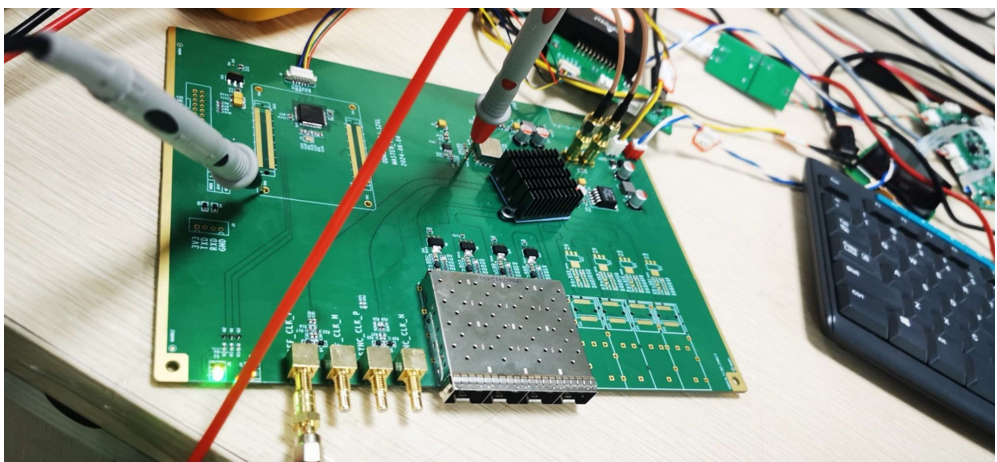
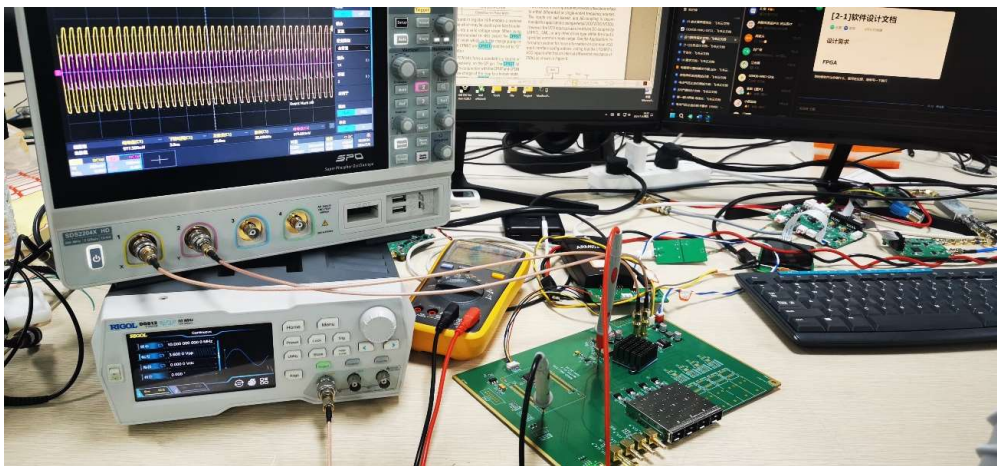
方案1,2: PCB 加工生产均已完成; 7月份完成性能评估测试



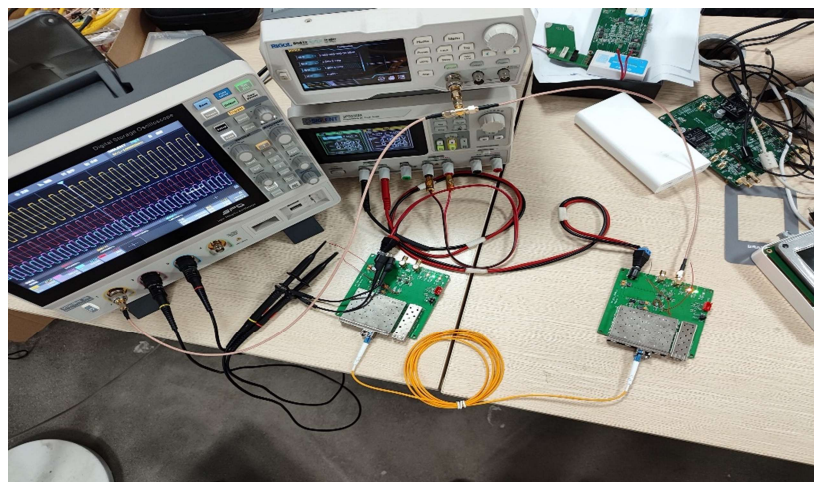
时钟从板效果图



时钟从板PCB (正在装配)

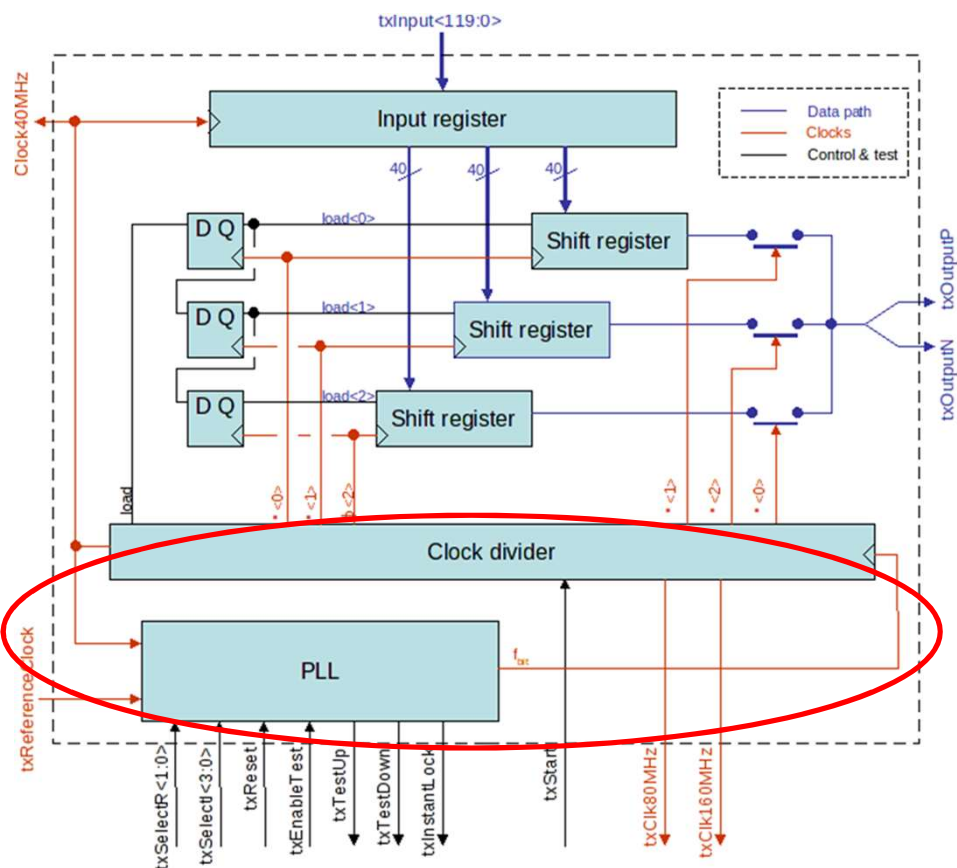


时钟主板锁相环40MHz时钟输出测试



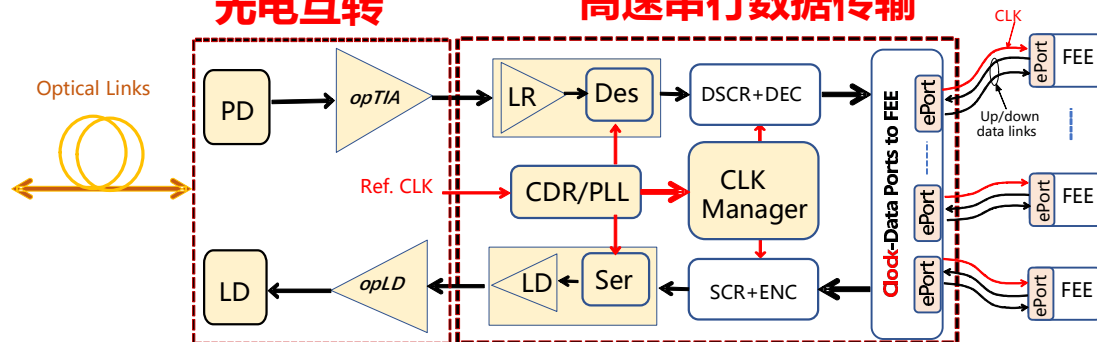
时钟测试版光模块驱动测试

➤ 高速数据传输专用芯片设计



The GBT SER.

光电互转 高速串行数据传输



- 时钟管理模块
 - ~5 GHz PLL single phase or ~2.5 GHz with dual phase
 - LC VCO

- 串行数据传输 (上行)
 - ~5 Gbps, 2/1 MUX or 3/1 MUX

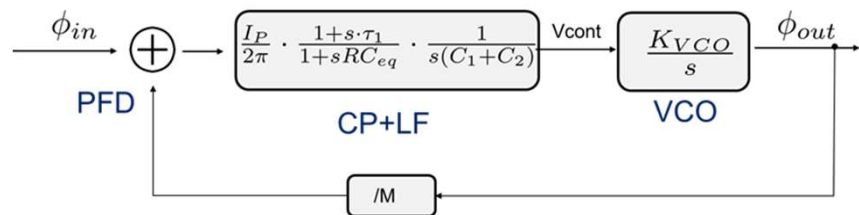
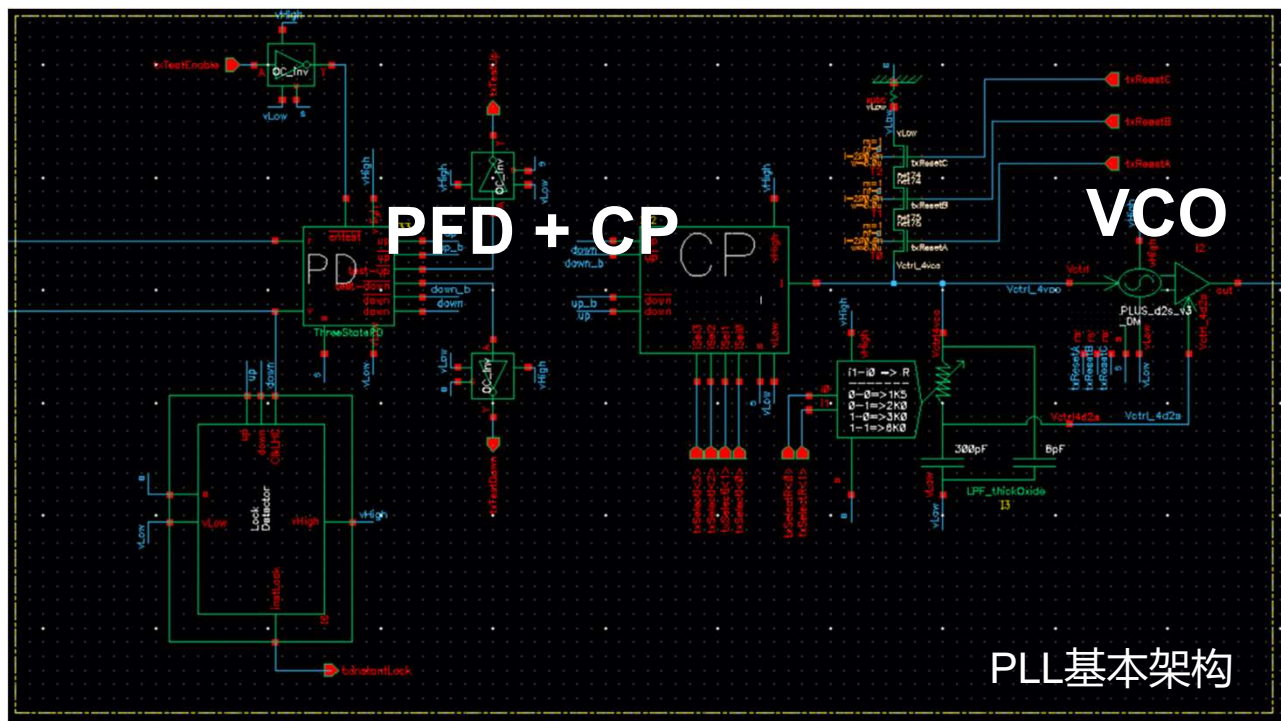
- 串行数据传输 (下行)
 - ~1 Gbps
 - Possible clock conditioner

- E-Links
 - SLVS/LVDS IO
- CML IO

- Enc. & Dcode.
 - SCR +ENC
 - DSCR +ENC

- Test utilities
 - PRBS generator

➤ 高速数据传输专用芯片设计：时钟管理模块



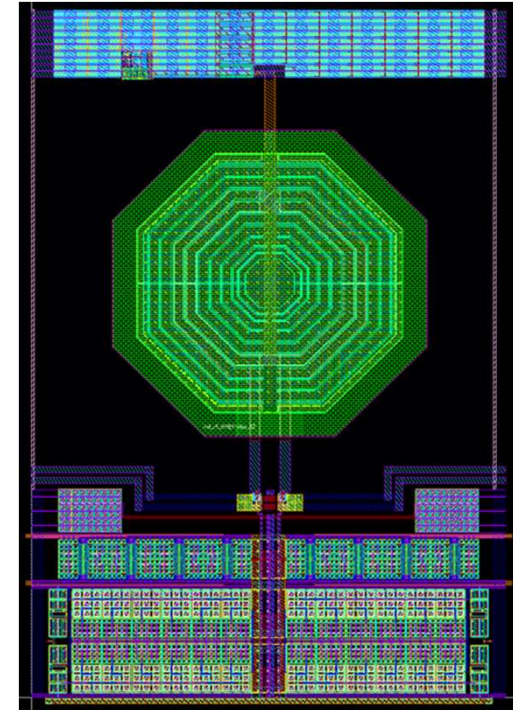
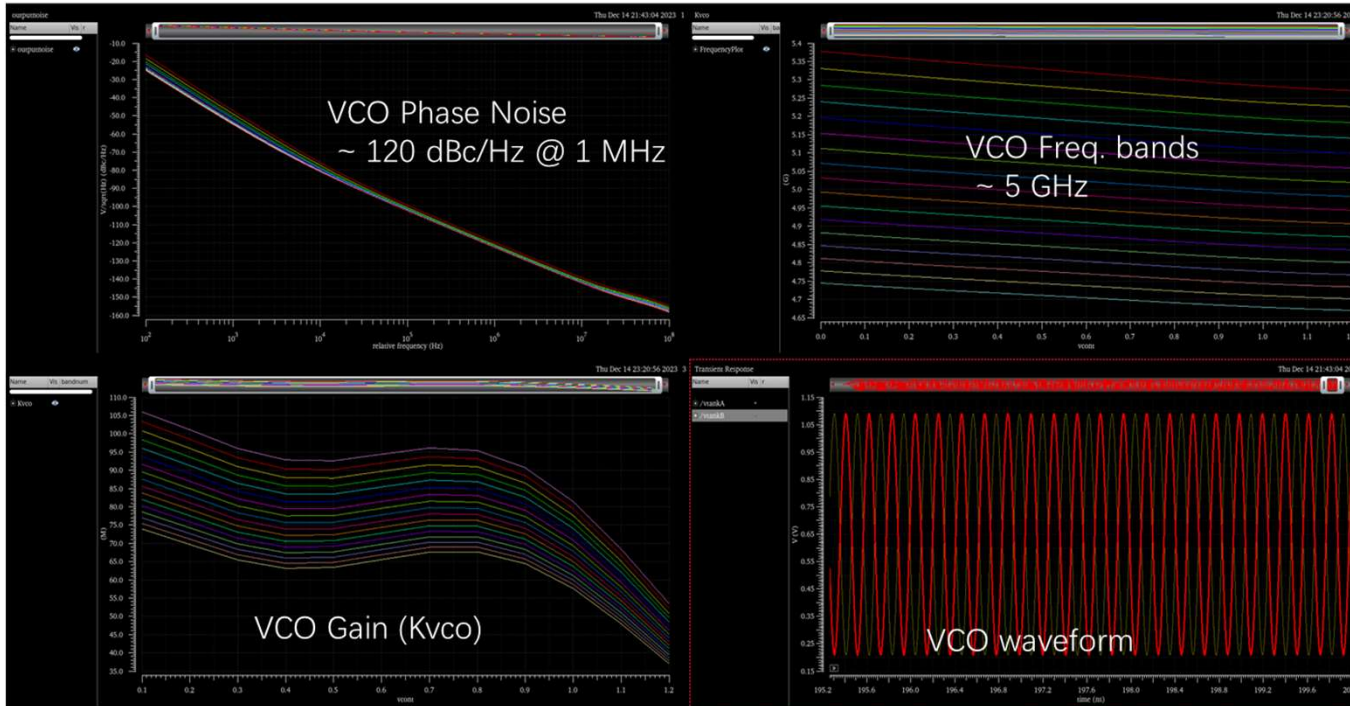
中心震荡频率: ~ 5 GHz
输入时钟: ~ 40 MHz

- ✓ **PLL 建模和仿真**
 - Type-III topology, with LC VCO
 - Behavior /noise model built and tested
- ✓ **PFD + CP: sch + layout**
 - Behavior simulated
 - Noise extracted and verified
- ✓ **VCO: sch + layout**
 - Behavior simulation
 - Noise evaluation
- ✓ **Feedback Divider: sch + layout**
- **接口电路: sch done, layout in progress**
 - SLVS, RX/TX: ~ 2 Gbps
 - CML, TX: ~ 10 Gbps



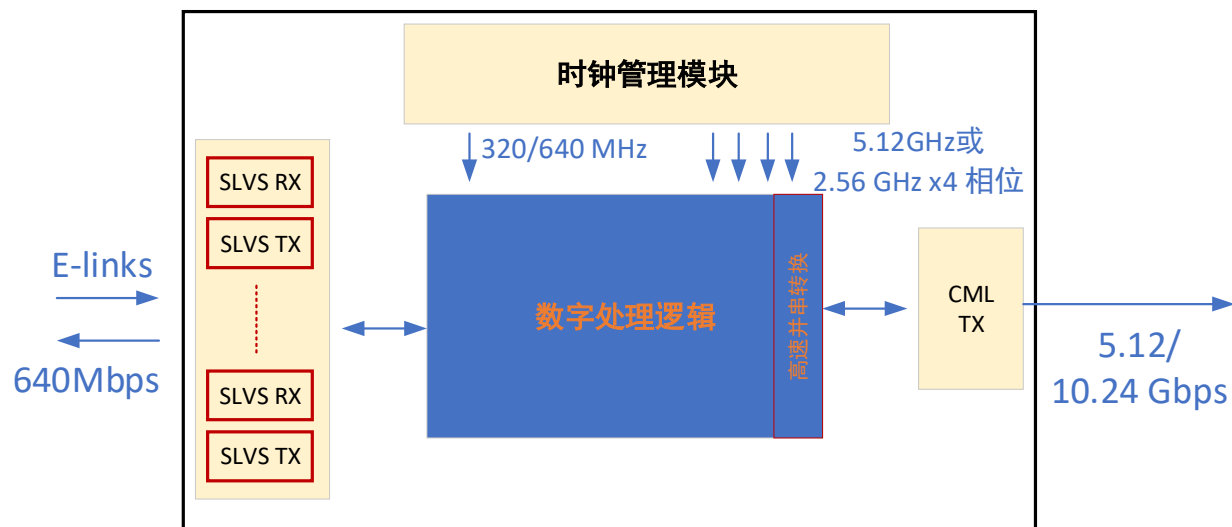
- Full chip integration
- Post-layout PVT simulation

► 时钟管理模块：VCO+ FBDiv



- 基于LC-VCO，中心震荡频率~5 GHz (4.6 -5.3 GHz)
 - 可提供4相位 2.56 GHz 输出 (0/90/180/270)
 - 可提供 1.28GHz/640MHz/320MHz/160MHz/80MHz

➤ 串行数据传输芯片



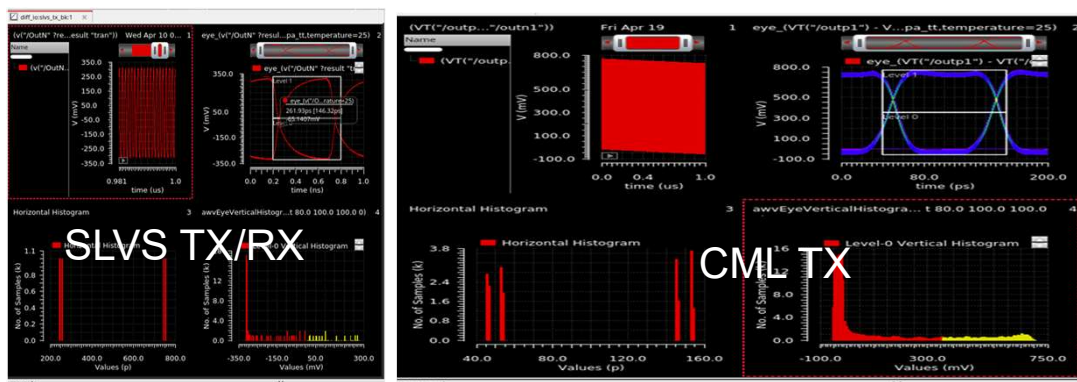
已有模块

- 时钟管理模块：
 - ➔ 提供 4相位 2.56 GHz 输出 (0/90/180/270)
 - ➔ 低频时钟：320/640MHz
- E-links: 面向FEE
 - ➔ SLVS TX/RX
 - ➔ 160/320/640Mbps
- CML: 面向DAQ
 - ➔ 5-10 Gbps

剩余模块：

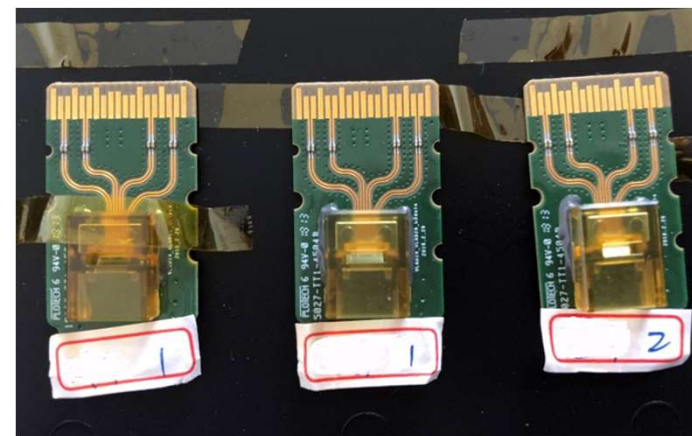
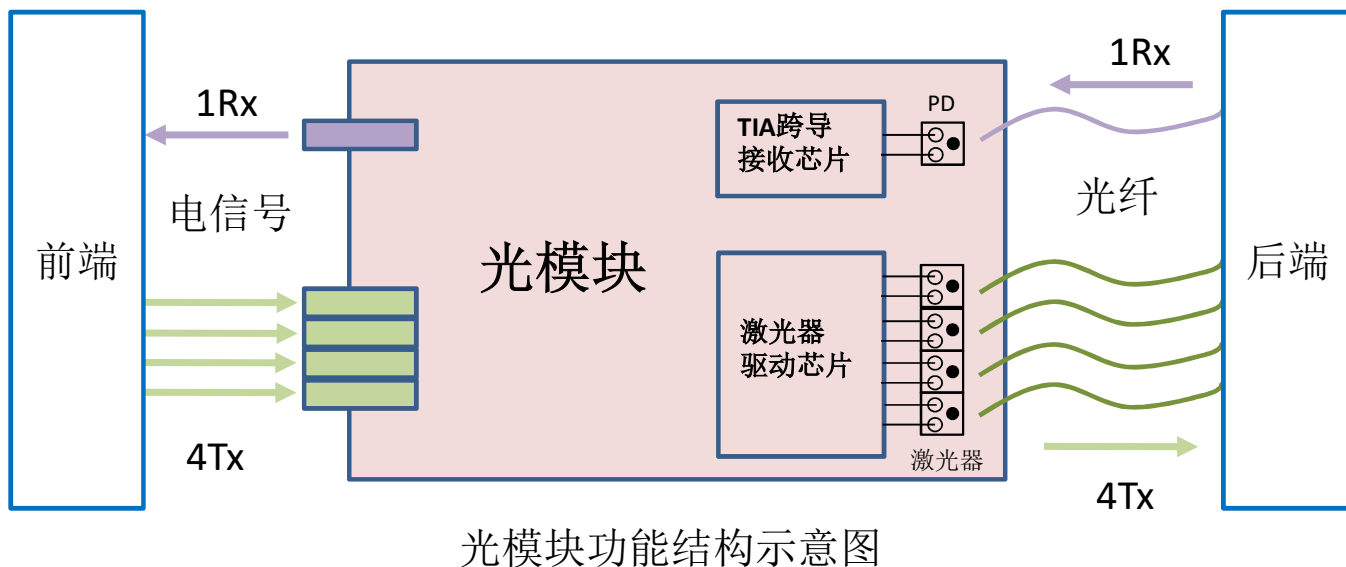
- 高速并串接口：
 - ➔ 2/1或4/1 输出 @2.56 GHz
- 数字处理逻辑：
 - ➔ 数据流控制，组包等

计划秋季MPW 流片



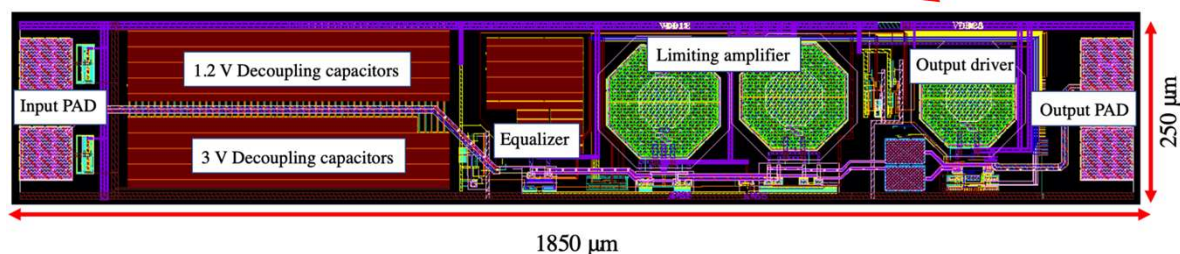
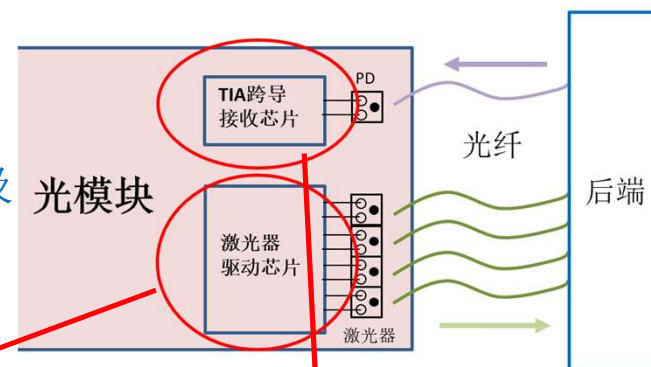
➤ “光电”互转模块设计

- 采用基于阵列式激光器VCSEL和阵列式光电二极管PD的定制化并行光模块
- 电接口兼容QSFP光模块标准接口，或其他定制化插件接口
- 通道数可定制，例如4Tx+1Rx, 4Tx+2Rx, ...（通道间互相独立）
- Tx方向传输速率 5 Gbps/ch, Rx方向传输速率~1 Gbps/ch
- 目前定制化光模块原型版本实物已完成

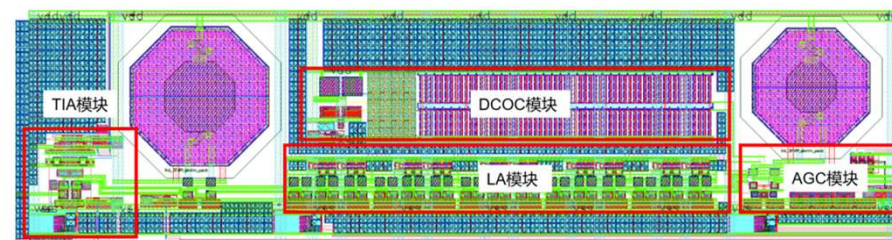


Tx: 5 Gbps/ch
Rx: 1 Gbps/ch
通道数可配置

- 定制化阵列式激光器驱动ASIC芯片、TIA跨导放大ASIC芯片
 - 拟采用国产中芯国际SMIC 55nm CMOS工艺
 - 阵列式激光器驱动芯片支持5 Gbps/ch+（Tx方向）。
 - 阵列式TIA跨导接收芯片支持5 Gbps/ch（Rx方向），速率可向下兼容
 - 目前两款芯片的模拟核心部分版图基本完成，目前进一步设计优化以及多通道的合并集成中，预计本年度内流片。
- 预计本年底可实现定制化光模块与两颗自研ASIC芯片的联合测试



激光器驱动芯片单通道模拟核心版图完成



TIA跨导接收芯片单通道模拟核心版图完成

□ 总结:

- 第一版时钟分发系统硬件设计、制作已经完成。
- 第一版高速串行传输关键模块（电光互转、时钟管理芯片、串行数据传输芯片）关键电路模块已经基本完成。
- 目前采用新工艺，芯片设计、流片时间紧、新工艺库建立及研究生成长还需时间。

□ 下一步工作计划:

- 完成第一版时钟分发系统系统性能评估测试，视情况结合DAQ、触发系统电子学联调。
- 完成第一版高速串行传输关键模块（电光互转、时钟管理芯片、串行数据传输芯片）MPW流片。

任重道远 砥砺前行

衷心感谢!

敬请各位领导批评指正!

