STCF实验硅像素内径迹探测器研究进展

秦家军

（代表STCF ITK-MAPS工作组）

超级陶粲装置研讨会

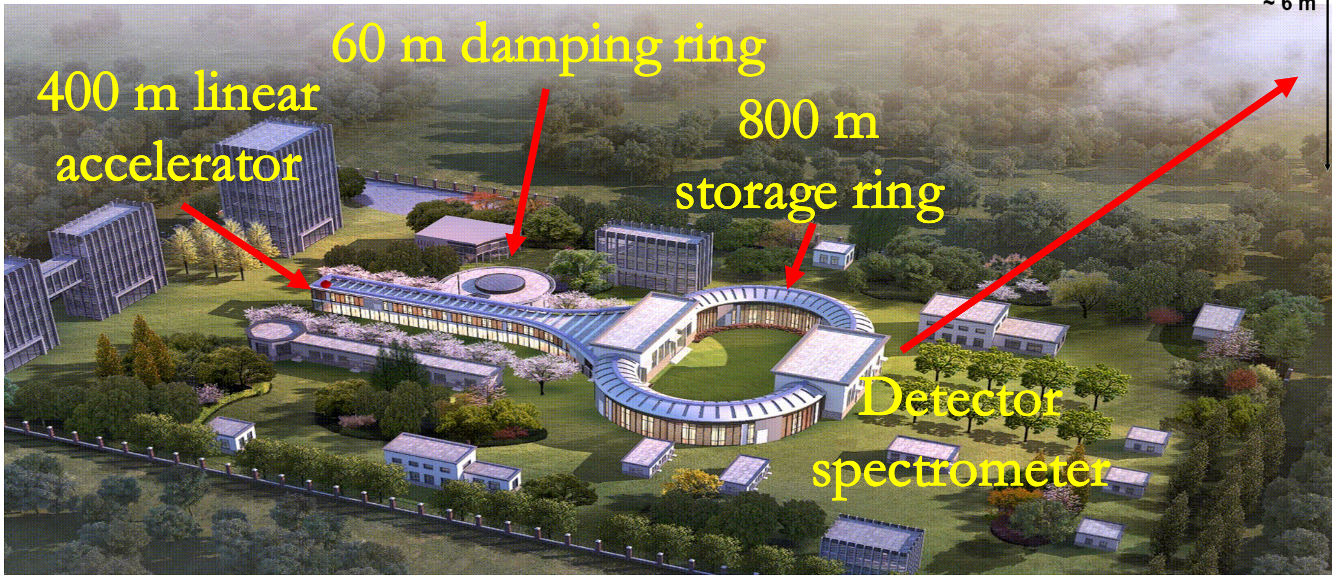
2024年7月8日 兰州

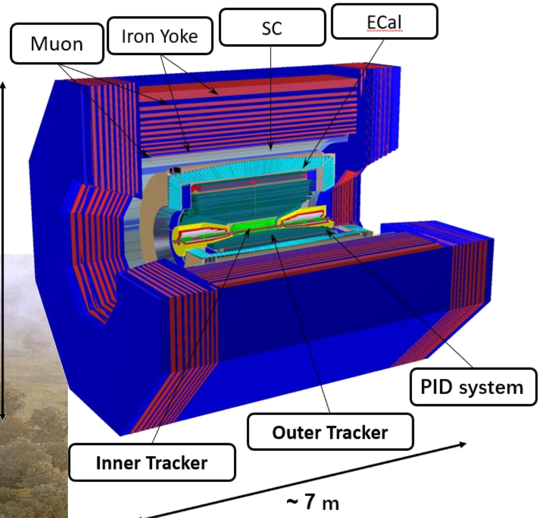
目录

- 研究背景
- STCF MAPS Sensor设计
- STCF MAPS读出电路设计
- 总结

STCF

- 超级陶粲装置(**S**uper **T**au-**C**harm **F**acility , STCF)
  - 国内新一代正负电子对撞机
  - 质心能量 2~7 GeV，亮度>0.5×10^{35} $cm^{-2}s^{-1}$@4 GeV
  - 具备进一步提升峰值亮度和实现束流极化的潜力





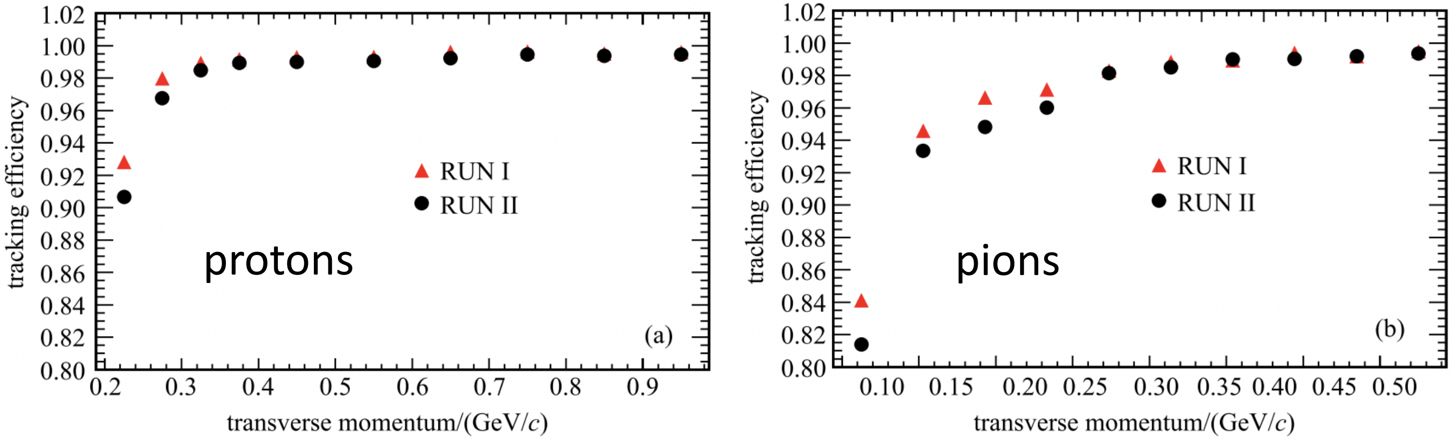
STCF ITK物理需求

- STCF物理目标

Process	Physics Interest	Optimized Subdetector	Requirements
$\tau \to K_s\pi\nu_\tau$,	CPV in the τ sector,		acceptance: 93% of 4π; trk. effi.:
$J/\psi \to \Lambda\bar{\Lambda}$,	CPV in the hyperon sector,	ITK+MDC	$> 99\%$ at $p_T > 0.3$ GeV/c; $> 90\%$ at $p_T = 0.1$ GeV/c
$D_{(s)}$ tag	Charm physics		$\sigma_p/p = 0.5\%$, $\sigma_{\gamma\phi} = 130$ μm at 1 GeV/c

- 低动量能区粒子径迹探测的挑战
  - ◇ 多次库伦散射，径迹探测效率低
  - ◇ For BESIII, the tracking efficiency drops sharply below 100MeV

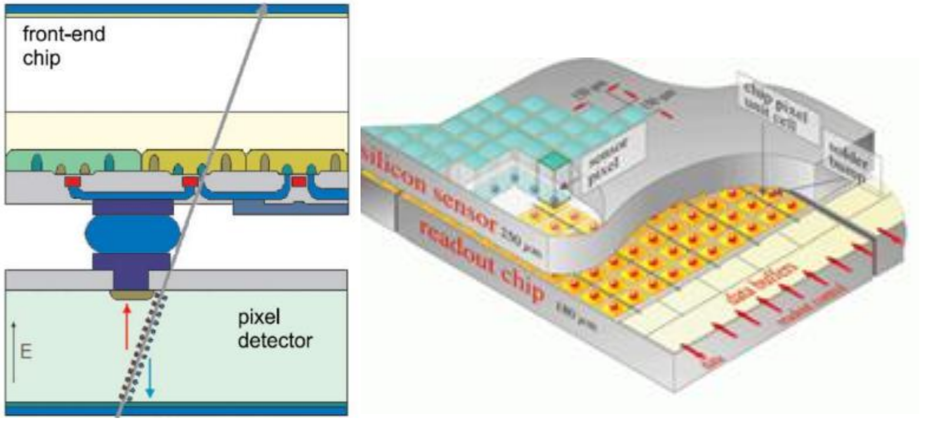
BESIII tracking efficiency,
Chin.Phys.C 40 (2016) 2, 026201



低物质量是Inner Tracker的必要条件

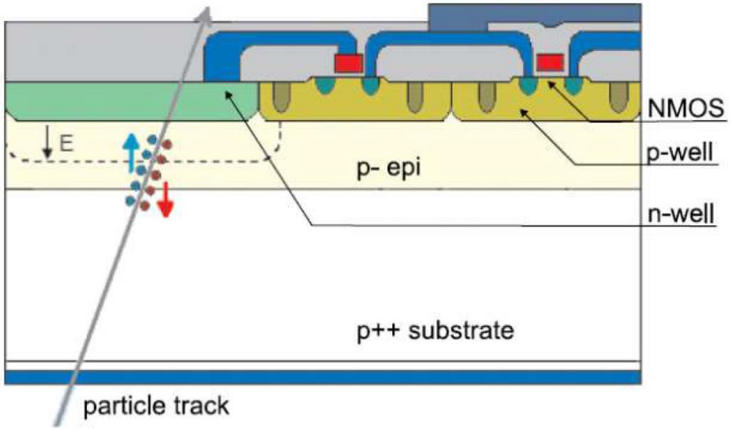
CMOS Pixel Sensors

- Hybrid
  - ◇ Sensor和电子学分别优化设计；抗辐照能力强
  - ◇ ATLAS/CMS采用
  - ◇ 缺点：物质量大；键合工艺复杂、成本高



Hybrid Pixel

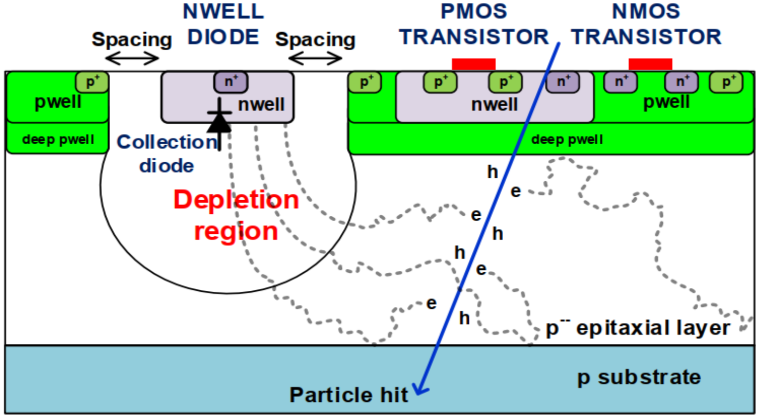
- Monolithic
  - ◇ 仅需一层硅片，低物质量
  - ◇ 易集成，低成本
  - ◇ STAR/ALICE ITS2采用
  - ◇ 缺点：抗辐照能力弱、电荷收集时间相对较长



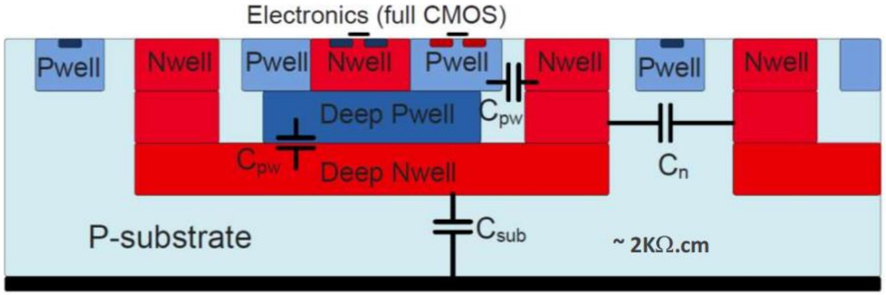
MAPS

MAPS基本结构

- 小收集极（small fill-factor）
  - 寄生电容小，功耗低
  - DPWELL隔离电路内的NWELL
    - 四阱工艺（NWELL、PWELL、DPWELL和DNWELL）
  - 电荷收集时间相对较慢
    - 改进工艺
  - 代表芯片：APLIDE、JadePix等
- 大收集极（large fill-factor）
  - 全耗尽、抗辐射性极强、电荷收集快
  - 寄生电容较大(~ 200 fF)，功耗增加
  - C_{pw}可能导致严重串扰→对电路结构有特殊要求
  - 代表芯片：MuPix、LF-Monopix等



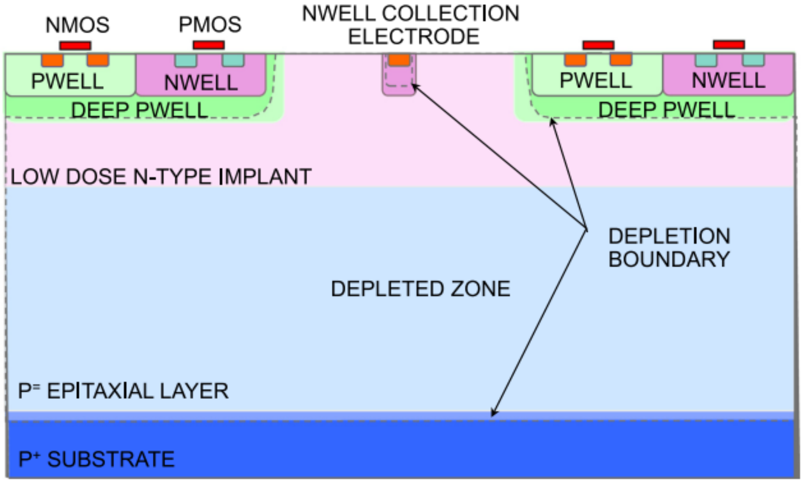
小收集极MAPS

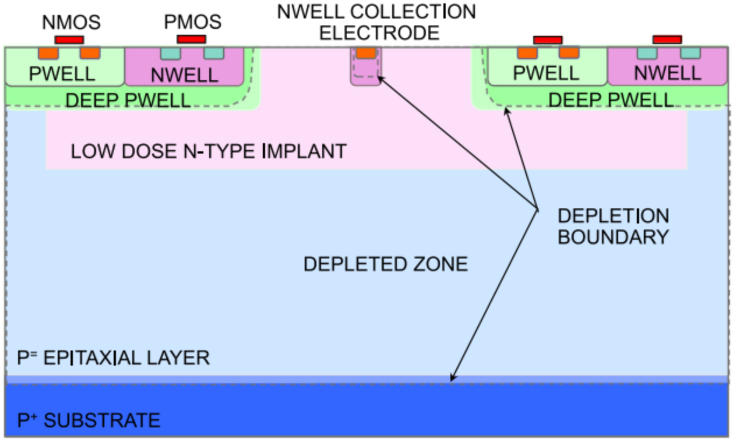


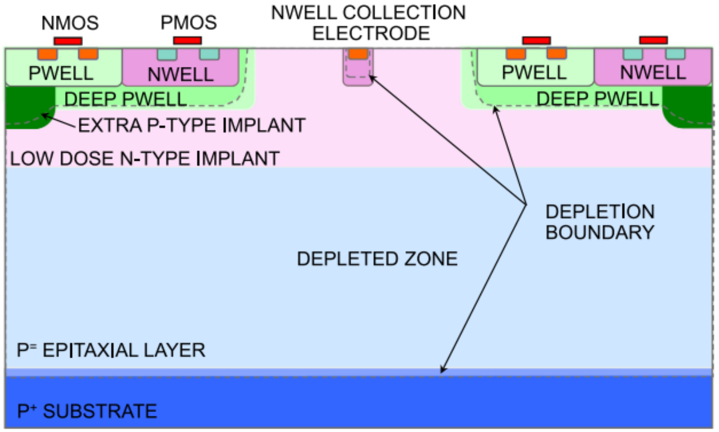
大小收集极MAPS

小收集极MAPS是STCF ITK的备选方案之一

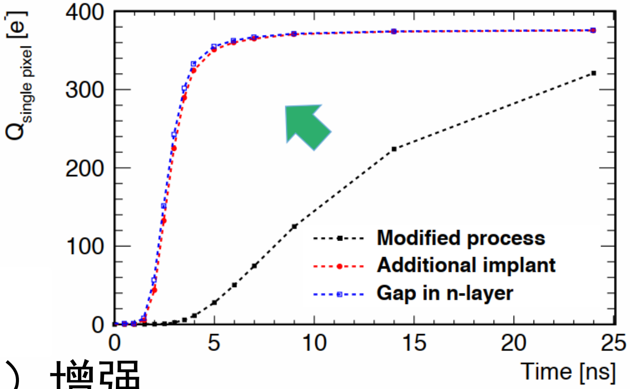
Depleted MAPS





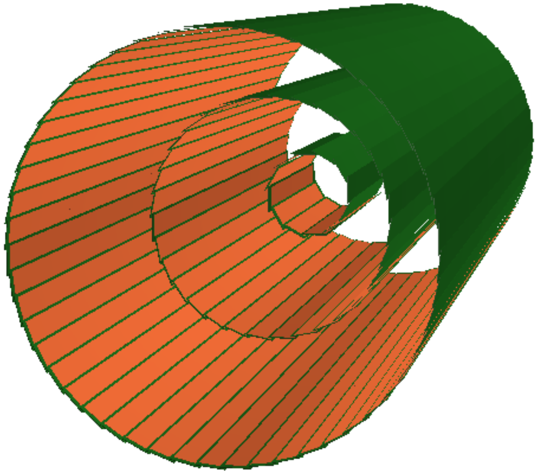


- Depleted MAPS-小收集电极
  - ◇ 代表性芯片：TJ-Monopix，MALTA，Fastpix
  - ◇ 输入电容小；漂移距离更长、电场较弱
  - ◇ 进一步改进：增强像素边缘处的横向电场
    - 边缘处制作n型gap
    - 边缘处制作p型注入
    - 边缘处制作n型gap+ p型注入
  - ◇ 探测效率、电荷收集速度提升，抗辐照能力（NIEL）增强



击中pixel corner时的电荷收集

STCF MAPS设计目标



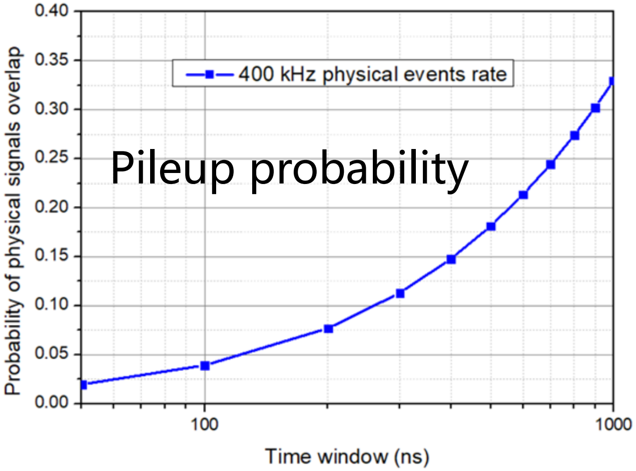
- MAPS设计需求
  - ◇ 位置分辨： ≤ 100 μm
  - ◇ 物质量：单层≤0.3% X_0
  - ◇ 功耗： ≤ 100 mW/cm^2 →50 mW/cm^2
  - ◇ 时间分辨： ≤ 50 ns（去堆积）
  - ◇ 能量测量（ToT）
    - time walk修正、多次散射修正

中科大、山大、华师、西工大合作研究

Beam pipe radius: 30 mm

Layer	R (mm)	Length (cm)	Area (cm^2)
1	36	19. 78	447. 46
2	98	53. 85	3315. 87
3	160	87. 92	8838. 63

- 探测器结构的初步设计
  - ◇ 三层探测器（可能更多）
  - ◇ 探测器总面约1.3 m^2
  - ◇ 接收角度范围为20°~160°



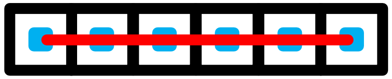
目录

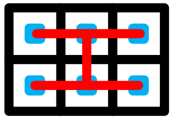
- 研究背景
- STCF MAPS Sensor设计
- STCF MAPS读出电路设计
- 总结

Pixel Sensor

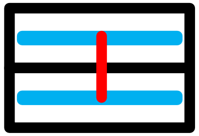
- Sensor尺寸考虑
  - ◇ 位置分辨要求不高→选择较大尺寸像素，减少读出电路规模，进而降低功耗
  - ◇ 尝试比较多种规格模拟连接的sensor，以及多个小像素的数字连接


A：30×30


B：Pixel-based
180×30


C：Pixel-based
90×60

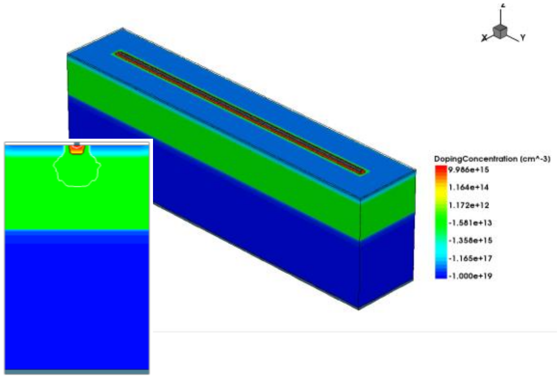

D：Strip-based
180×30


E：Strip-based
90×60

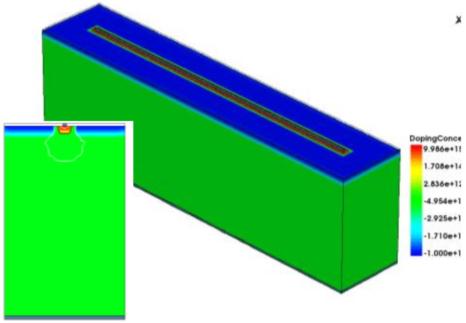
- Sensor工艺考虑
  - ◇ 需求：高阻外延层、四阱工艺
  - ◇ 基于国外成熟工艺（TJ180）进行仿真设计
    - 外延层电阻率1kΩ·cm；厚度~20μm
  - ◇ 探索国产工艺（NexChip）和华虹宏力（GSMC）
    - 合肥晶合，外延层电阻率10Ω·cm，无DPWELL
    - 华虹宏力，高阻衬底，定制化四阱

TCAD仿真

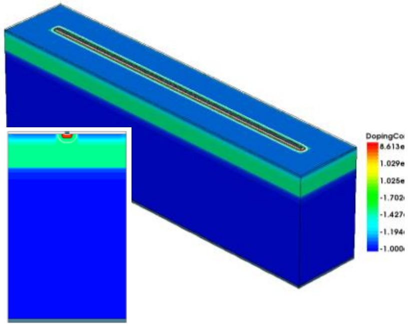
- nwell_size=2μm, spacing=2μm
- 五种不同工艺：
  - TJ180nm：20μm高阻外延+30μm低阻衬底
  - GSMC130nm：50μm高阻衬底
  - BCIS90nm：10μm 10Ωcm外延+40μm低阻衬底
  - Modified-TJ180nm（N-blanket design）：10μm Nblanket层+10μm高阻外延+30μm低阻衬底
  - Modified-TJ180nm pstop：10μm Nblanket层+10μm高阻外延+30μm低阻衬底+像素边缘额外pstop隔离



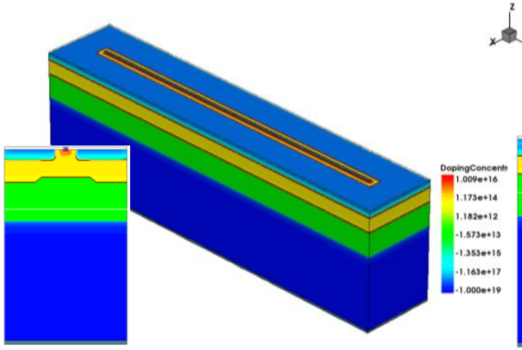
HR epi (TJ180nm)



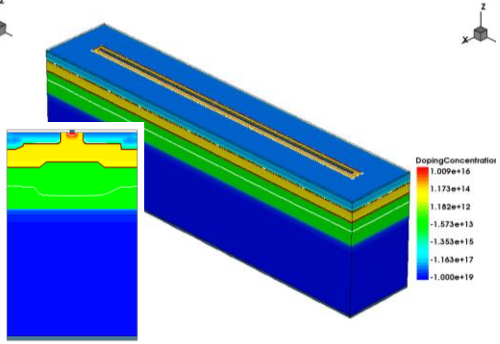
HR substrate



LR epi



Modified-TJ180nm

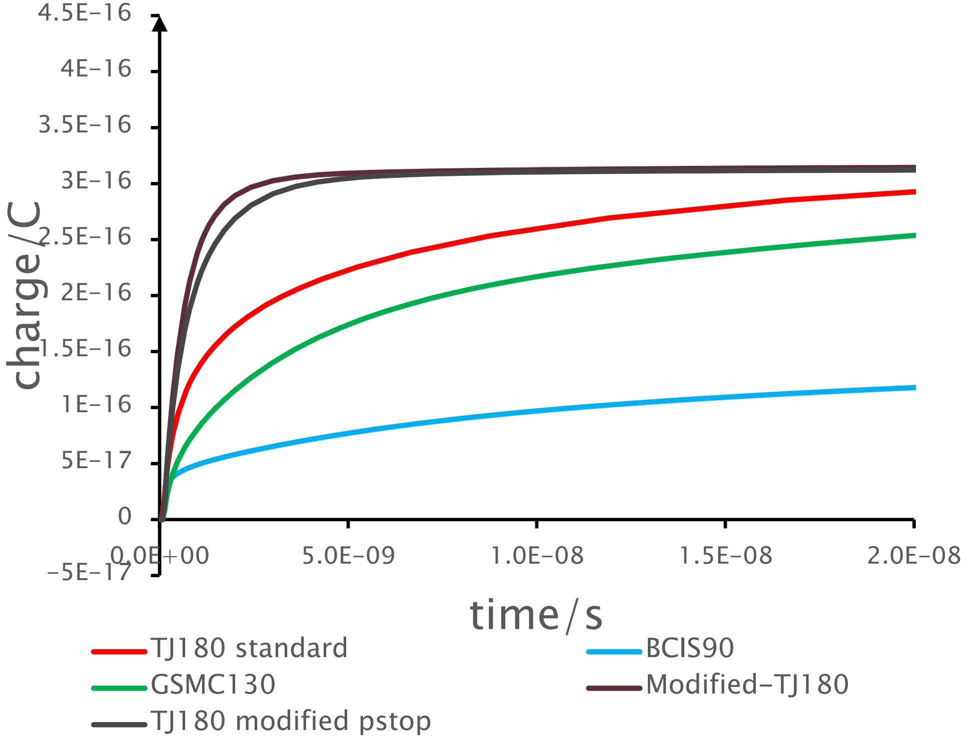


Modified-TJ180nm pstop

电荷收集仿真

- 170*30有源区连接
- nwell_size=2um, spacing=2um
- nwell=0.8V, sub=-6V
- 径迹从**中心入射**

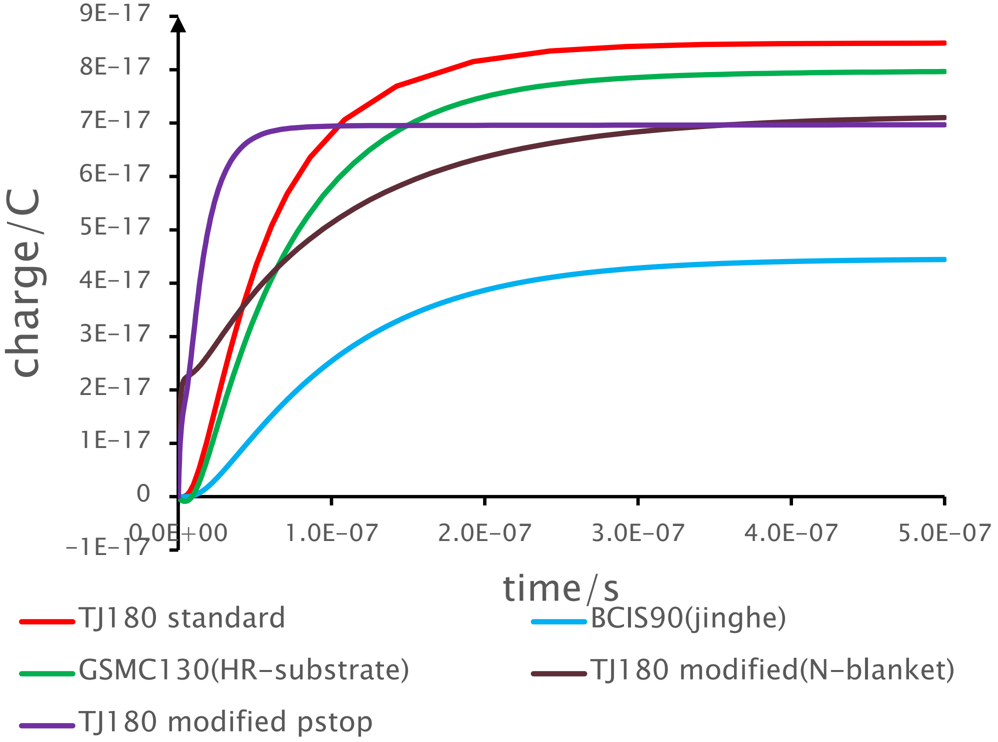
	Collected charge (e)	Collection time(ns)
TJ180nm	**2039.81**	**20.56**
GSMC130nm	**2477.65**	**89.72**
BCIS90nm	**1089.64**	**74.57**
Modified-TJ180nm	1969.85	1.81
Modified-TJ180nm pstop	1952.04	2.47



电荷收集仿真

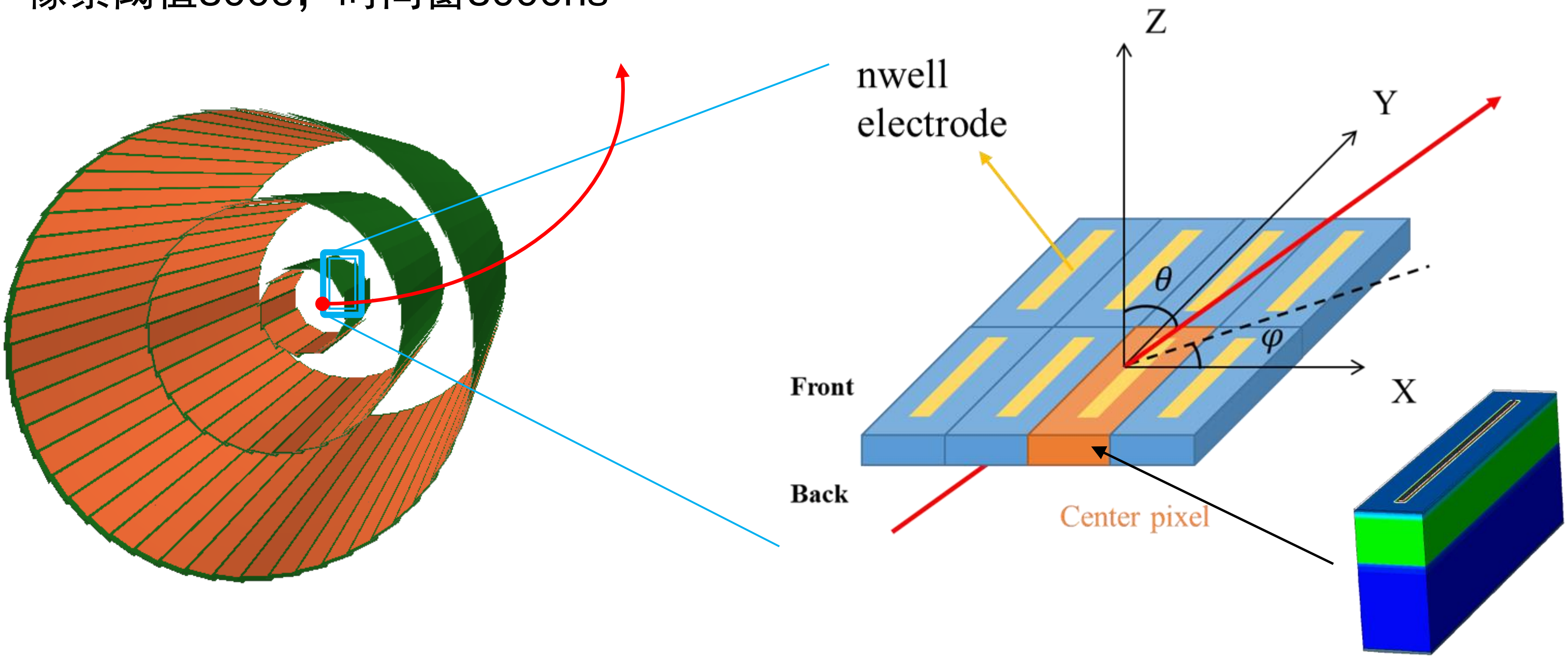
- 170*30有源区连接
- nwell_size=2um, spacing=2um
- nwell=0.8V, sub=-6V
- 径迹从**对角入射**

	Collected charge (e)	Collection time(ns)
TJ180nm	**531.76**	**139.83**
GSMC130 nm	**508.06**	**163.64**
BCIS90nm	**277.42**	**220.92**
Modified-TJ180nm	443.38	203.91
Modified-TJ180nm pstop	435.06	34.07

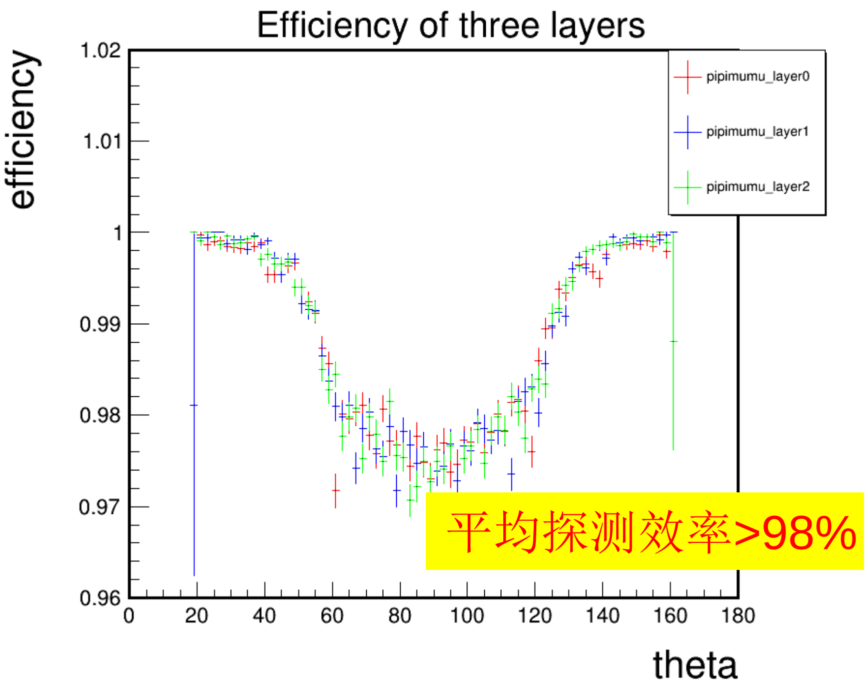


探测效率仿真

- OSCAR下进行模拟
- 像素尺寸170um*30um，使用TJ180nm工艺
- 使用1GeV mu-随机出射
- 像素阈值300e，时间窗3000ns

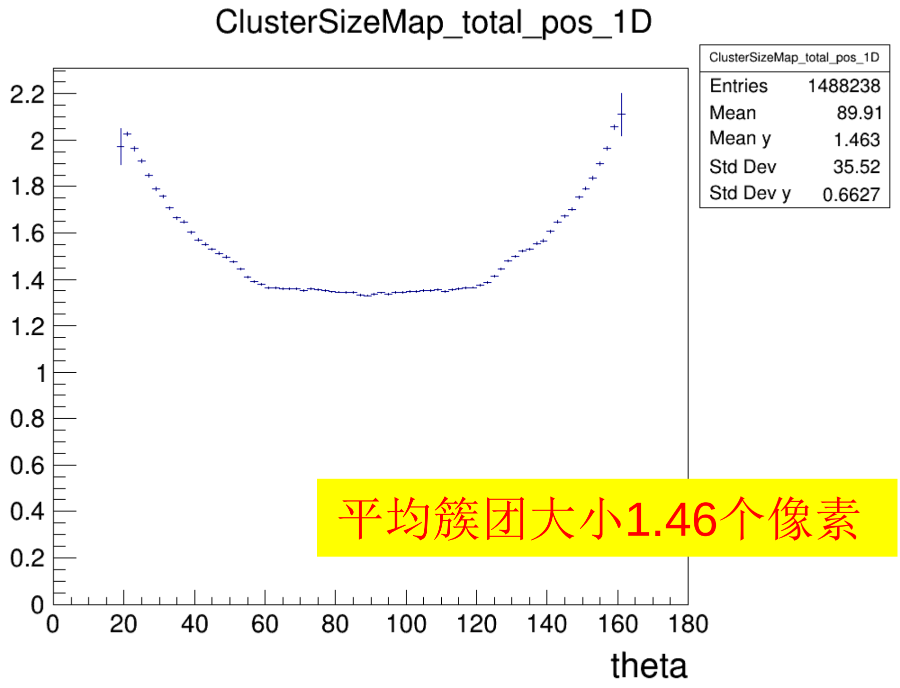


探测效率仿真



平均探测效率>98%

三层分别的探测效率
vs极角θ

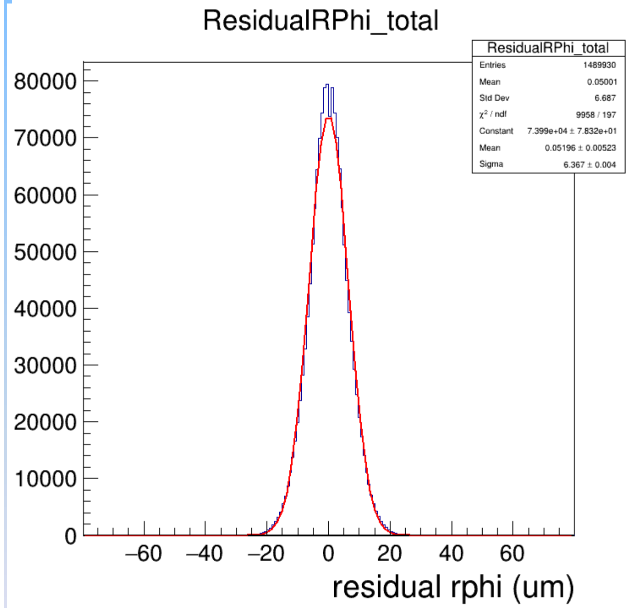


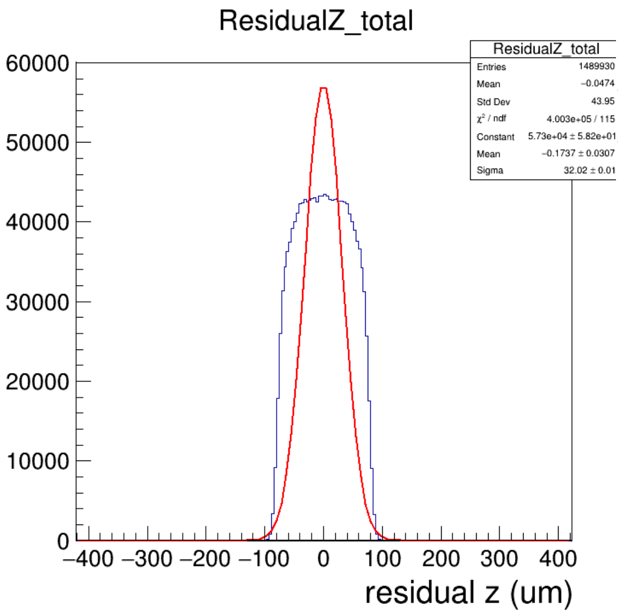
平均簇团大小1.46个像素

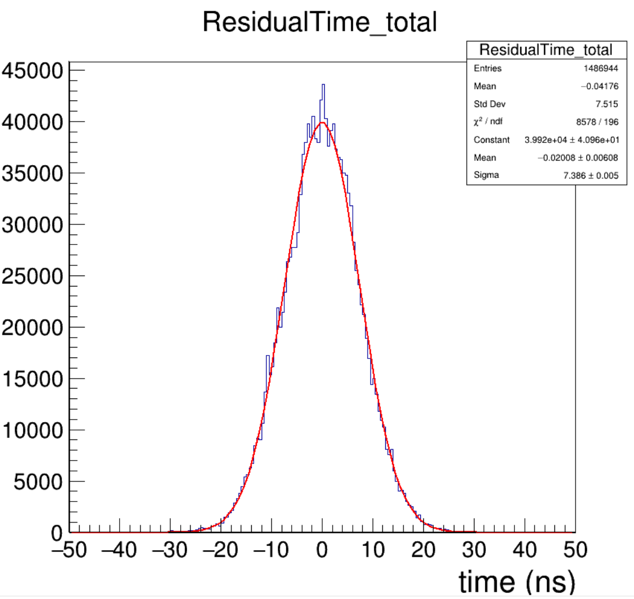
三层平均簇团大小vs极角θ

分辨性能

- 三层平均的单簇团位置分辨和时间分辨
- 簇团位置由电荷重心法重建
- 时间分辨计算使用seed像素TOT，并对信号上升沿做Time Walk修正







$$\Delta rphi = 0.05um$$
$$\sigma_{rphi} = 6.4um$$

$$\Delta z = -0.17um$$
$$\sigma_z = 32.0um$$

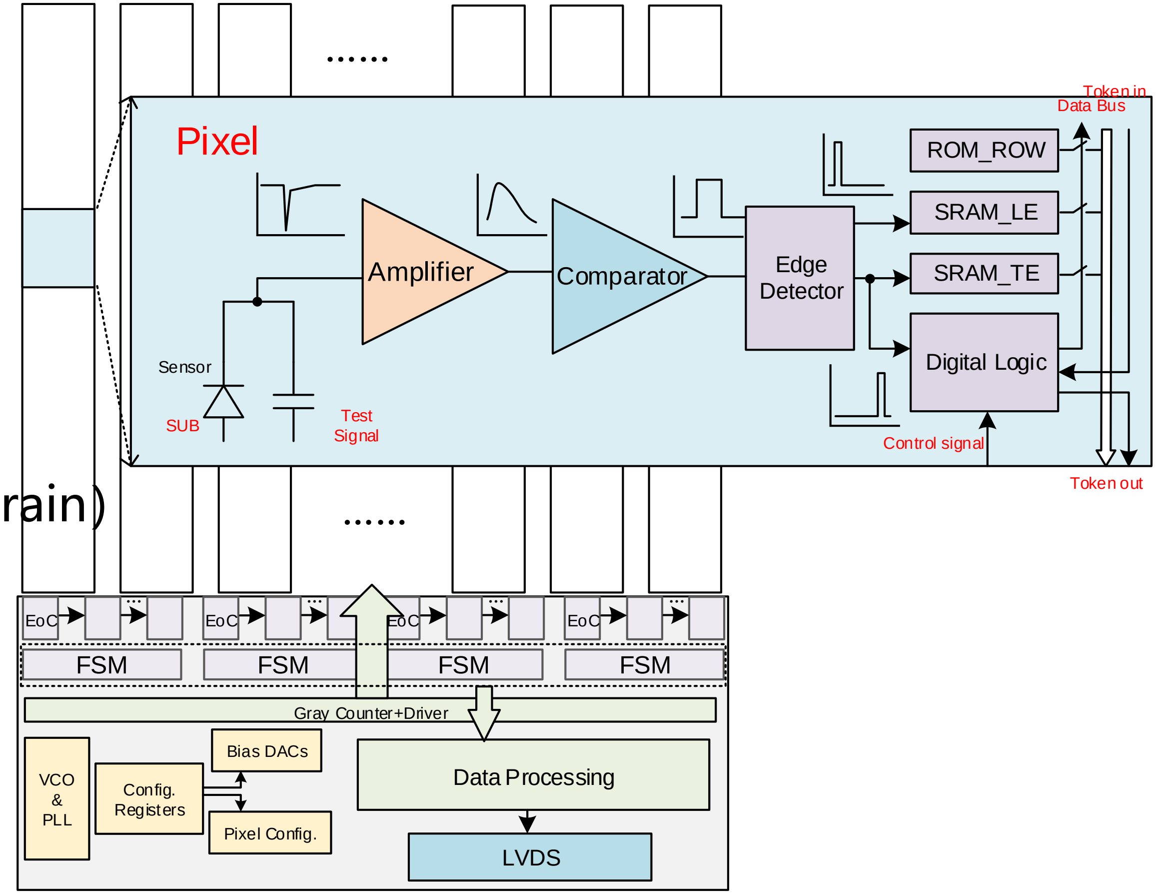
$$\sigma_{t\_sensor} = 7.4ns$$

目录

- 研究背景
- STCF MAPS Sensor设计
- STCF MAPS读出电路设计
- 总结

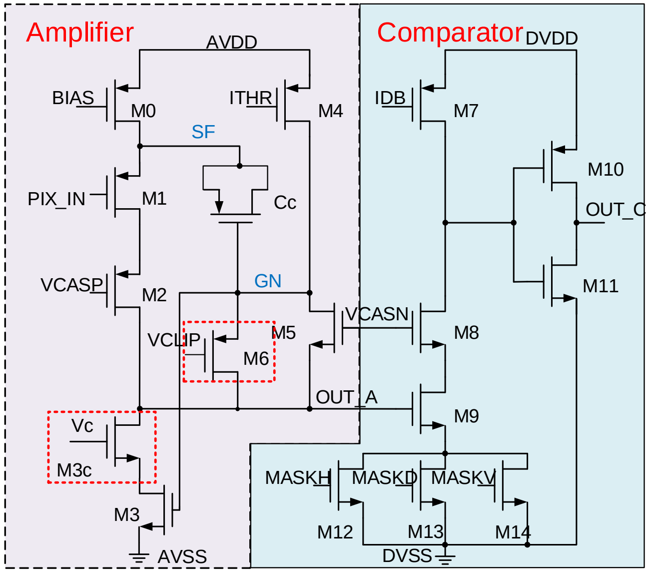
读出芯片整体架构

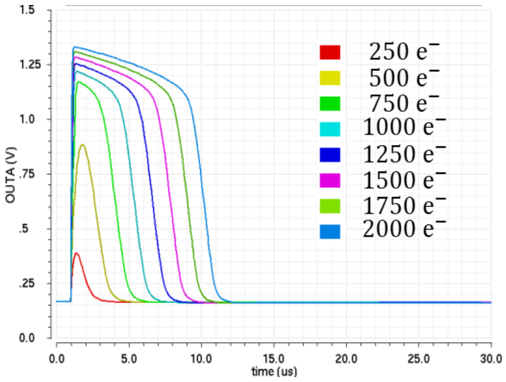
- 像素内电路
  - 放大甄别，提取前后沿
  - 前后沿分别锁存时间戳
  - 分发时间戳
    - 20MHz格雷码
- 列级读出电路
  - 列优先级读出（Column-Drain）
- 外围电路
  - 阵列分组，提高读出速度
  - 模拟偏置
  - 串行化，等



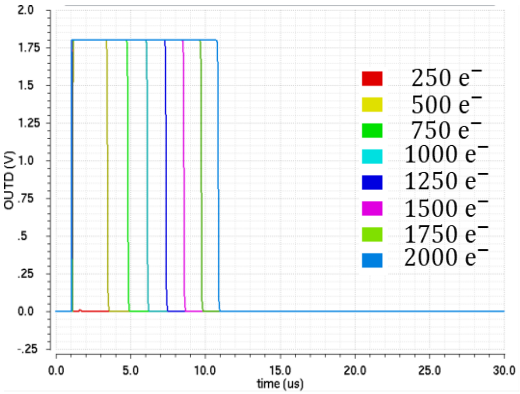
像素内模拟前端

- 前端结构：开环放大+电流比较器(参考ALPIDE、Monopix、MALTA)
- 以strip-based sensor（170×31）读出为例
  - 时间测量模式下，Threshold=309.0 e$^-$，ENC=11.4 e-，MISMATCH=5.7 e$^-$
  - 8-bit ToA & 8-bit ToT
  - 功耗~800 nA/pix，~26 mW/cm^2

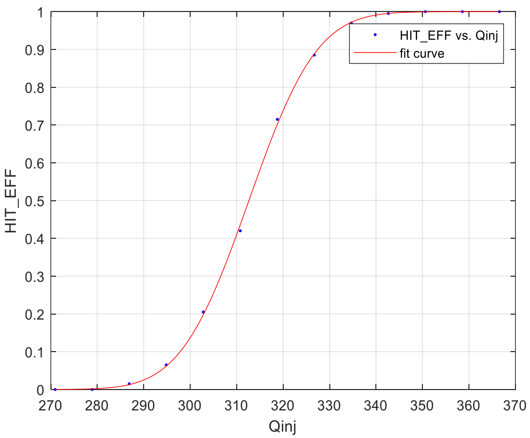




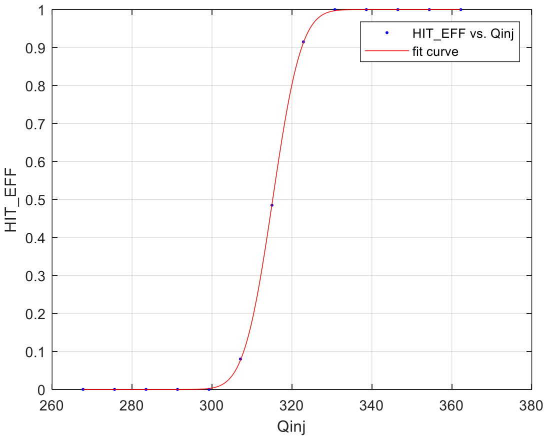
不同Qinj下OUTA波形



不同Qinj下比较器响应



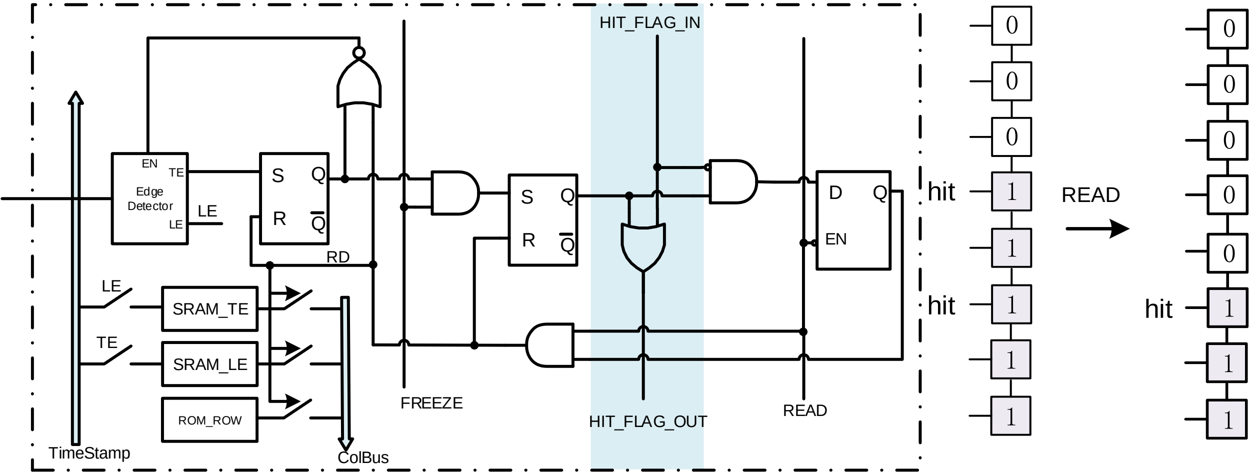
Noise S-curve ENC=11.4 e$^-$



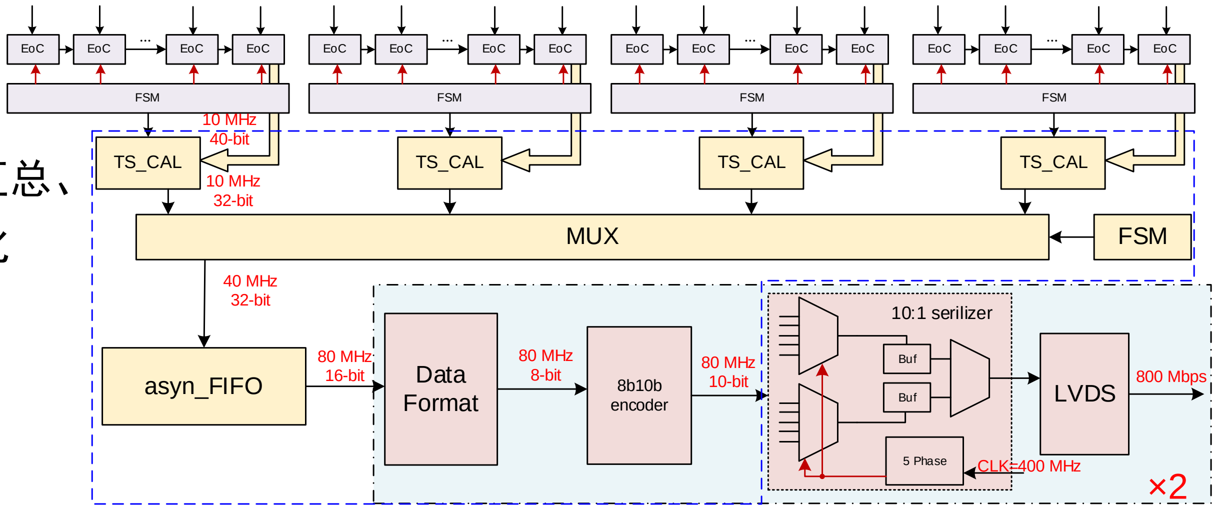
MC S-curve MISMATCH=5.7 e$^-$

数字电路

- 像素内数字电路
  - ◇ 基于TOKEN的优先级读出
  - ◇ 读出架构类似ATLAS FE-I3
  - ◇ 8-bit前沿、8-bit后沿时间戳
  - ◇ 系统时钟20 MHz



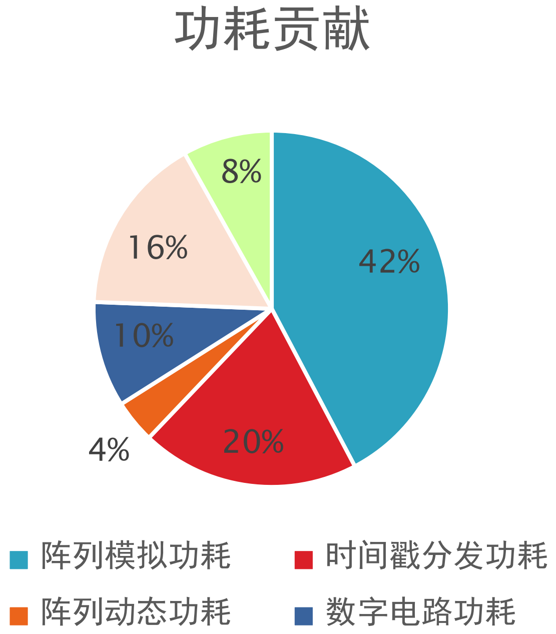
- 外围数字电路
  - ◇ 阵列分组，并行读出
  - ◇ 电路功能：时间戳校准、汇总、缓存、组帧、编码、串行化
  - ◇ 读出事例率 ~30 MHz/Chip
  - ◇ 串行速率800 Mbps×2



功耗仿真

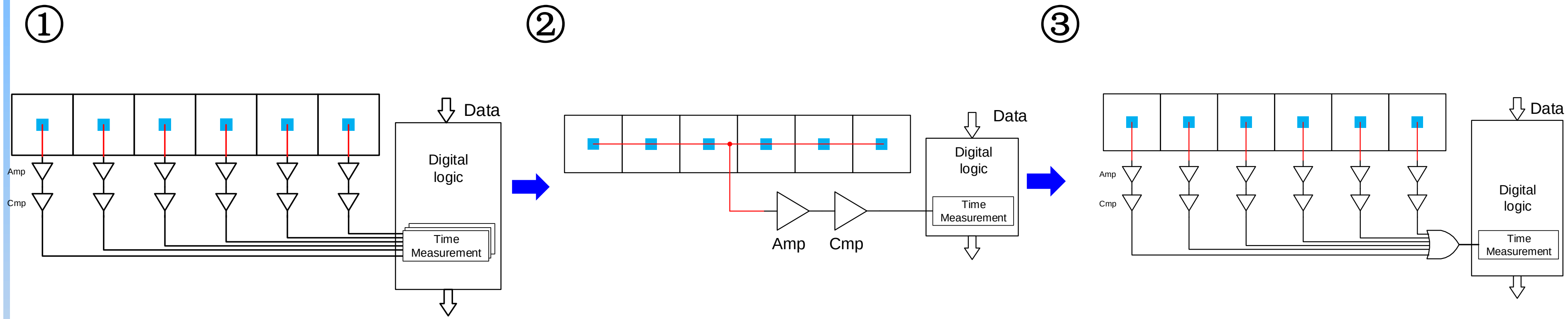
- 将170 μm×31 μm像素单元拓展到2 cm×2 cm
  - Strip-based：55.7 mW/cm^2
  - Pixel-based：46.2 mW/cm^2
- 读出电路功耗~ 50 mW/cm^2
  - 为气冷提供可能性

贡献项	功耗	备注
像素阵列模拟功耗	~26 mW/cm^2	Strip-based
	~15 mW/cm^2	Pixel-based
时间戳分发功耗	12.2 mW/cm^2	
像素阵列动态功耗	2.4 mW/cm^2	8.7 MHz/cm^{2}事例率
外围数字电路功耗	23.5 mW	30MHz/Chip
PLL+串行器+LVDS功耗	39 mW	两路数据+时钟输出
模拟配置电路	20 mW	
总功耗	222.6 mW	Strip-based
	184.6 mW	Pixel-based



精度提升考虑

- 高精度位置分辨和时间分辨提供更多的可能
- 提出基于超级像素的新型读出架构



传统定时MAPS

- ✓ 小像素→定时快、噪声小
- ✓ 读出通道多→功耗高

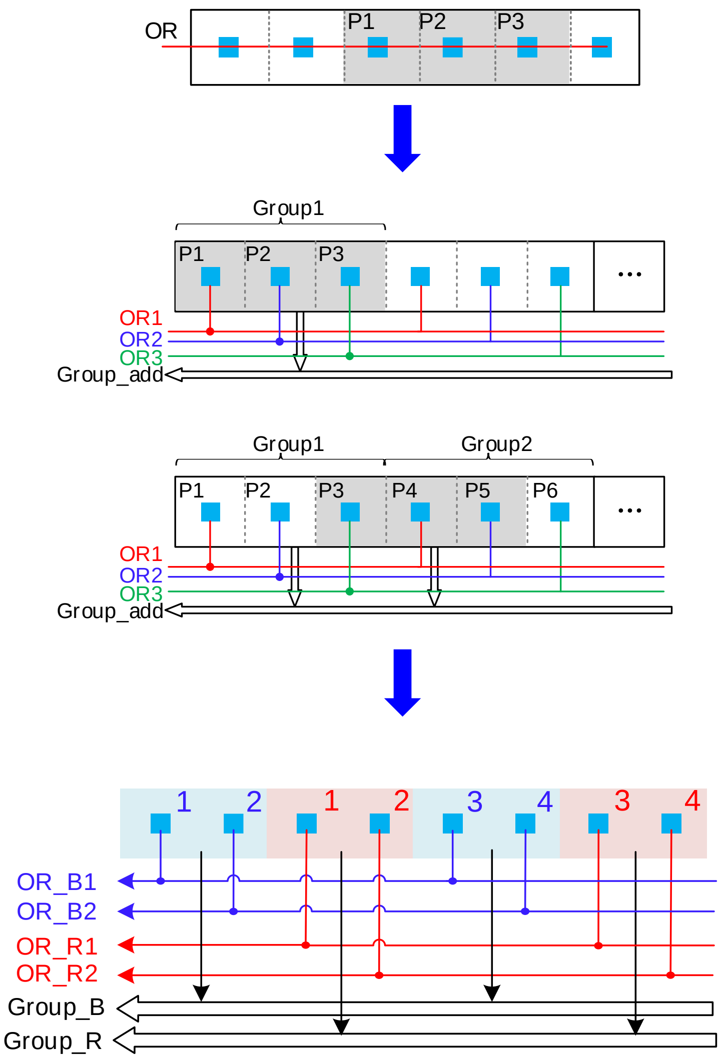
TJ & FCIS/BCIS MAPS

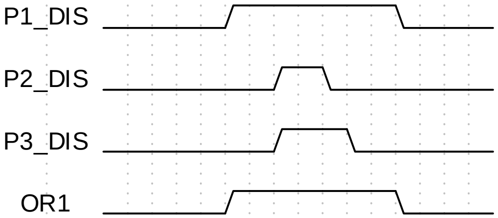
- ✓ 大像素→定时较慢、噪声较高
- ✓ 读出通道少→功耗低

基于超级像素读出的MAPS

- ✓ 小像素→定时快、噪声小
- ✓ 读出通道少→数字功耗低

优化方案





相邻像素做“OR”

- ✓ 小信号像素的ToT丢失(Cluster>1时)

错位像素做“OR”

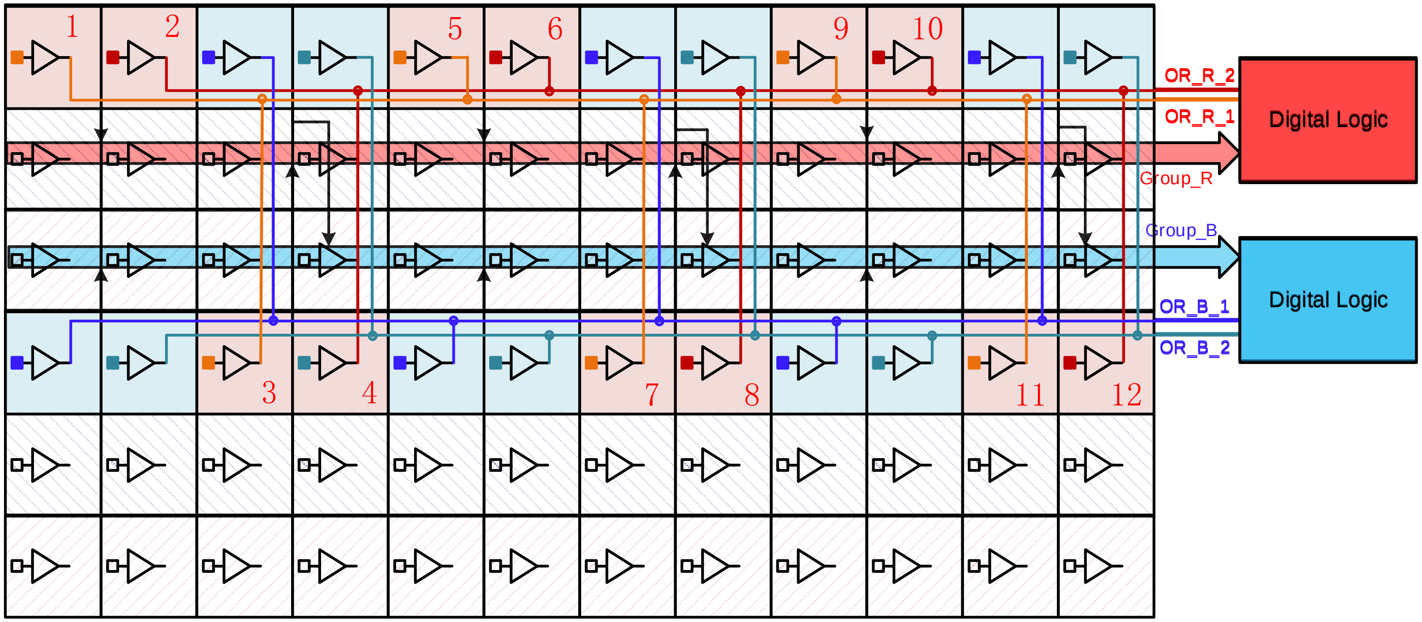
- ✓ 避免小信号ToT丢失(Cluster>1时)
- ✓ 读出有效Group地址
- ✓ 多个Group同时有效时，位置信息丢失

错位像素做“OR”、错位摆放Group

- ✓ 避免小信号ToT丢失
- ✓ 避免位置信息丢失
- ✓ 进一步减小数字功耗

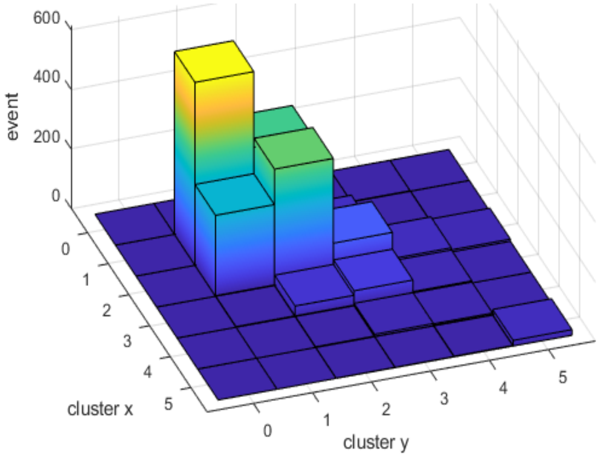
Pixel Core设计

- Pixel Core：Layout可重复的最小阵列
- 单行超级像素结构版图实现难度大→4 readout channels/row
- 从两个维度合并读出通道→2 readout channels/row
  - ◇ Core size: 6×12 pixel
  - ◇ Cluster area小于3×4 pixel时，不损失pixel的信息

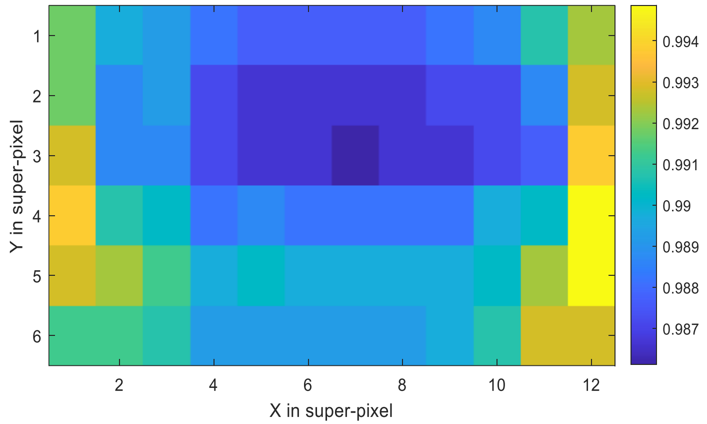


同时提供高精度位置分辨和高精度时间分辨

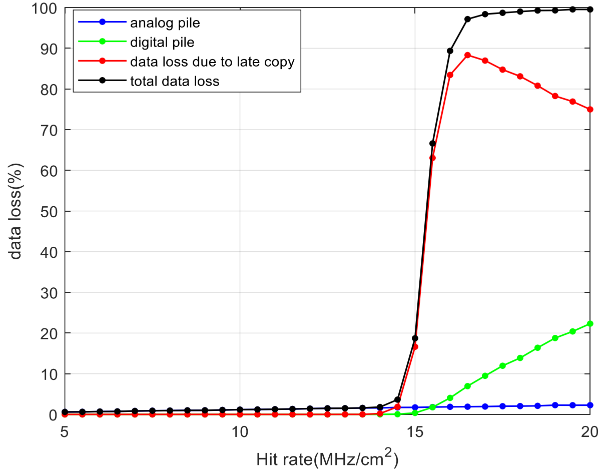
Pixel Core仿真



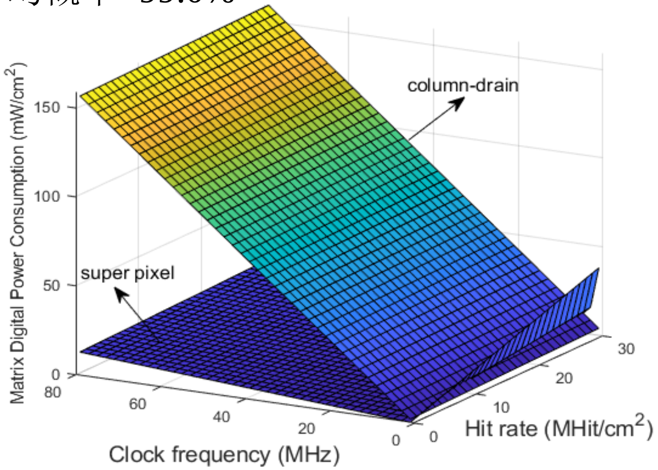
Cluster分布：
平均值2.3 (threshold=150 e^-)



Hit击中Super pixel不同位置时，不损失ToT概率
平均概率>99.0%



不同事例率下数据损失(读出效率)曲线：
Hit rate<8.5 MHz/cm^{2}时，读出效率均>99%

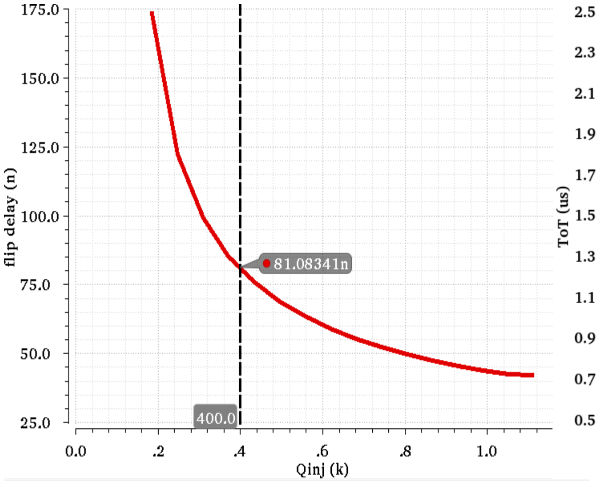


该结构与双列结构的阵列数字功耗对比：
新结构阵列数字功耗<20mW/cm^2(模型仿真)
其中时间戳翻转功耗为11.0mW/cm^2(后仿真)

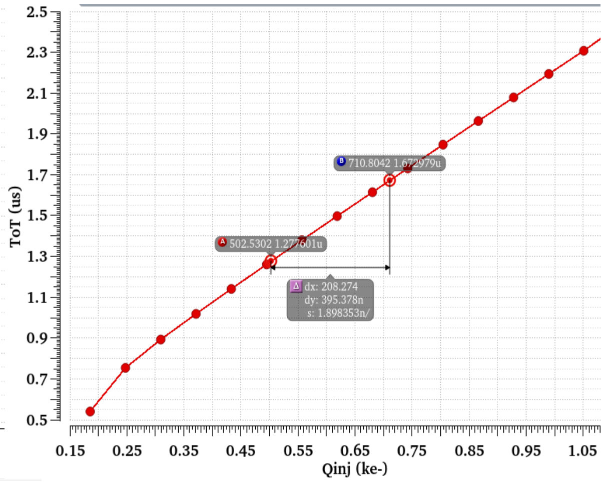
GSMC130-模拟前端

- 模拟前端与TJ_MAPS结构一致
  - ◇ 开环放大+甄别
  - ◇ 输入电容减小至2.5 fF
  - ◇ 模拟性能有明显提升
  - ◇ ΔToT/ΔQin=189 ns per 100e$^-$

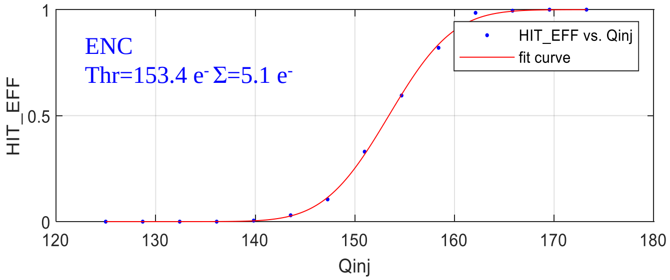
	TJ-MAPS (后仿真)	GSMC-MAPS (后仿真)
功耗	800nA/pix	120×6 nA/pix
阈值	309.0 e$^-$	153.8 e$^-$
ENC	11.4 e$^-$	5.1 e$^-$
MISMATCH	5.7 e$^-$	5.8 e$^-$

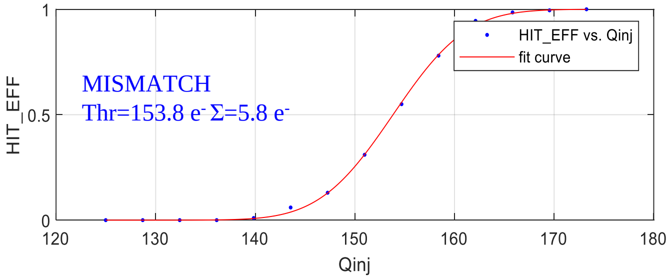


Time walk曲线



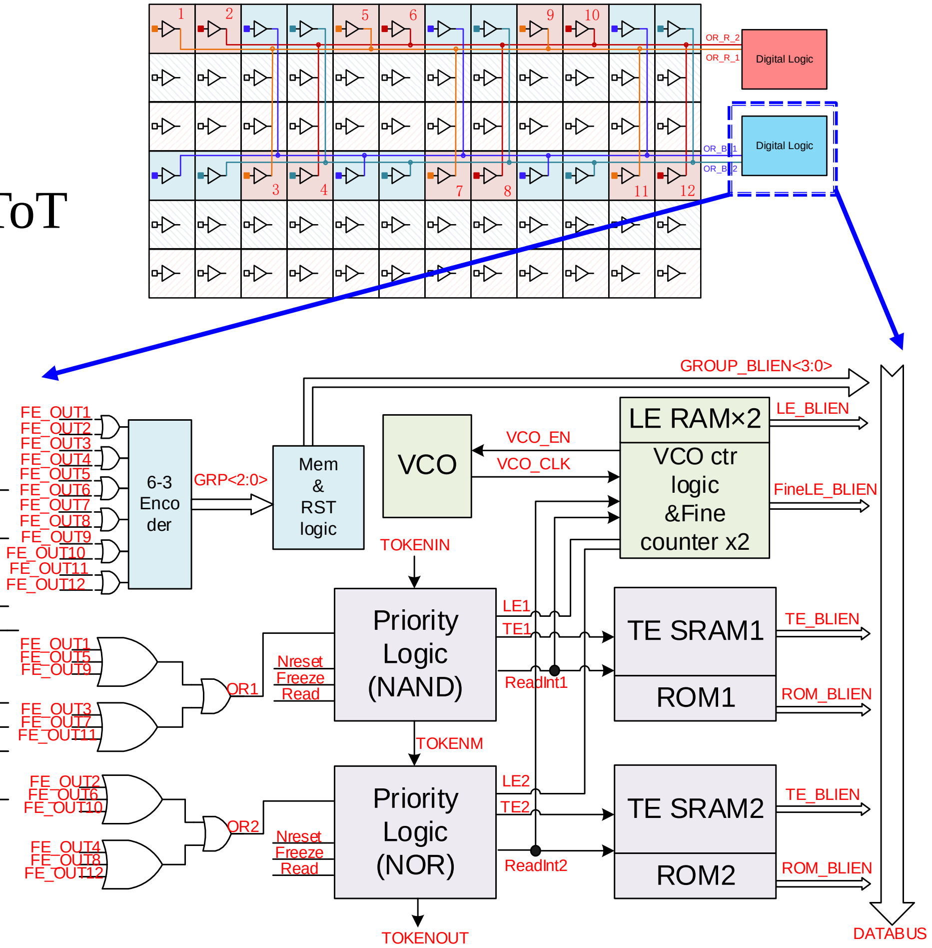
ToT-Qinj 曲线

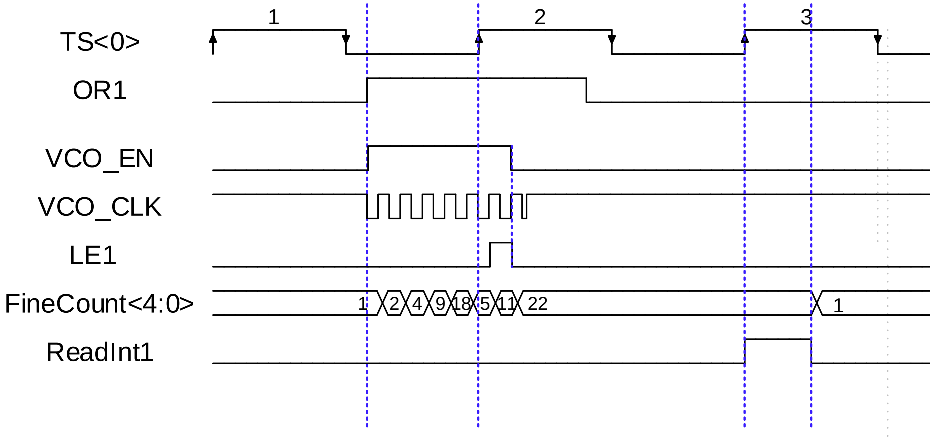




GSMC130-像素内数字电路

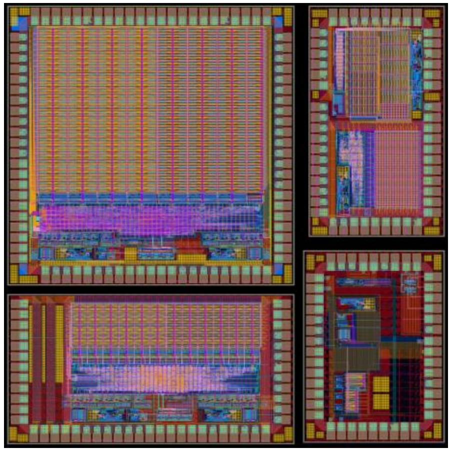
- 采用粗时间戳+细计数的定时结构
- 细计数时钟由起停型VCO产生
  - 振荡频率500 MHz
  - 仅击中时产生功耗
- 5-bit fine ToA, 8-bit coarse ToA, 8-bit ToT
- 红蓝组各提供3-bit Group地址



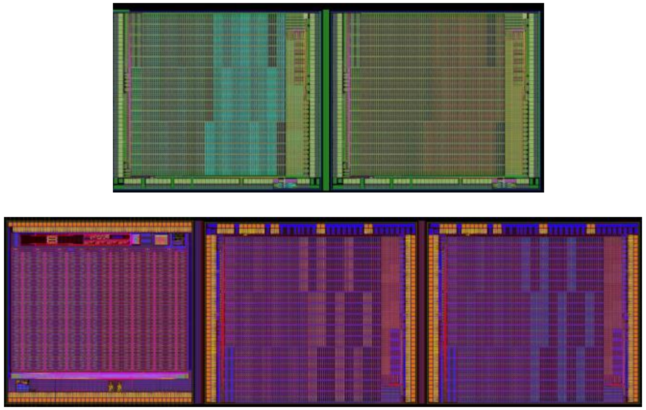


当前进展

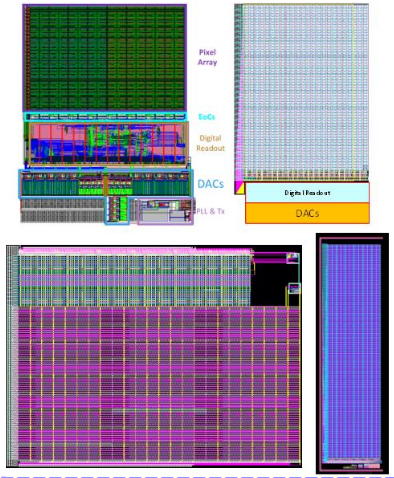
TowerJazz180
2024.3提交流片



FCIS90、BCIS90
2024.5提交流片



GSMC130设计中
预计2024.7提交



总结

- MAPS探测器是STCF ITK重要备选方案之一
- 要求同时实现位置+时间+电荷测量
  - ◇ 位置分辨： ≤100μm
  - ◇ 功耗： ≤100mW/cm^2→ 50mW/cm^2 ↓
  - ◇ 单层无质量：≤0.3% X_0
  - ◇ 时间分辨：≤50ns → 5 ns
- MAPS设计
  - ◇ 基于TowerJazz180工艺完成原型验证芯片设计，并于2024.3提交流片
  - ◇ 基于Nexchip FCIS90和BCIS90完成原型验证芯片设计，并于2024.5提交流片
  - ◇ 正在基于GSMC130nm工艺开展设计，计划2024.7提交流片

谢谢！