

基于65纳米工艺的TPC探测器数字化前端 芯片研制进展

刘伟, 刘灿文, 邓智, 李福乐, 李玉兰, 祁汇荣

2021/10/23



一. 背景介绍

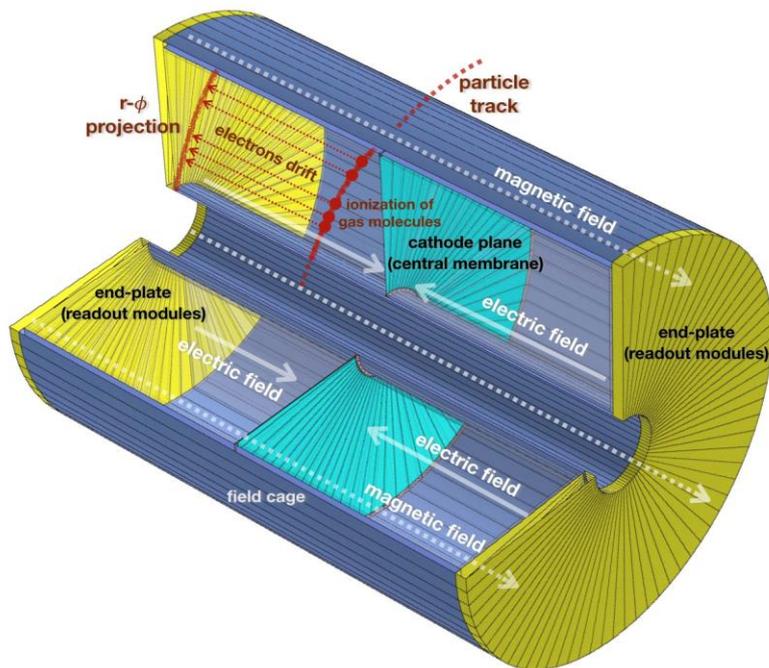
二. 数字化前端芯片研制进展

三. 总结与下一步

一. 背景介绍

二. 数字化前端芯片研制进展

三. 总结与下一步



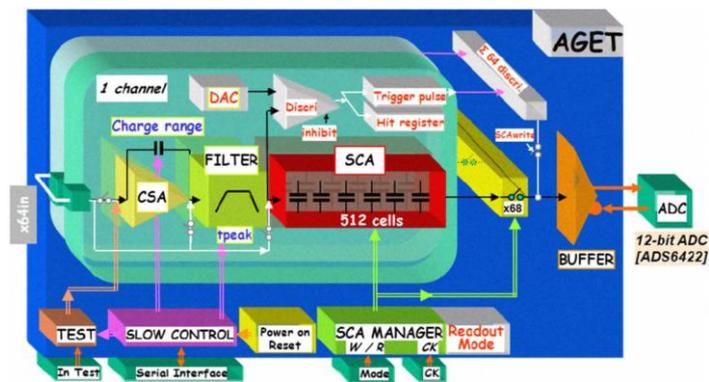
Momentum resolution (B=3.5T)	$\delta(1/p_t) \approx 10^{-4}/\text{GeV}/c$
δ_{point} in $r\phi$	<100 μm
δ_{point} in rZ	0.4-1.4 mm
Inner radius	329 mm
Outer radius	1800 mm
Drift length	2350 mm
Pad pitch/no. padrows	$\approx 1 \text{ mm} \times (4\sim 10\text{mm}) \approx 200$
2-hit resolution	$\approx 2 \text{ mm}$
Efficiency	>97% for TPC only ($p_t > 1\text{GeV}$) >99% all tracking ($p_t > 1\text{GeV}$)

- 高动量分辨率 → 高空间分辨率 → 小读出pads (~1 mm x 6mm) → 两百万路电子学读出通道
- ILC工作在bunch train模式, bunch间隔200 ms, 但是CEPC对撞频率高 (~100 kHz), TPC需要连续工作 (电子漂移时间~30 us) → 连续读出低功耗电子学
- 高亮度 (~2 x 10³⁴ cm⁻²s⁻¹) → 高事例率 (1 kHz → 10 kHz) → 高计数率 → 波形采样

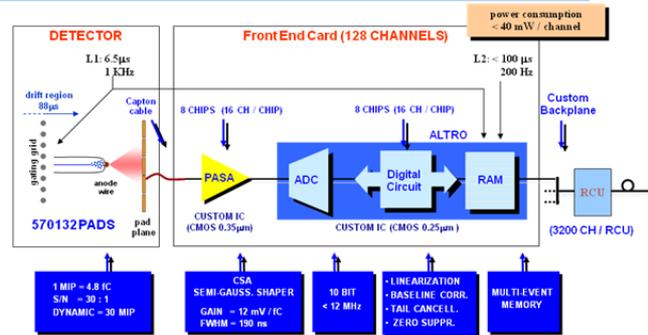
ADC

国内外高能物理实验TPC读出芯片发展现状

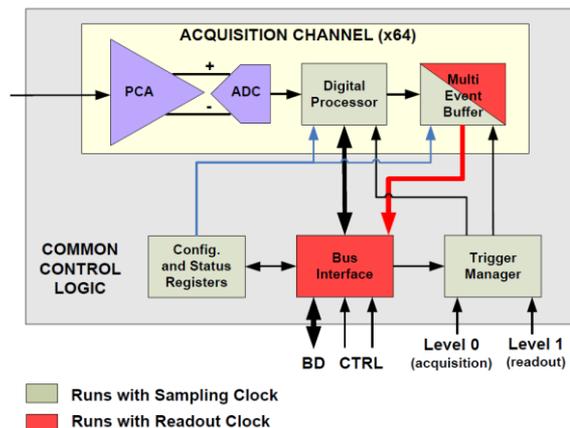
AGET (T2K)



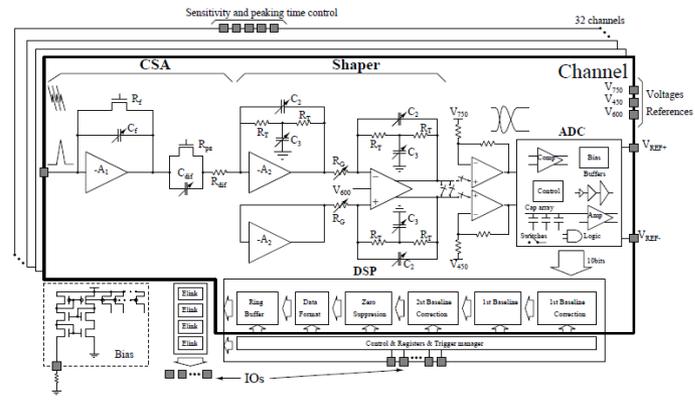
PASA+ALTRO (ALICE)



Super_ALTRO (ILC)



SAMPA (ALICE Upgrade)



背景介绍

国内外高能物理实验TPC读出芯片性能总结

	AGET	PASA+ALTRO	Super-ALTRO	SAMPA
TPC	T2K	ALICE	ILC	ALICE upgrade
Pad尺寸	6.9x9.7 mm ²	4x7.5 mm ²	1x6 mm ²	4x7.5 mm ²
通道数	1.25 x 10 ⁵	5.7x 10 ⁵	1-2 x 10 ⁶	5.7 x 10 ⁵
读出结构	MicroMegas	MWPC	GEM/MicroMegas	GEM
增益	0.2-17 mV/fC	12 mV/fC	12-27 mV/fC	20/30 mV/fC
成型方式	CR-(RC) ²	CR-(RC) ⁴	CR-(RC) ⁴	CR-(RC) ⁴
达峰时间	50 ns-1us	200 ns	30-120 ns	80/160 ns
ENC	850 e @ 200ns	385 e	520 e	482 e @ 180ns
波形采样方式	SCA	ADC	ADC	ADC
采样率	1-100 MSPS	10 MSPS	40 MSPS	10 MSPS
精度	12 bit(external)	10 bit	10 bit	10 bit
功耗	<10 mW/ch	32 mW/ch	47.3 mW/ch	17 mW/ch
CMOS工艺	350 nm	250 nm	130 nm	130 nm

- 当前没有一款TPC读出芯片可以同时满足CEPC TPC读出需求
 - 高计数率
 - 低功耗

高计数率低功耗波形采样TPC前端读出芯片功耗分析

	PASA+ALTRO	Super-ALTRO	SAMPA
成型方式	CR-(RC) ⁴	CR-(RC) ⁴	CR-(RC) ⁴
达峰时间	200 ns	30-120 ns	80/160 ns
波形采样方式	Pipeline ADC	Pipeline ADC	SAR ADC
采样率	10 MSPS	40 MSPS	10 MSPS
精度	10 bit	10 bit	10 bit
模拟前端功耗	11.67 mW/ch	16.25 mW/ch	9 mW/ch
ADC功耗	12.5 mW/ch	30.0 mW/ch	1.5 mW/ch
数字部分功耗	7.5 mW/ch	3.6 mW/ch	6.5mW/ch
CMOS工艺	350 nm	130 nm	130 nm

- 当前的高计数率波形采样读出芯片功耗主要来源
 - Pipeline ADC
 - 高阶模拟成型电路
- 低功耗设计策略:
 - 使用更先进的 65 nm CMOS 工艺
 - CR-(RC)ⁿ → CR-RC, 数字域实现高阶成型
 - ADC 结构: Pipeline (流水线) → SAR (逐次逼近)

一. 背景介绍

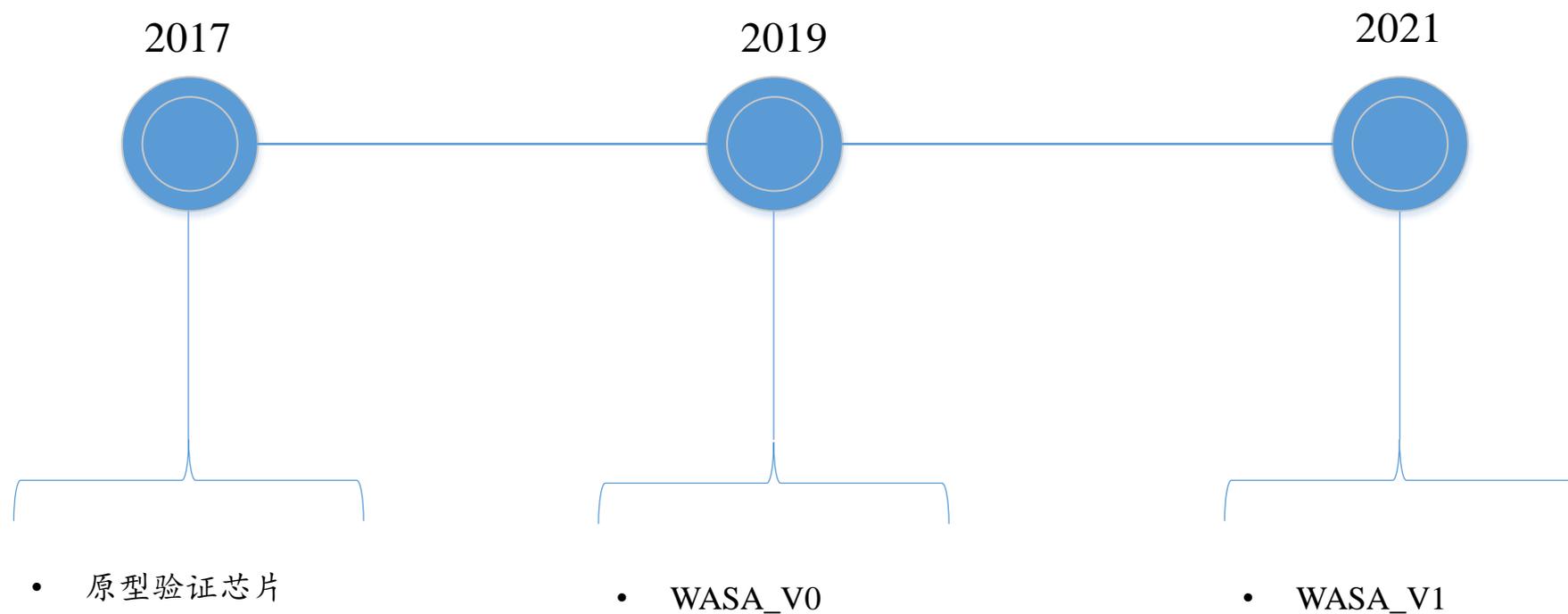
二. 数字化前端芯片研制进展

三. 总结与下一步

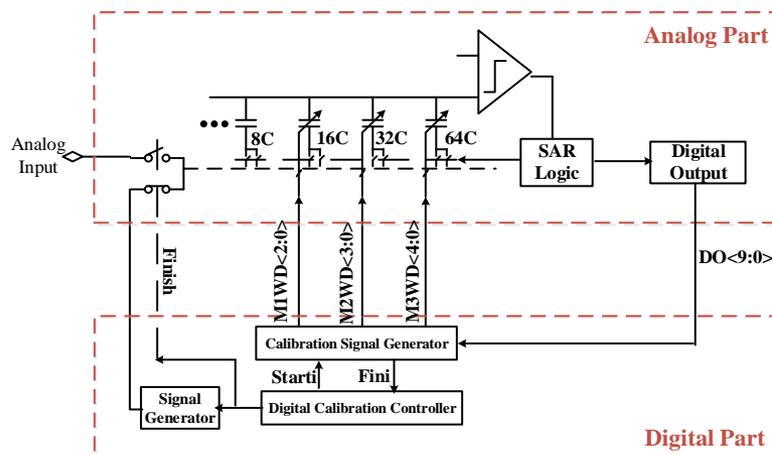
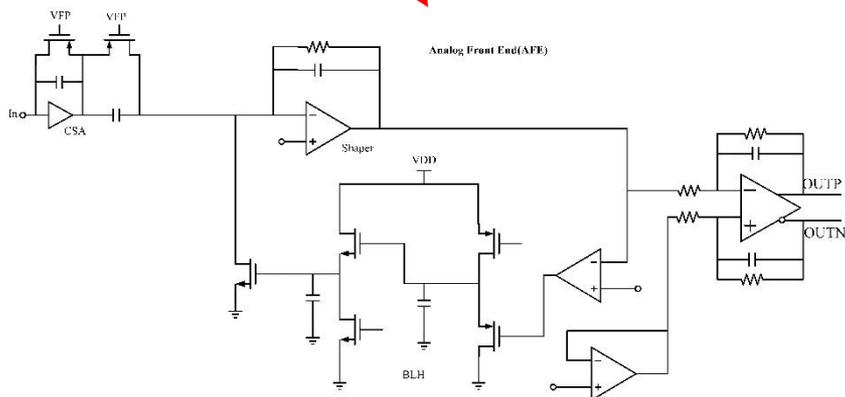
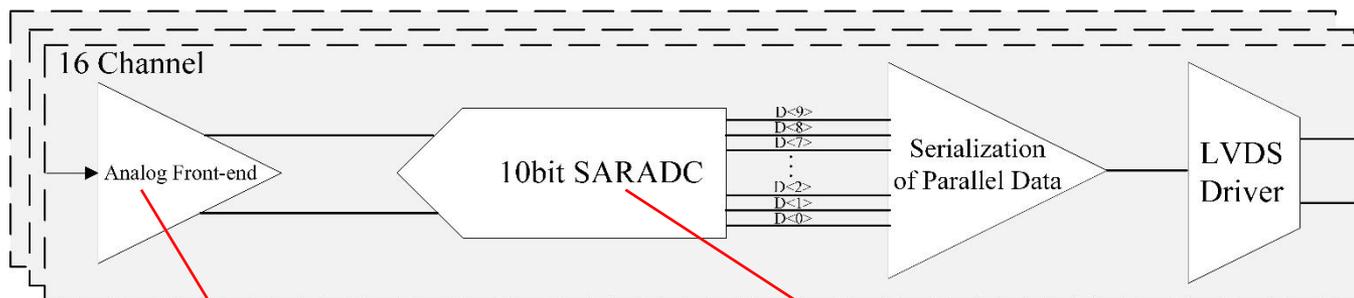
数字化前端芯片研制进展

1. WASA_V0测试进展
2. WASA_V1设计进展

TPC数字化前端芯片 WASA 开发历程

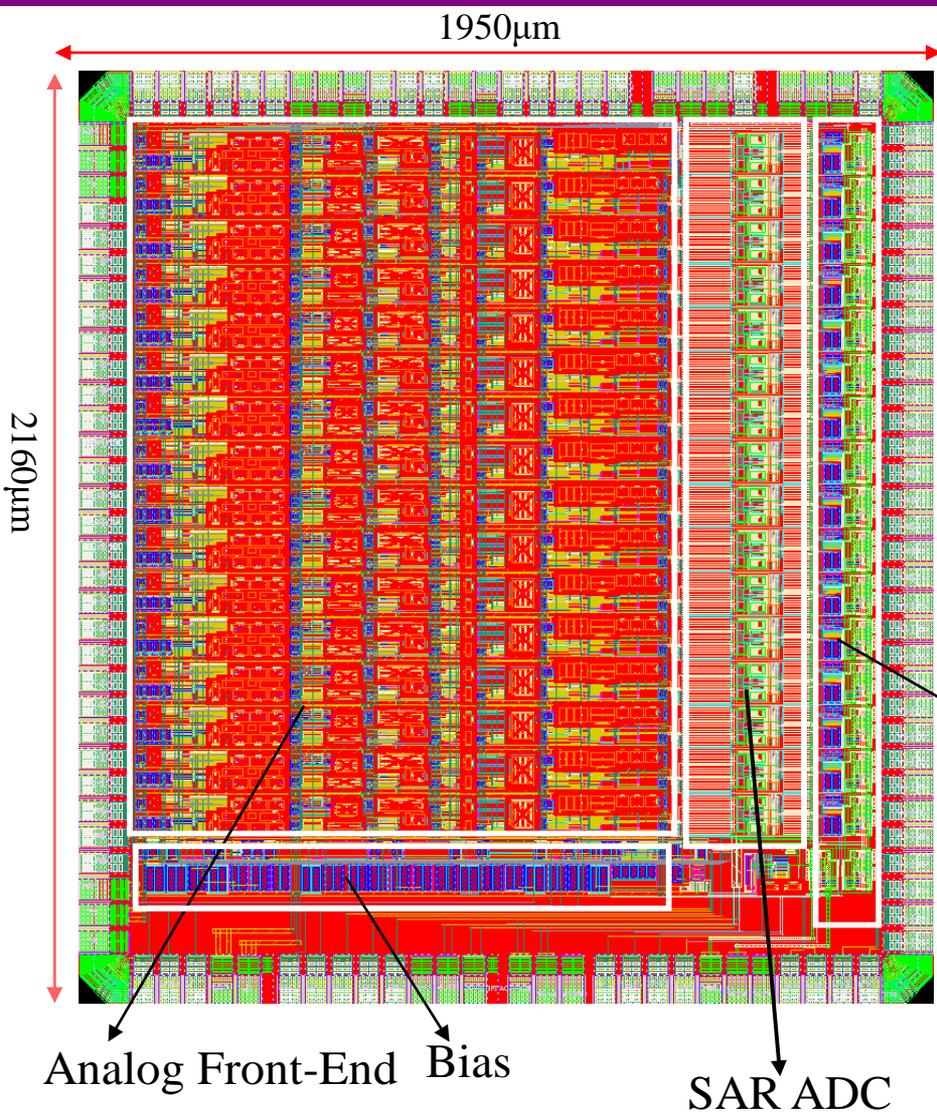


WASA_V0芯片设计



- 基于65纳米的波形采样低功耗读出芯片WASA_V0:
 - 功耗与噪声的优化
 - 集成度提高

版图设计

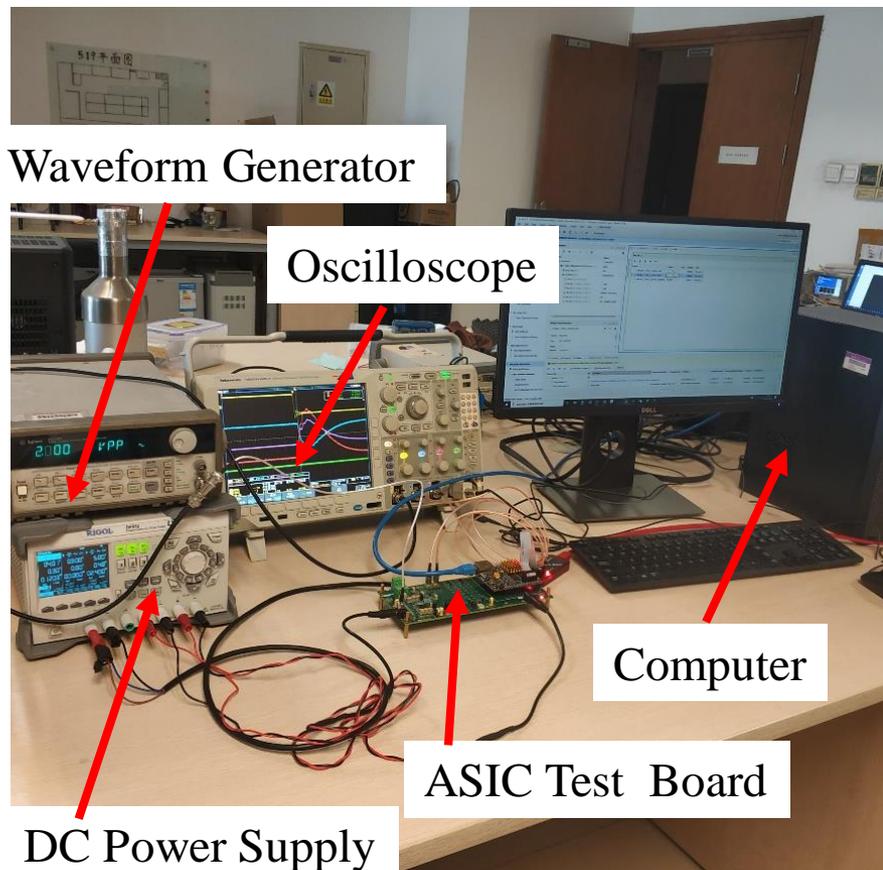


- 芯片版图：

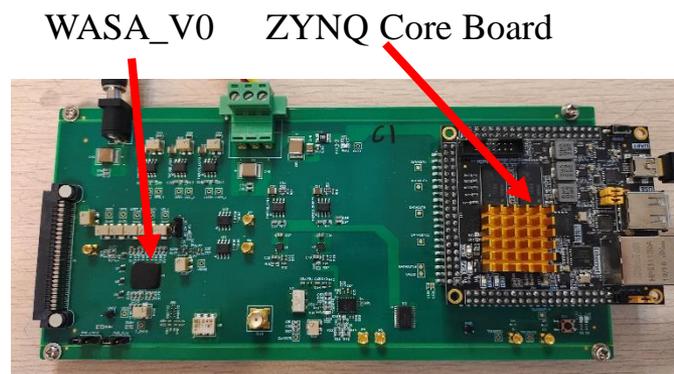
- 版图面积：1950 μm x 2160 μm
- 模拟前端，SPI, SAR ADC, LVDS 独立供电
- 模拟前端部分和SAR ADC之间的隔离

测试环境

- 测试环境

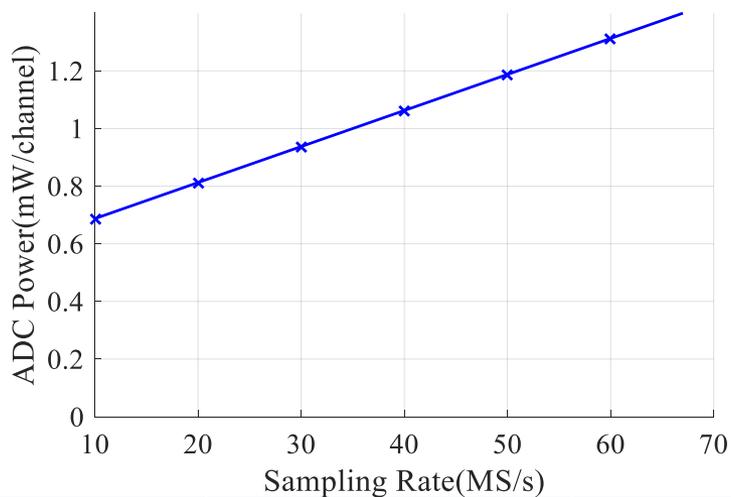


- 芯片测试板



功耗

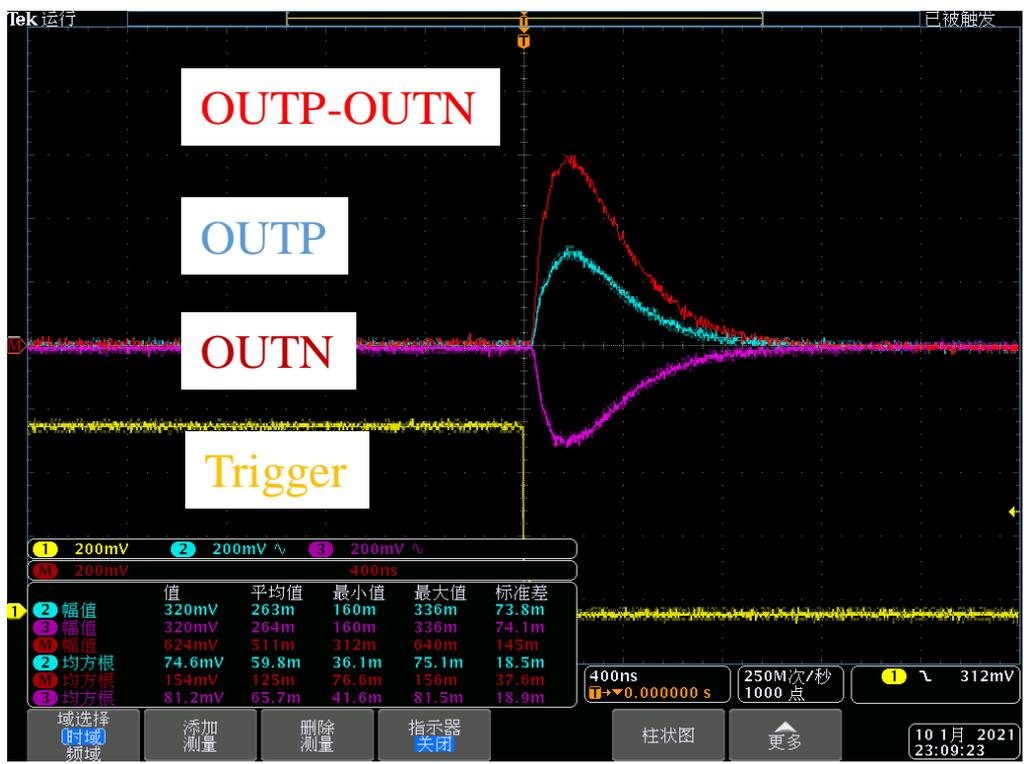
- 模拟前端功耗测试值: 1.43 mW/ch (1.40 mW/ch sim.)
- ADC功耗随采样率增加而增加, 1.06 mW/ch @40 MS/s



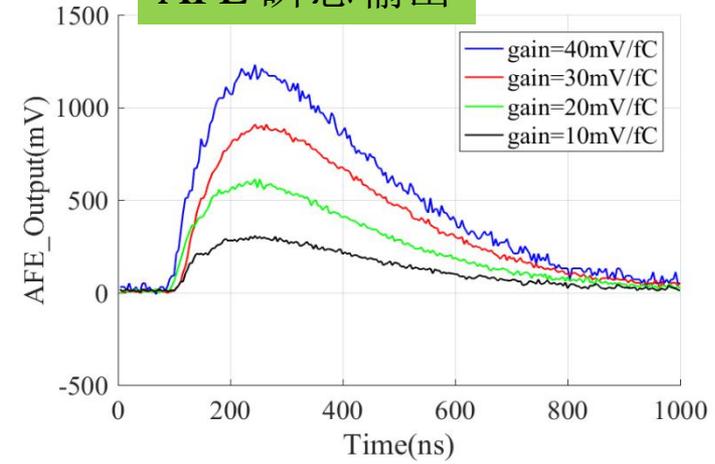
	AFE (mW/ch)	ADC (mW/ch)	Total (mW/ch)
第一版原型芯片仿真	1.93	1.0	2.93
第一版原型芯片测试	2.02	1.0	3.02
第二版原型芯片仿真	1.40	1.0	2.40
第二版原型芯片测试	1.43	1.06 @40MS/s	2.49

瞬态输出

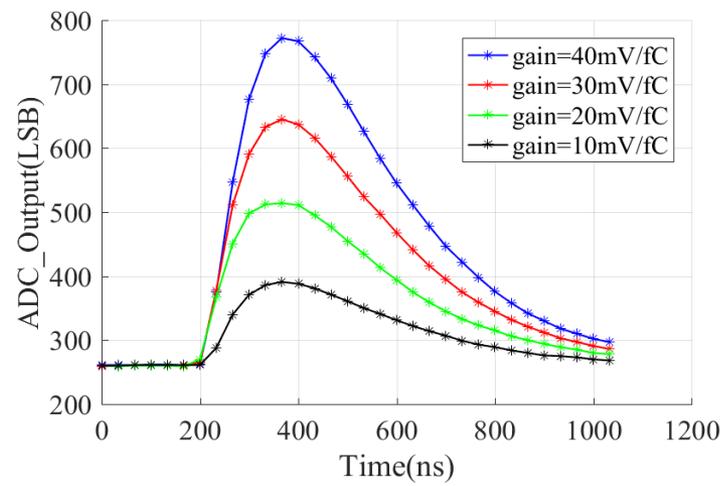
- 瞬态输出
 - 模拟前端差分输出共模电压可以片外调节



AFE 瞬态输出

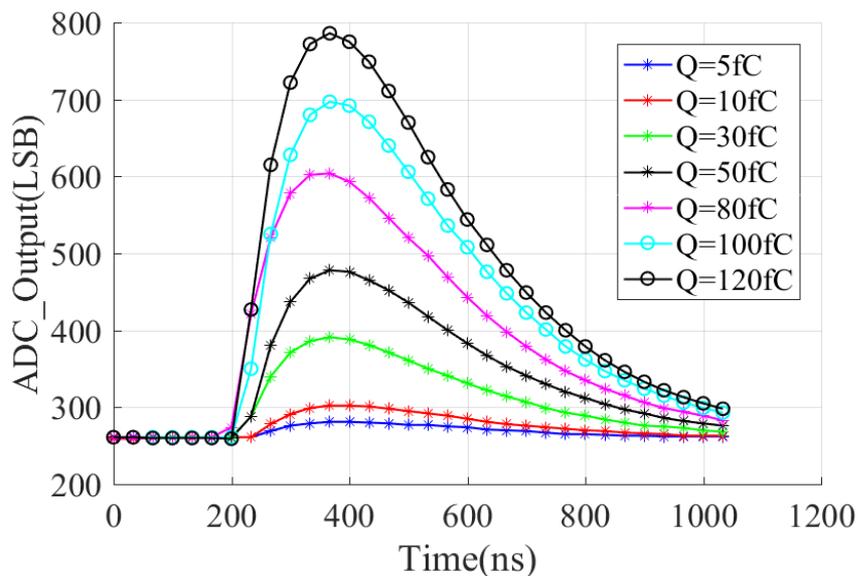


ADC 瞬态输出 @ 30MSPS

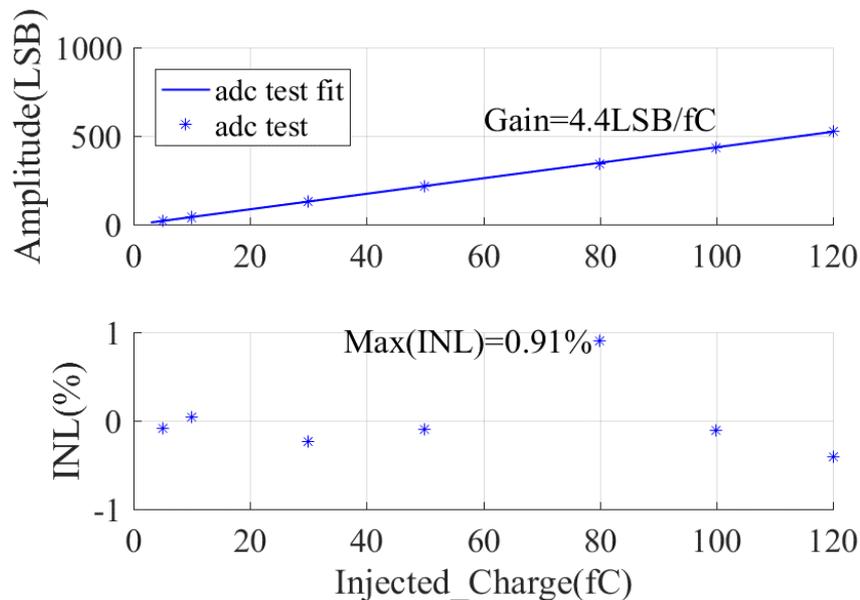


线性 @ 10 mV/fC

- 瞬态输出



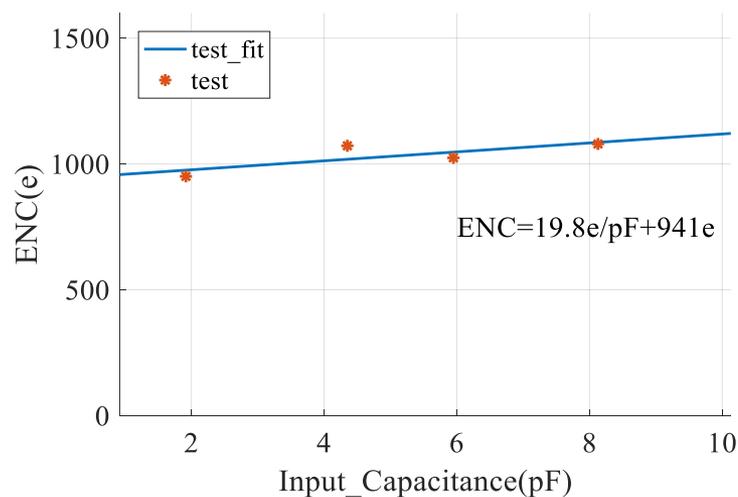
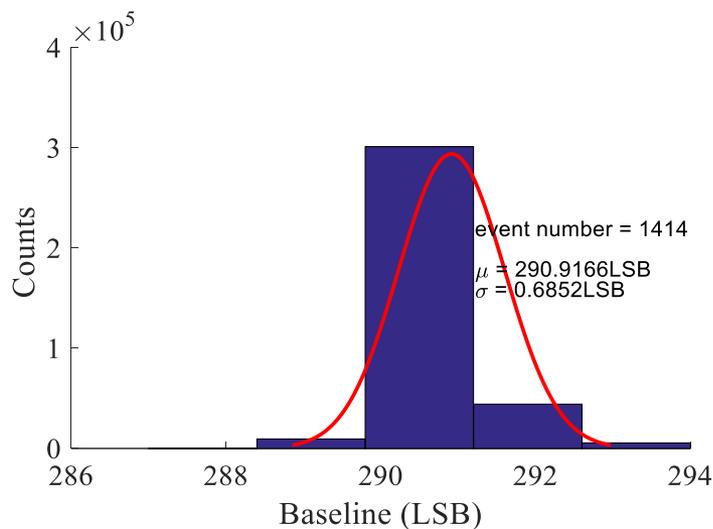
- 线性 @ 增益 = 10 mV/fC



增益 = 4.4 LSB/fC = 4.4 x 2.34 mV/fC = 10.3 mV/fC

噪声性能

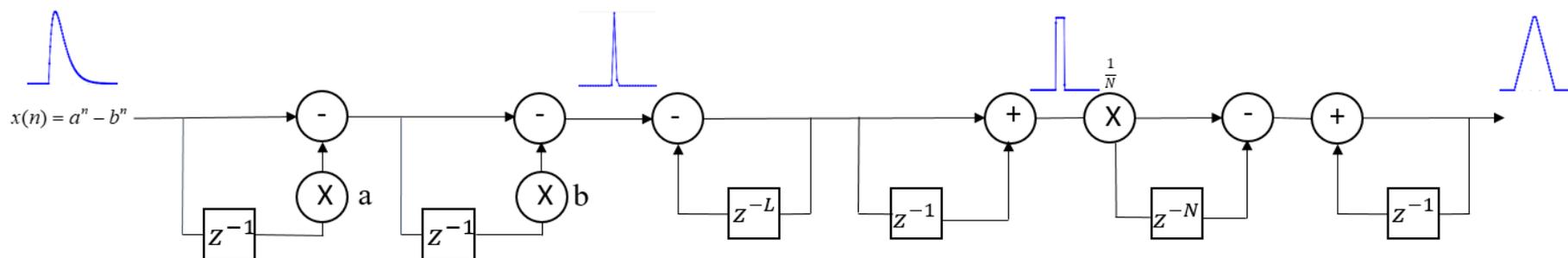
- 统计基线的标准差 @ 增益 = 10 mV/fC
 - ADC量化噪声贡献很大，可以通过数字滤波降低噪声



ENC = 19.8 e/pF + 941 e @ 30 MS/s, 增益 = 4.4 LSB/fC

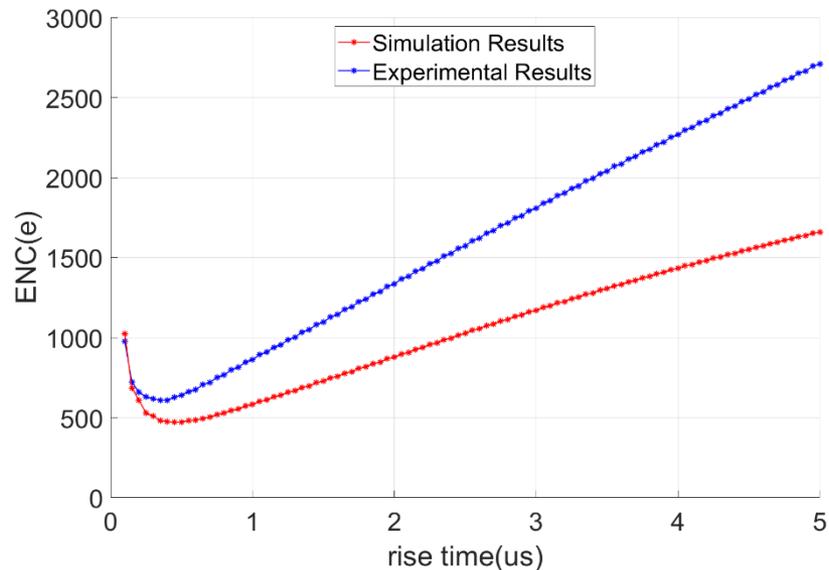
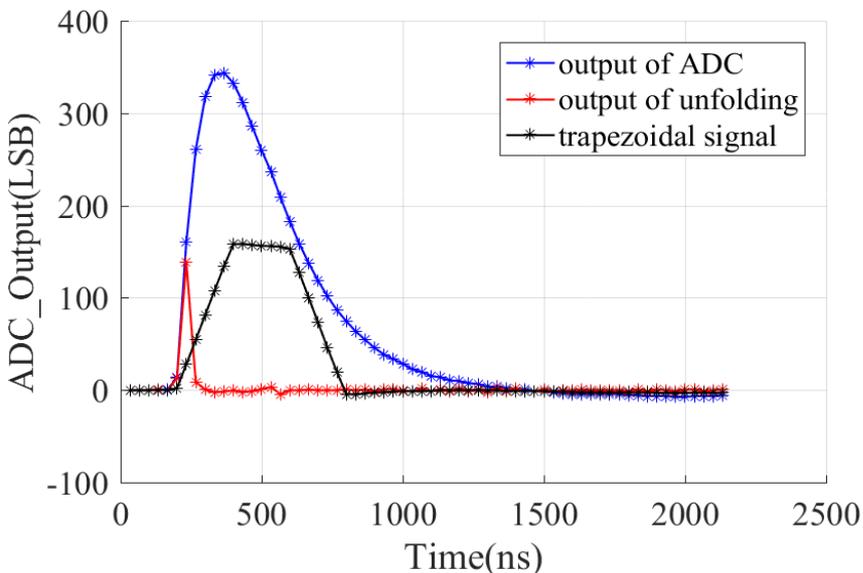
数字梯形滤波

- 梯形滤波后波形更加对称,可以达到更高的SNR(信噪比)
- 避免弹道亏损
- 硬件开销小,容易在芯片上实现
 - 2次乘法,6次加减法 以及一些移位操作



数字梯形滤波@MATLAB

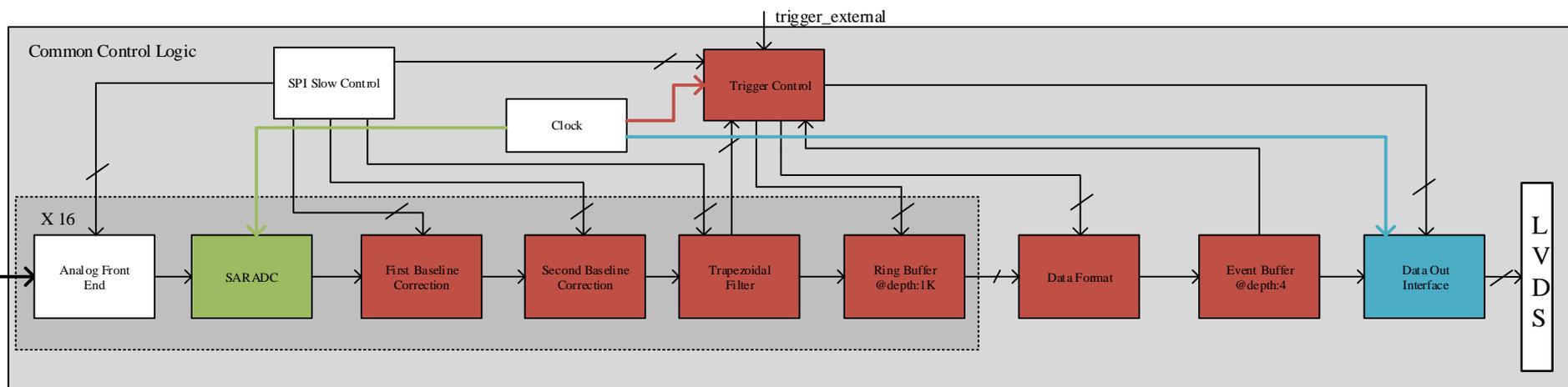
t_flat = 200 ns



- 波形更加对称
- ENC
 - CR-RC波形经ADC采样后 $ENC = 852 e$
 - 梯形滤波后最小 $ENC = 589 e$ @平顶时间: 200 ns, 上升时间: 600 ns

数字化前端芯片研制进展

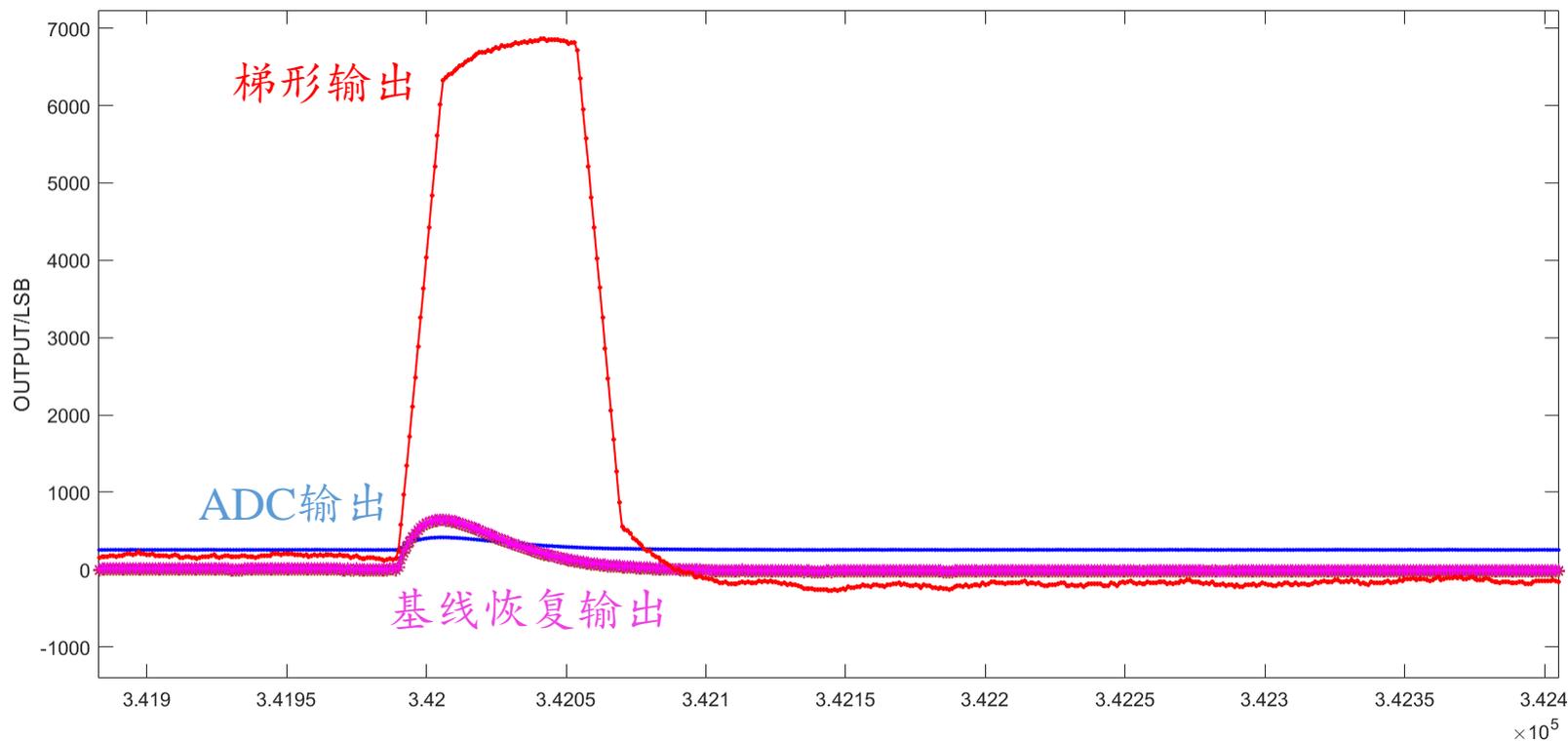
1. WASA_V0测试进展
2. WASA_V1设计进展



数字部分

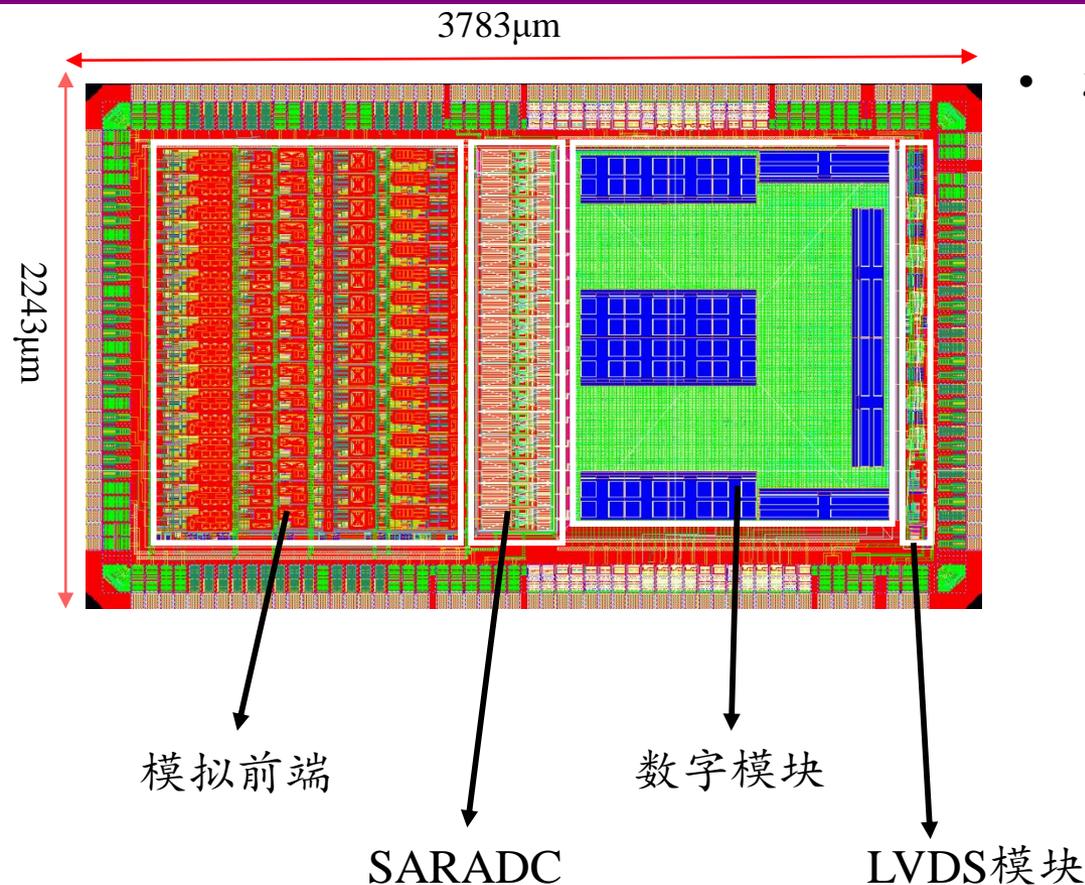
- 基线恢复模块：第一级基线恢复去除低频的干扰 (~kHz)，第二级去除高频的干扰
- 梯形滤波器：梯形成型，提高信噪比
- 触发控制：多种触发模式可选
- Ring Buffer：深度1k，最大latency:10.24us@100MS/s
- Event buffer：深度为4

WASA_V1芯片设计



- 单通道仿真功耗: $1.4+1.0+4.1=6.5\text{mW}$ @开关活动率: 10%

版图设计



• 芯片版图：

- 版图面积：3783 μm x 2243 μm
- 模拟前端，SAR ADC，数字模块，LVDS模块独立供电
- 模拟前端部分，SAR ADC，数字模块，LVDS模块隔离

总结与下一步

□ 总结

- 基于65纳米工艺设计了一款低功耗TPC读出芯片WASA_V0，包括模拟前端和SAR ADC，初步进行了电子学测试
- 功耗：2.49 (1.43+1.06) mW/ch@40 MS/s
- ENC：852 e \rightarrow 589 e@10 mV/fC, C_{in} =3.6pF
- 基于WASA_V0芯片，设计了一款集成数字滤波功能的读出芯片WASA_V1，包括了模拟前端+ADC+数字模块（数字滤波，打包，触发判选等）

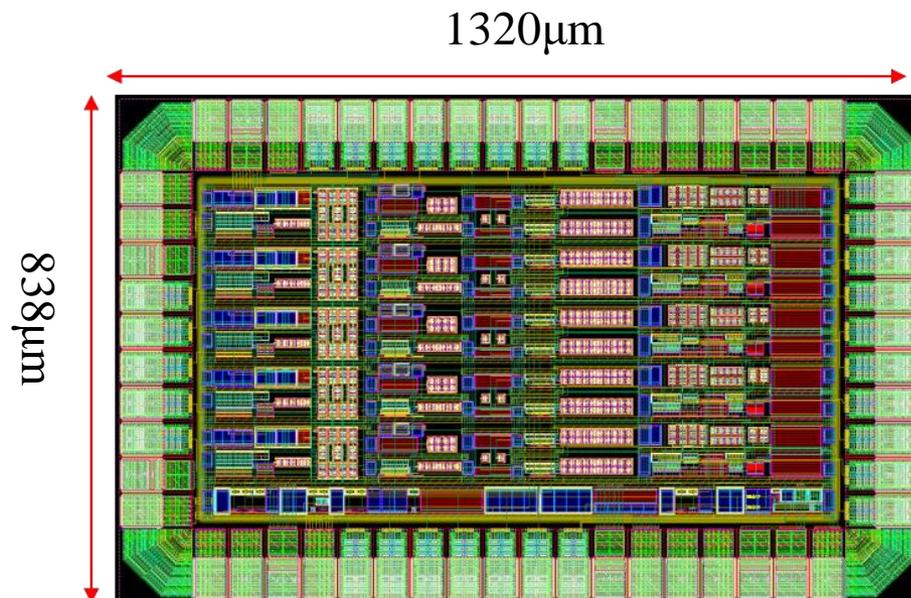
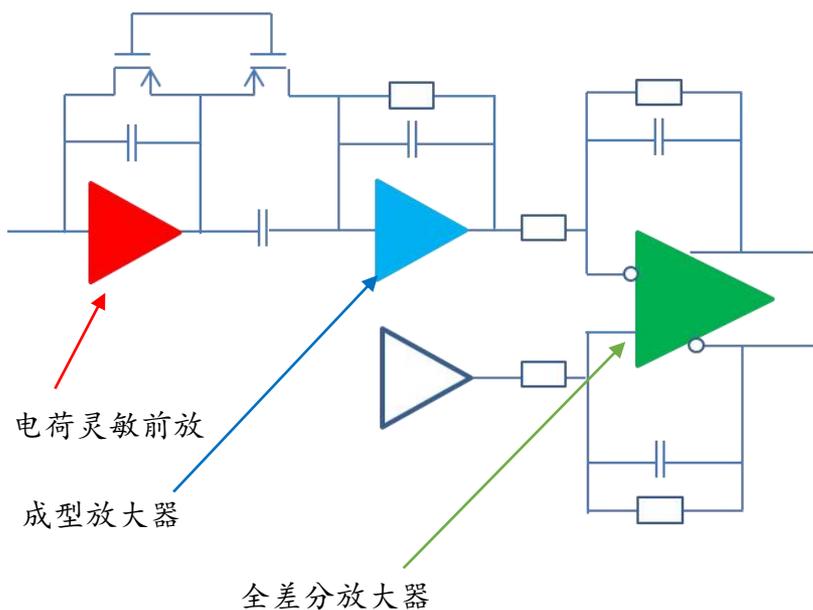
□ 下一步：

- 基于WASA_V0芯片进行连接TPC测试

欢迎各位老师同学批评指正！

THANK YOU!

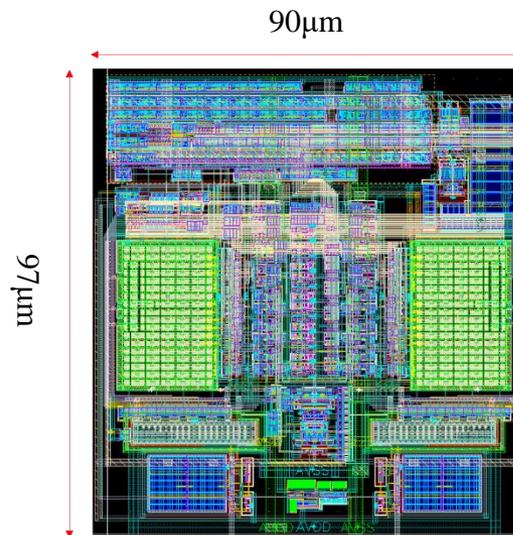
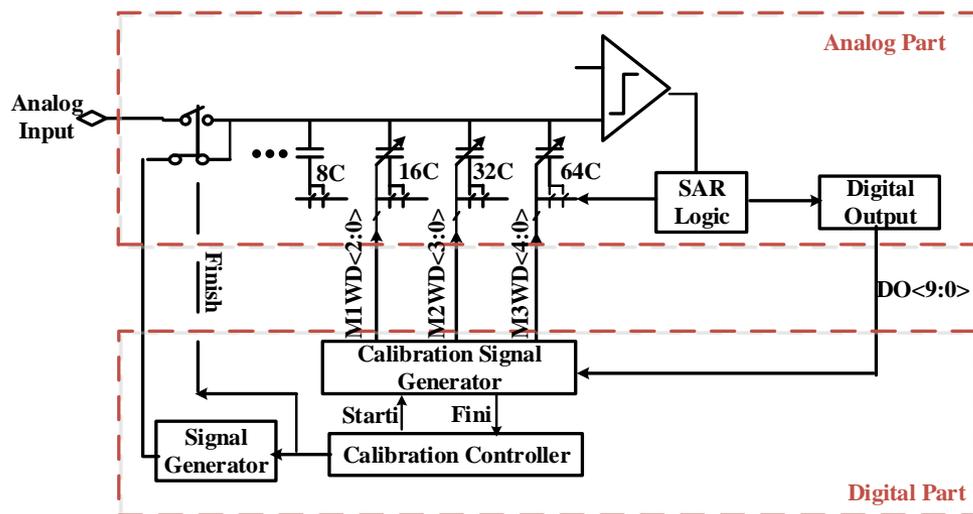
已有基础：低功耗模拟前端研究



5通道模拟前端关键指标测试结果：

- 单通道功耗：2.02mW
- 增益：10.06mV/fC
- ENC：589e @10pF

已有基础：低功耗SAR ADC



- SAR ADC IP核尺寸小，~90 um x 97 um
- 采样率：100 MS/s
- 精度：10 bit
- 最大 INL/DNL=0.6 LSB
- ENOB=9.15 bit @ 50 MS/s, 2.4 MHz 正弦波输入
- 功耗低：1 mW/ch

