



# CEE中MRPC探测器 读出电子学研制进展

赵雷 秦家军 许皓千 王鹤翔 戚冬冬

中国科学技术大学

核探测与核电子学国家重点实验室

# 报告提纲

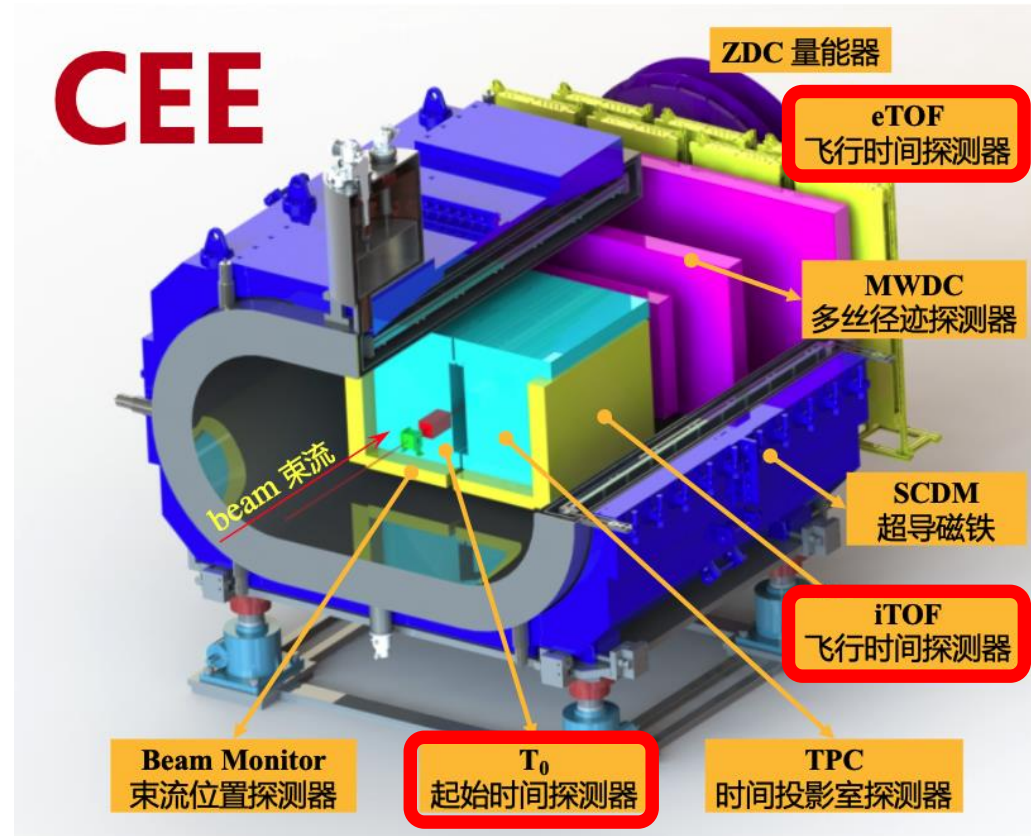


- CEE实验飞行时间探测器子系统
- 高精度时间测量电子学
- 高精度时钟电子学
- 总结

# CEE实验



- CSR External-target Experiment
- 研究QCD相图、核物质状态方程、超核产生等
- 建成后将是我国第一台运行于GeV能区的、自主研发的大型核与粒子物理实验装置
- T0分系统位于靶前，用于记录碰撞初始时刻，为TOF系统提供时间起点
- iTOF分系统和eTOF分系统的主要功能是记录末态粒子达到时刻，结合TPC和MWDC的径迹信息，实现末态带电粒子鉴别



国家自然科学基金委重大科研仪器研制项目  
中科院B类先导专项

# T0&TOF设计指标



$$t_1 - t_2 = \frac{L}{v_1} - \frac{L}{v_2} = \frac{L}{c} \frac{(m_2^2 - m_1^2)}{(P/c)^2} \left( \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \right) \approx \frac{L}{c} \frac{(m_2^2 - m_1^2)}{2(P/c)^2}$$

- ▶ 起始时间探测器(T0)
  - 32读出单元
  - 50 ps本征时间分辨率（单通道<250 ps）
  - ~25 ps RMS电子学时间精度
- ▶ 内部飞行时间探测器（Internal Time-of-flight, iTOF）
  - 1504读出单元
  - 2/3 通道 ~50 ps本征时间分辨率，电子学~25 ps
  - 1/3 通道 ~30 ps本征时间分辨率，电子学~10 ps
- ▶ 端盖飞行时间探测器（Endcap Time-of-flight, eTOF）
  - 1344读出单元
  - 60 ps本征时间分辨率，~25 ps RMS电子学时间精度

# MRPC探测器信号特征

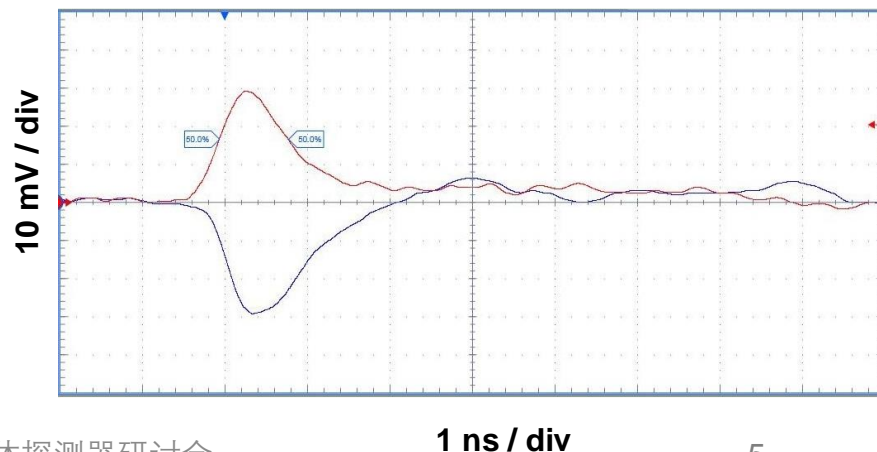
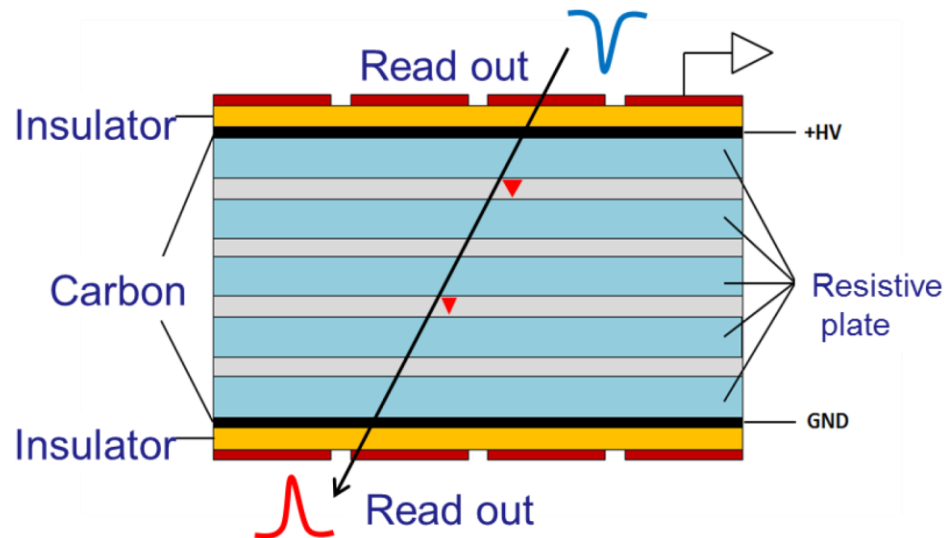


- iTOF和eTOF均采用多气隙阻性板室 (MRPC) 设计实现

- 时间精度高
- 造价低、磁场兼容
- 朝着高计数率发展

- MRPC输出信号特征

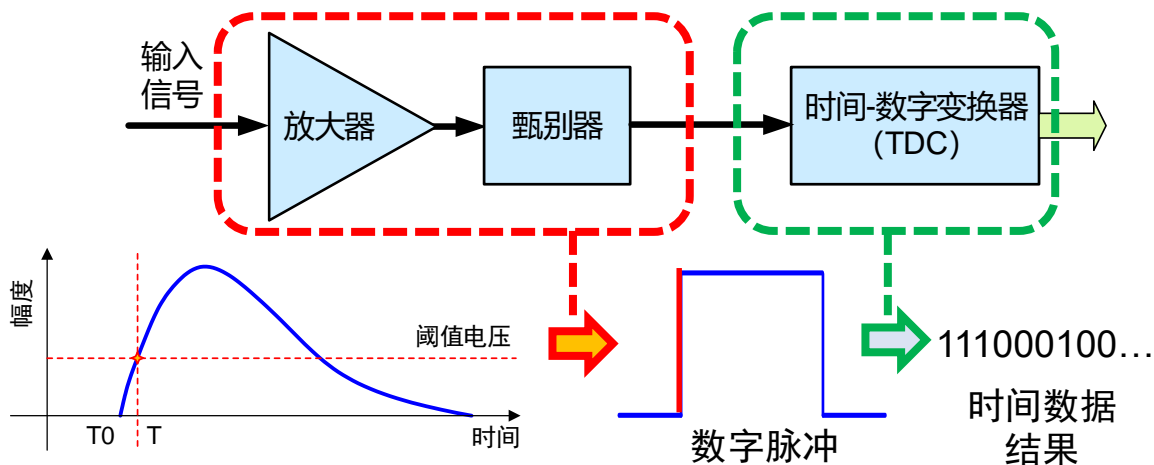
- Differential signal
- Amplitude:  $\sim 10$  mV
- Rise time:  $< 500$  ps
- FWHM:  $500\text{ps} \sim 1$  ns
- Dynamic range: 百fC $\sim$ pC



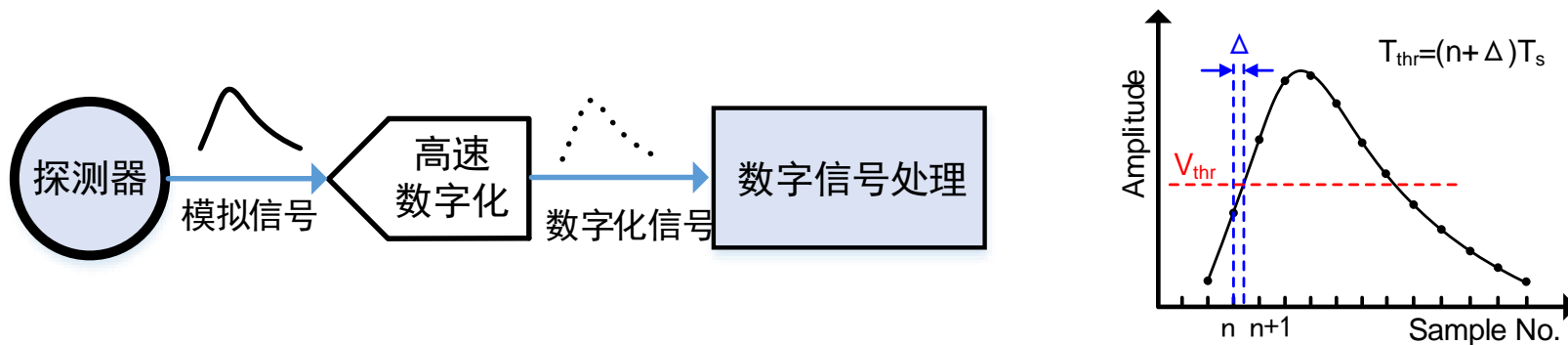
# MRPC探测器读出技术



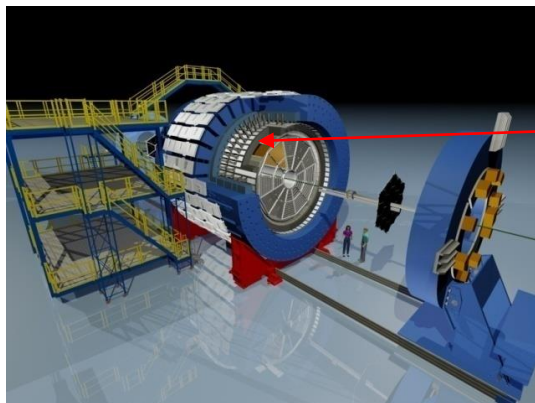
## 放大甄别+TDC



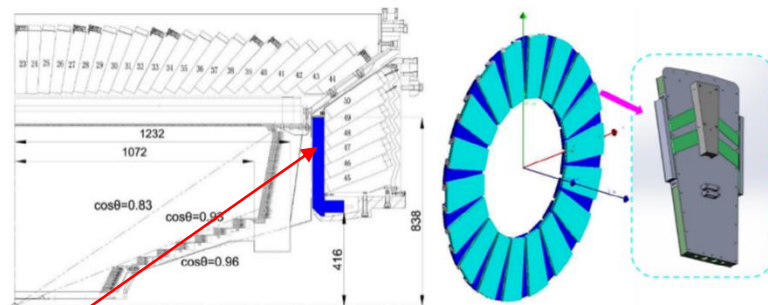
## 波形数字化



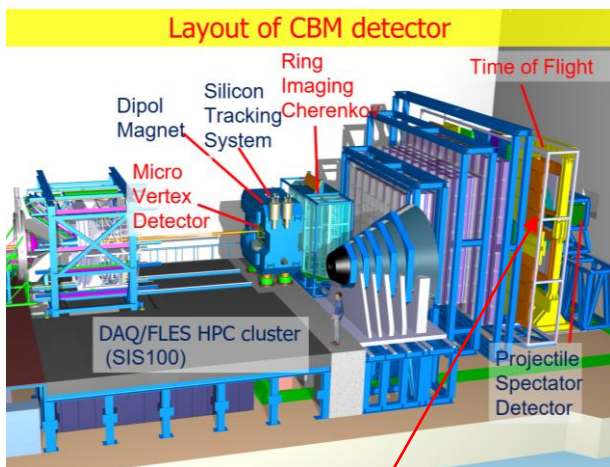
# 大型核与粒子物理实验中的TOF电子学



**RHIC-STAR TOF**  
NINO + HPTDC  
电子学~25 ps

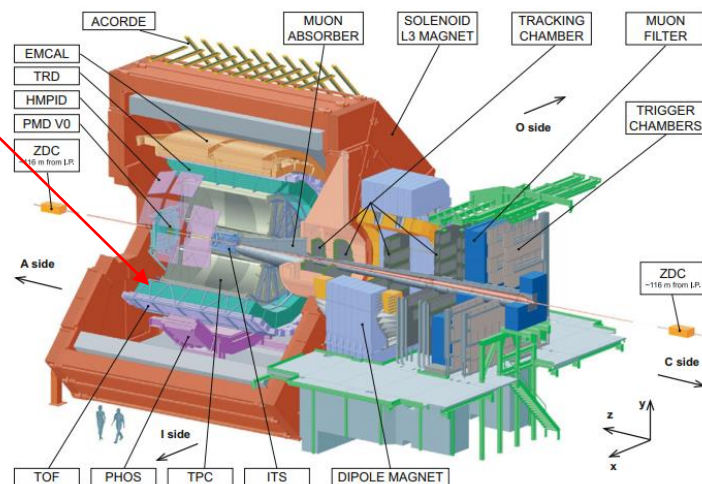


**BESIII ETOF**  
NINO+ HPTDC 电子学~25 ps



**FAIR-CBM TOF 超级模块**  
PADI + FPGA TDC 电子学 ~20 ps

**ALICE TOF**  
NINO + HPTDC  
电子学 ~25 ps



# CEE TOF探测器读出的挑战



- 微弱、高速信号处理

- 信号大小200 fC~2 pC
- 上升沿500 ps以内



高速、低噪声前端电路

- 高时间测量精度

- 电子学最高10 ps RMS



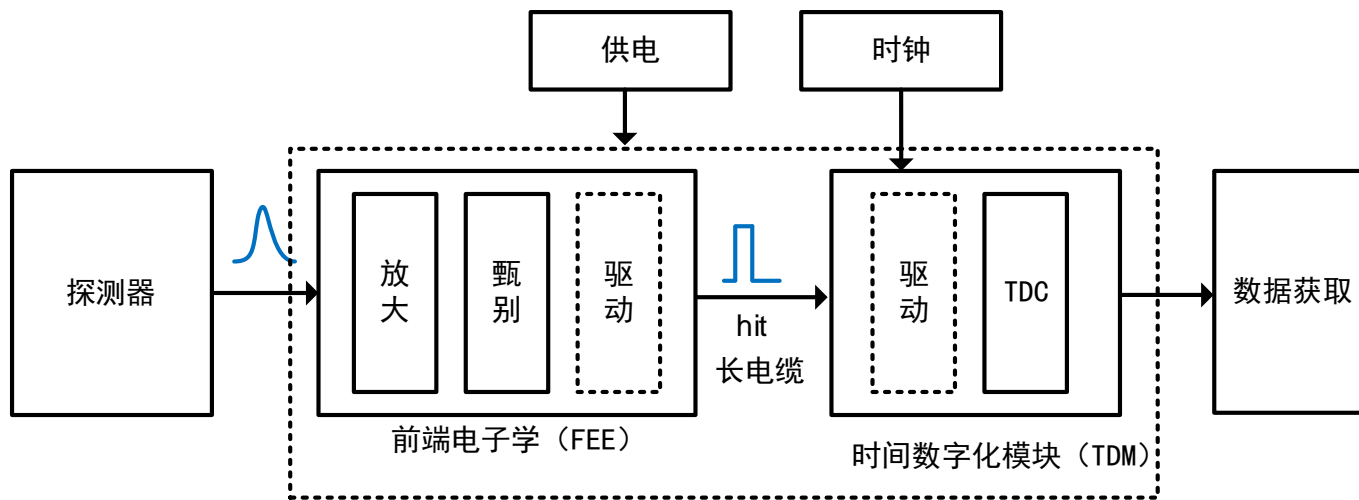
高精度TDC

低抖动时钟

...



# 高精度时间测量电子学整体设计



- 基本结构：前端电子学（FEE）+ 时间数字化模块（TDM）
- FEE：紧临探测器，对MRPC的高速微弱的信号进行放大甄别
- TDM：稍远位置，对甄别信号进行高精度时间测量
- 高品质电缆长距离传输

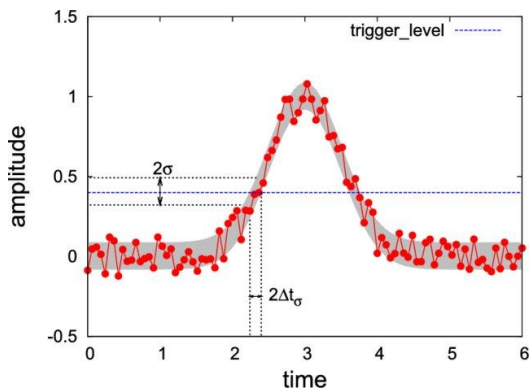
# 时间精度分析



## ▶ 电子学带来的时间晃动 (jitter)

$$jitter_{electronics} = \sqrt{jitter_{a\&d}^2 + jitter_{TDC}^2}$$

## ▶ 放大甄别电路jitter贡献



$$jitter_{a\&d} = \frac{V_{noise}}{V_{sig}} \times t_r$$



高信噪比 (低噪声)  
高摆率 (不损失信号带宽)

## ▶ TDC电路jitter贡献

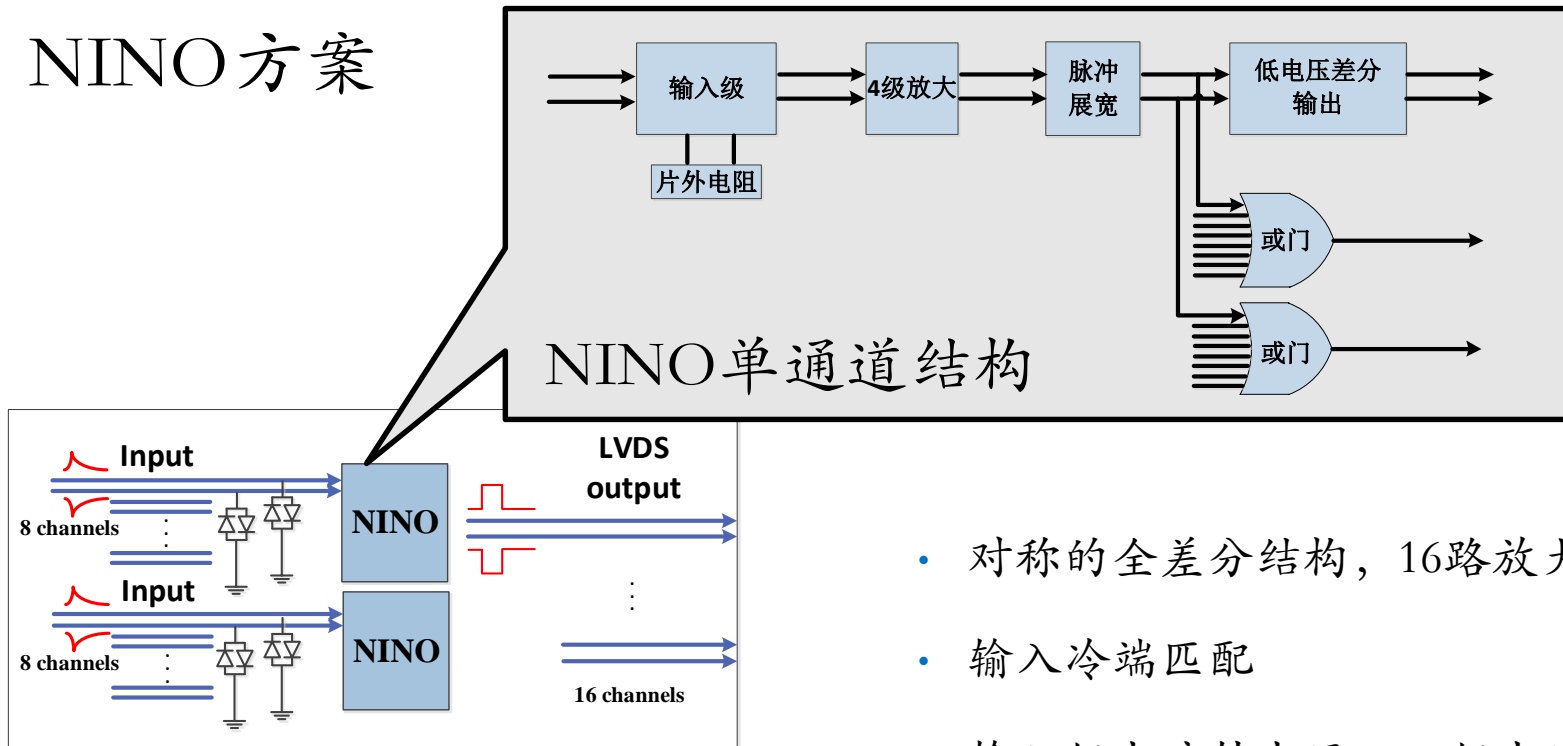
$$jitter_{TDC} = \sqrt{jitter_q^2 + jitter_{noise}^2 + jitter_{clock}^2}$$

$$jitter_q = 0.5 \times \frac{T_{LSB}}{\sqrt{2}} \approx 0.35T_{LSB}$$



减小TDC bin size, 抑制噪声, 低抖动时钟

## NINO 方案



- 对称的全差分结构，16路放大甄别
- 输入冷端匹配
- 输入级电流转电压，四级电压放大
- LVDS输出差分hit信号
- 电阻分压可调阈值
- 输出展宽 (+10 ns)

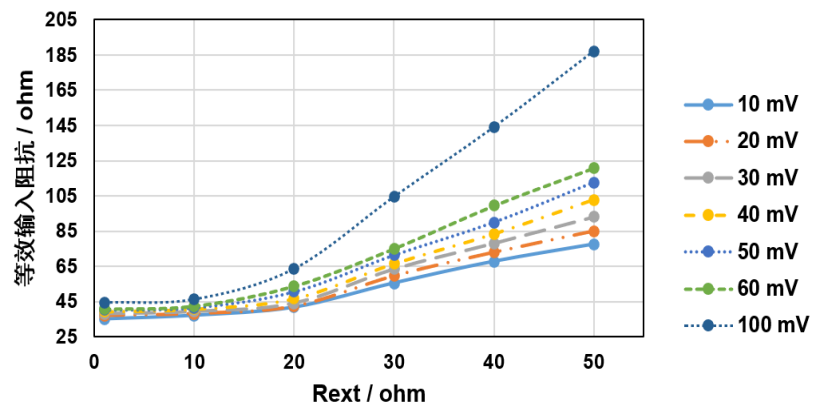
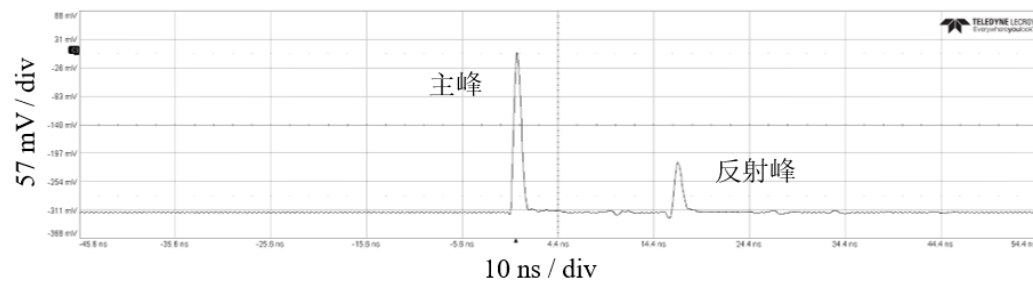
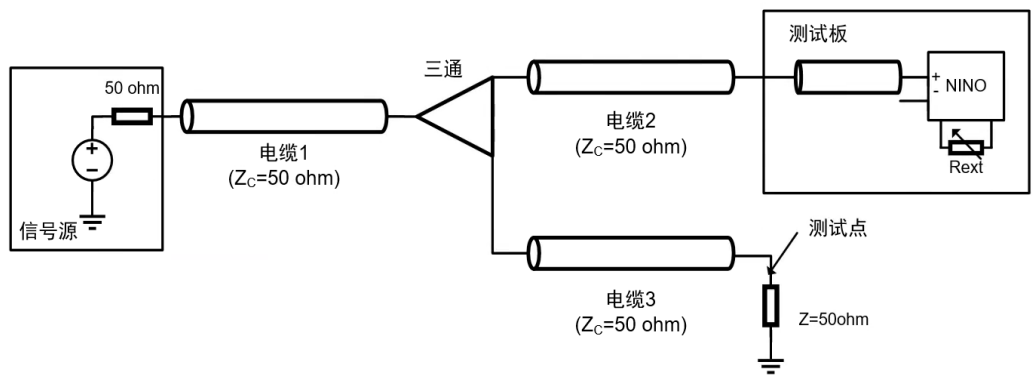
参数	性能
噪声	< 5000 e- rms
功耗	30 mW/ch

# 阻抗匹配的研究

减少信号反射，改善ToT谱分布，提升系统时间测量精度

基于匹配三通测试阻抗：

- 将测试点与NINO输入点进一步拉开，使得反射信号与输入信号完全分离
- 改变冷端匹配电阻和输入信号幅度，测试NINO的等效输入阻抗

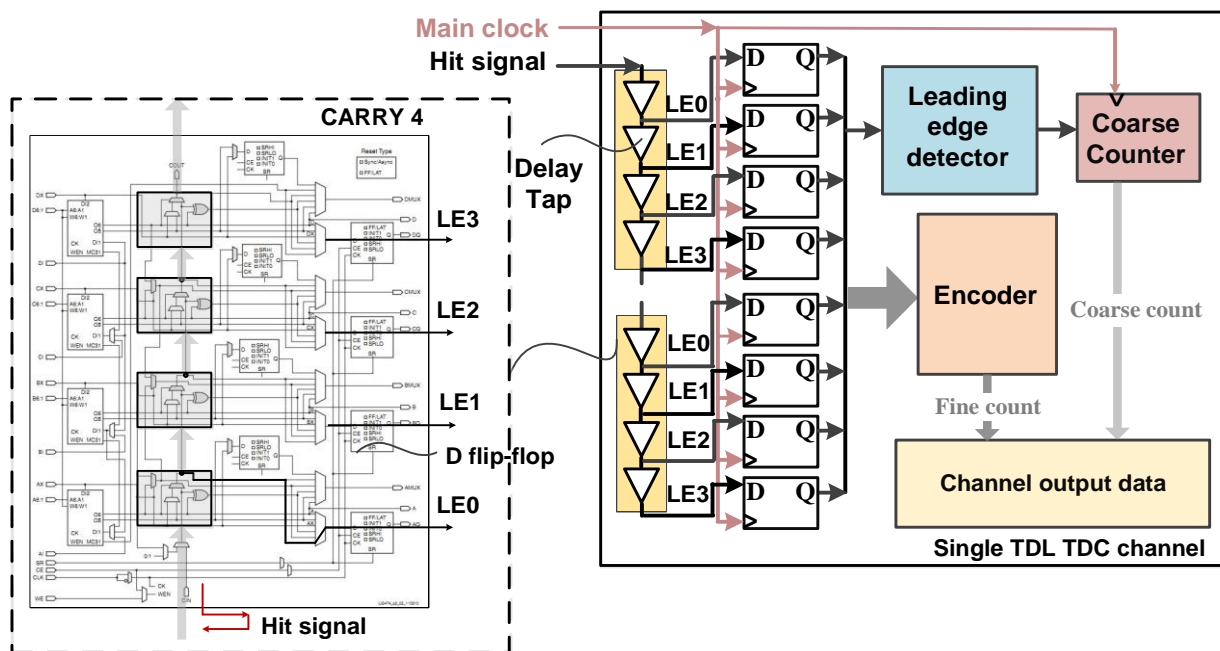


# 高精度时间数字变换



## 级联延时链 (Tapped Delay Line, TDL) FPGA TDC

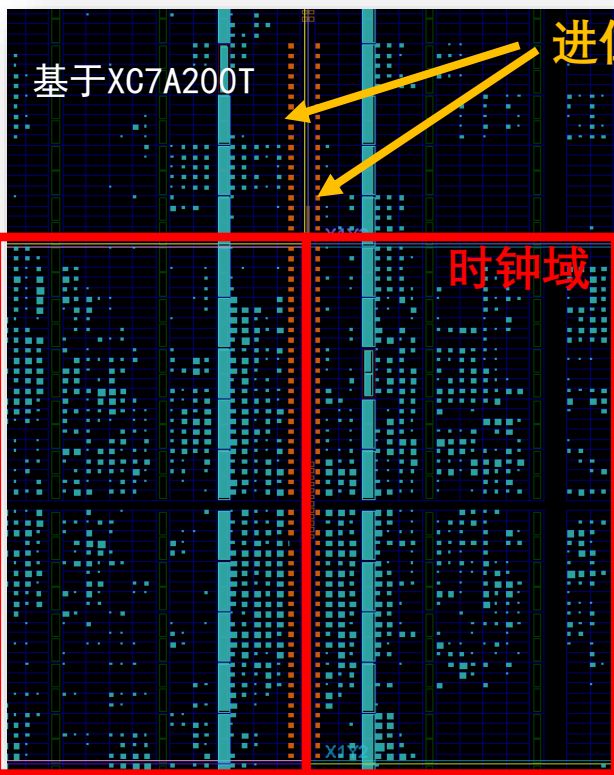
- 基于快速进位链资源实现
- 较小的binsize
- 可以实现较高精度



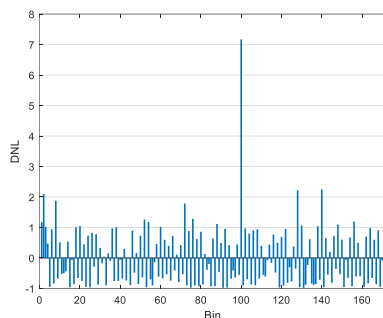
# 基于进位链的FPGA TDC



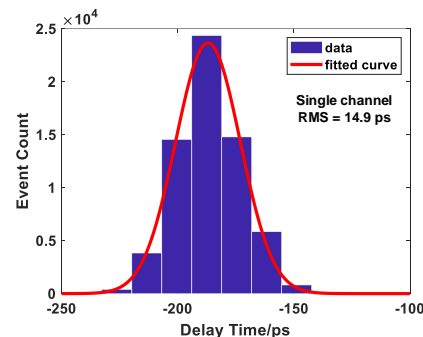
非线性优化提高精度（超宽bin的消除）



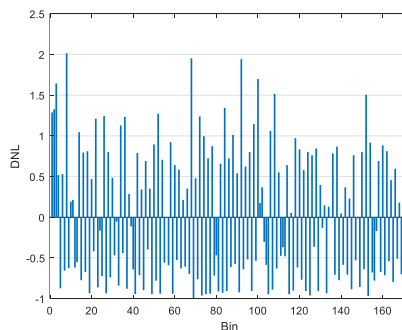
FPGA TDC进位链约束在时钟域底部



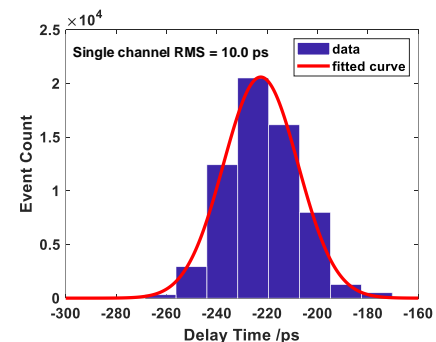
进位链起点约束在时钟域中部的DNL



进位链起点约束在时钟域中部的时间精度测试结果 (14.9 ps RMS)



进位链起点约束在时钟域底部的DNL



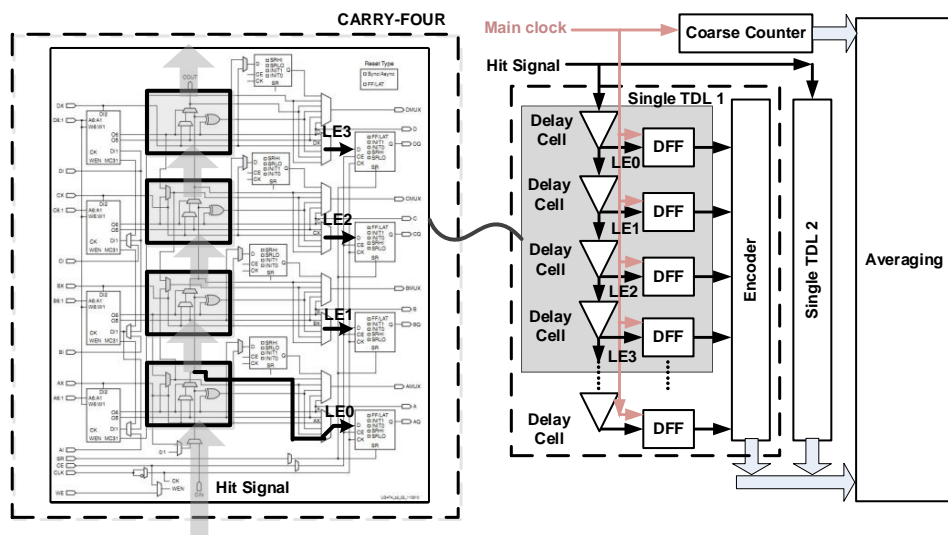
进位链起点约束在时钟域底部的时间精度测试结果 (10.0 ps RMS)

- 主时钟 > 300 MHz，将进位链起点约束在时钟域底部，不产生超宽bin
- 精度从14.9 ps RMS提升到10 ps RMS

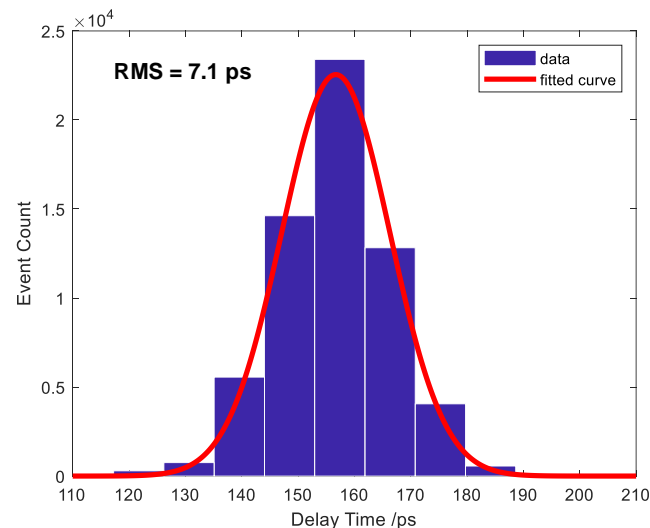
# 基于进位链的FPGA TDC



## 多次测量提高精度



双链测量求平均方法框图



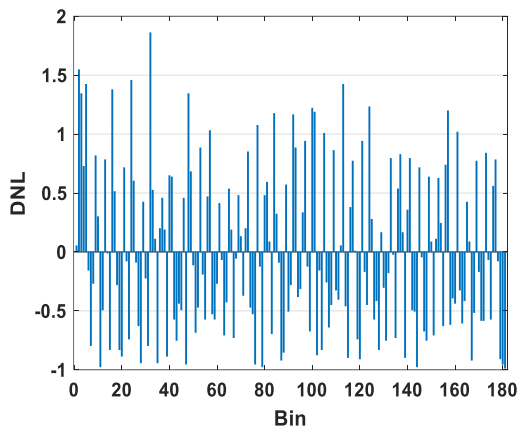
双链测量求平均方法时间精度

- 采用多链测量求平均的方法，可以进一步缩小等效的bin size，以提升时间测量精度
- 双链测量求平均方法时间精度达到7.1 ps RMS（基于XC7A200T）

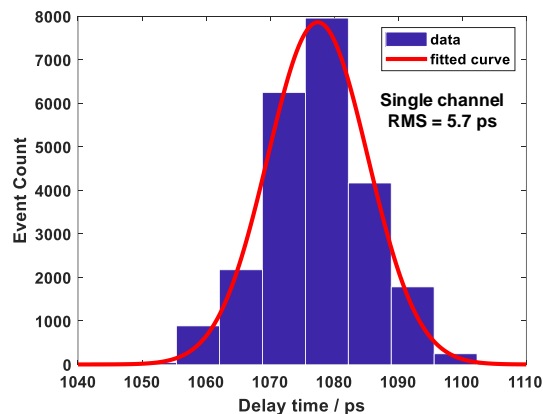
# 基于进位链的FPGA TDC



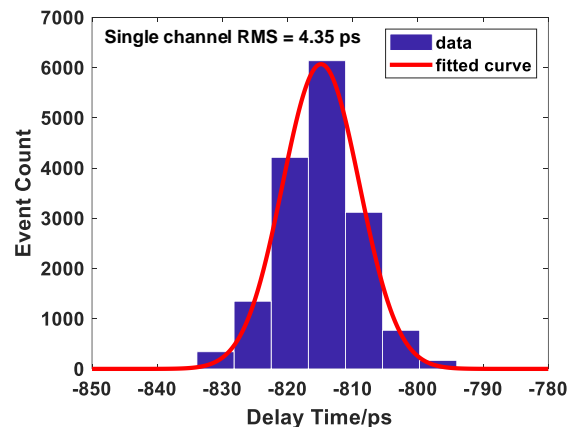
## 基于更快进位链的XC7K325T实现TDC



单链非线性



单链时间精度



双链时间精度

- 主时钟 $>435$  MHz, 将进位链起点约束在时钟域底部, 不产生超宽bin
- 主时钟480 MHz, 精度从单链 $\sim 5.7$  ps RMS提升到双链 $\sim 4.35$  ps RMS

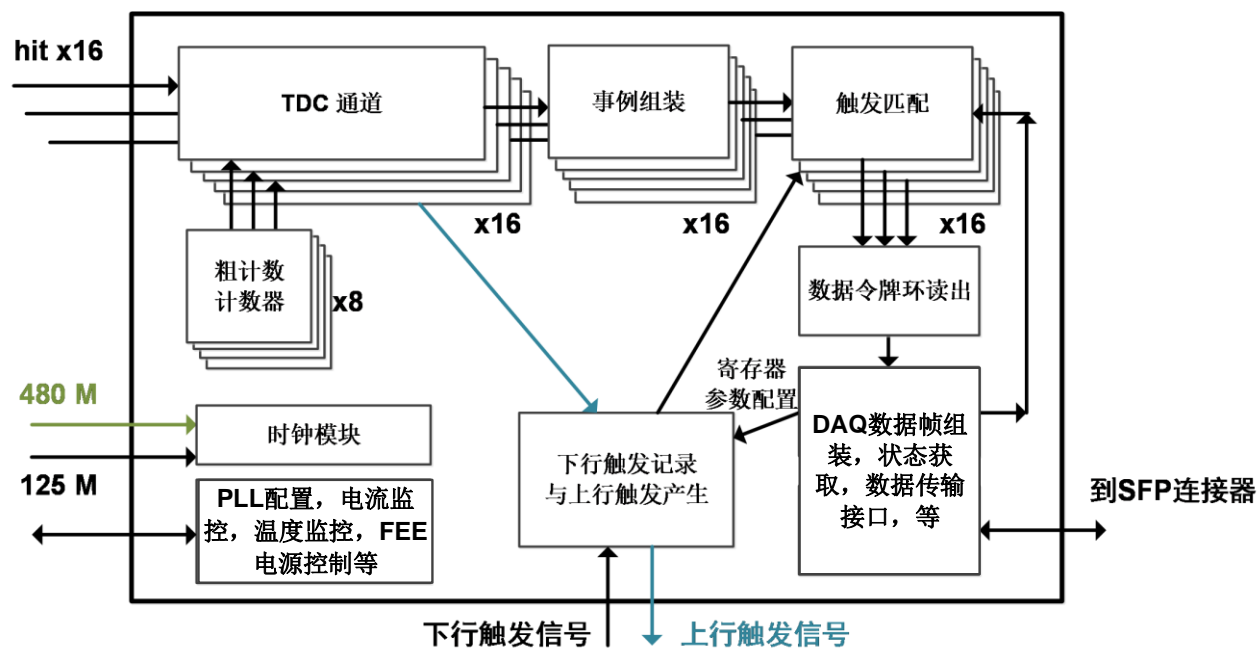


# TDM逻辑设计

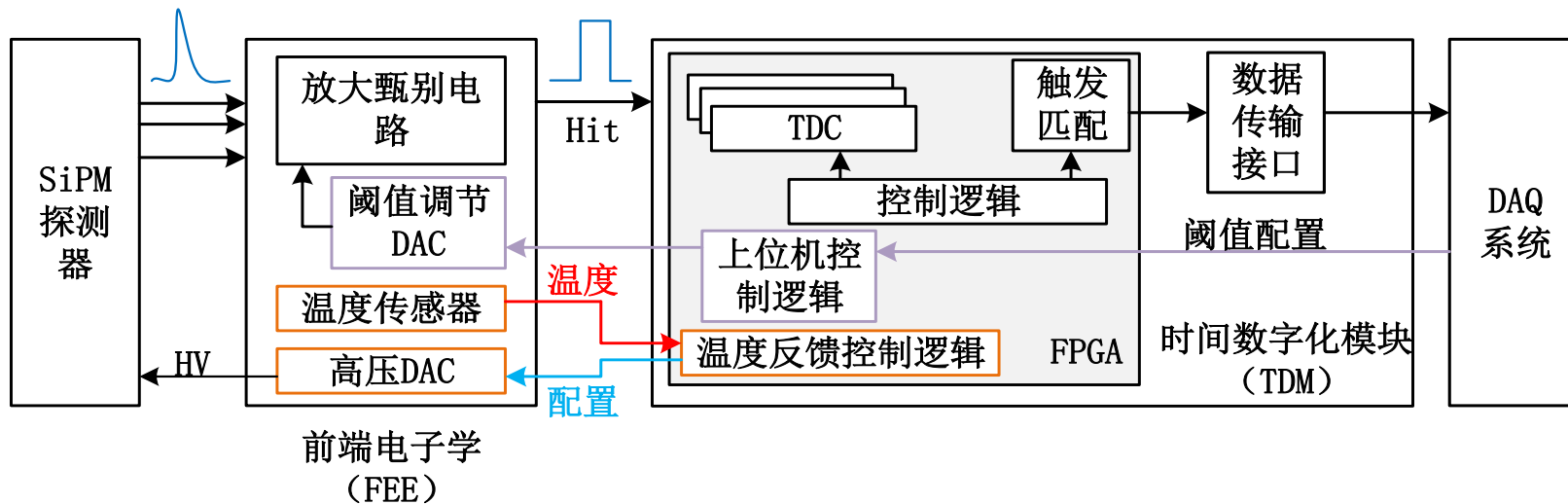


## 逻辑组成

- TDC
- 上行多重数计算
- 触发匹配电路
- 数据 and 命令接口
- TDM电流，温度和湿度监控
- FEE电流，温度监控
- 远程逻辑更新



# T0读出电子学设计

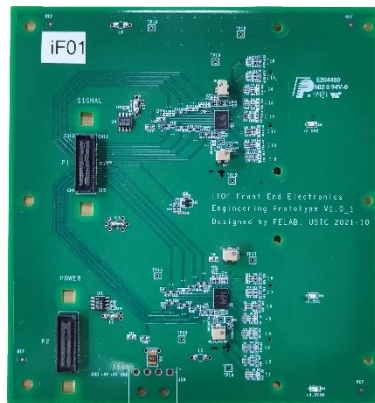


- 放大甄别设计方案和时间数字化设计方案与TOF电子学一致
- TDM计算偏置电压值，下发给前端DAC
- DAC输出对应偏压到SiPM
- TDM控制DAC，调节NINO阈值电压

# 电子学工程样机研制结果



TO FEE



iTOF FEE



eTOF FEE



TDM

# 报告提纲



- CEE实验飞行时间探测器子系统
- 高精度时间测量电子学
- 高精度时钟电子学
- 总结

# 时钟系统要求

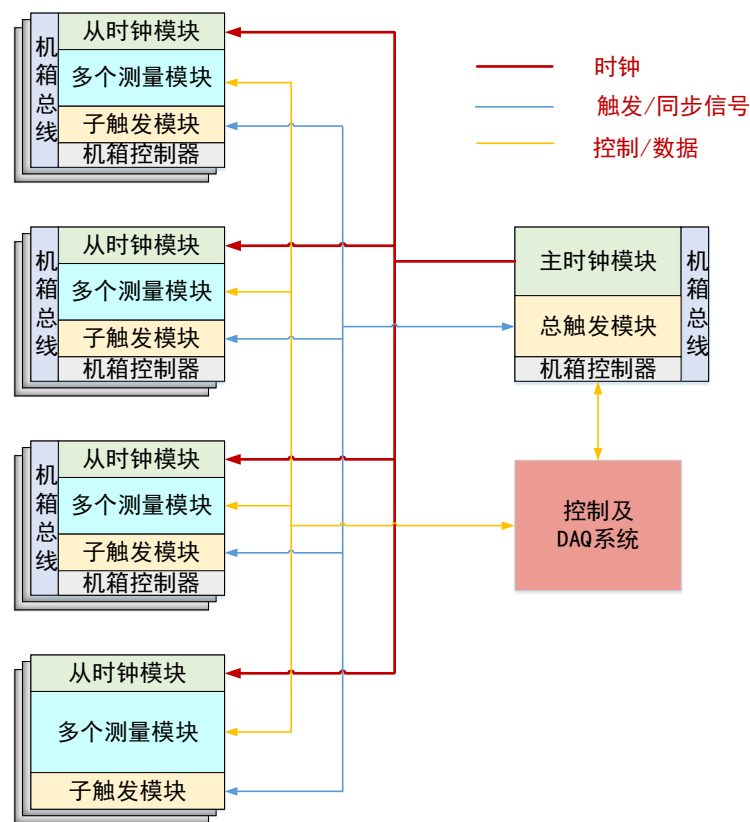


## • 主要任务

- 实现CEE电子学的时钟同步，并且要求整个系统可以长期稳定运行

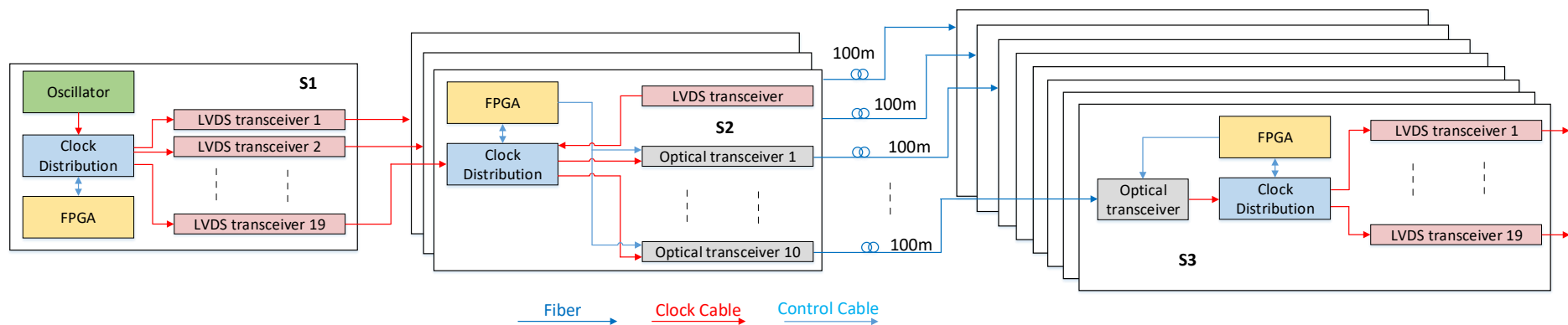
## • 设计需求

- 时钟频率：40 MHz
- 高精度：period jitter 好于10 ps RMS
  - TOF、T0有高精度时间测量的需求
- 多扇出节点
  - 读出电子学模块数量众多：~400个模块
- 长距离传输
  - 多种探测器，位置分散
  - 读出电子学有一定的分布性



CEE电子学总体架构示意图

# 时钟系统方案



时钟系统结构框图

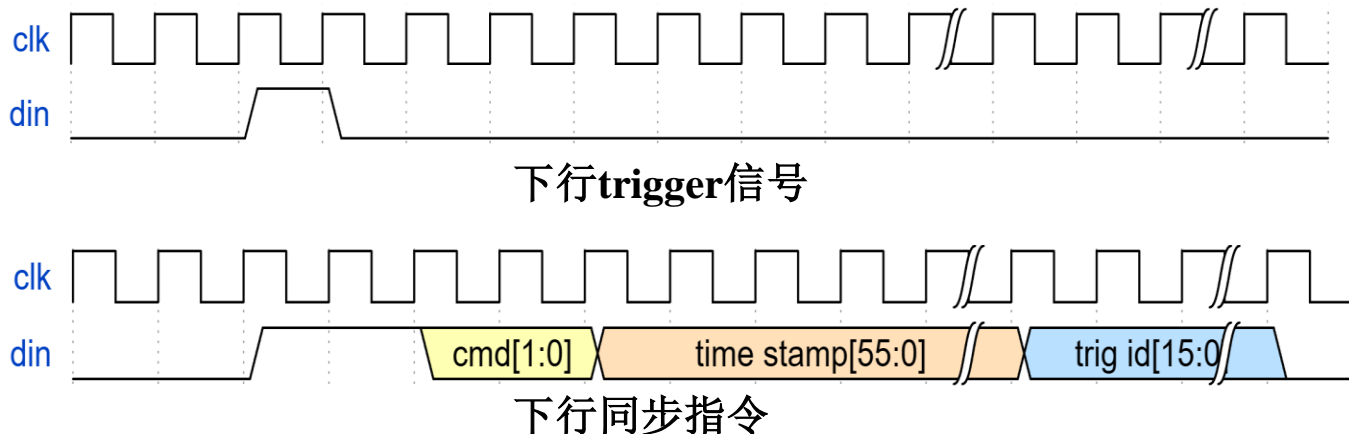
- 实验大厅温控稳定
- 采用无反馈前向分发方式（End-point同步）
- 总体设计方案
  - 选用高品质晶振作为时钟源：40 MHz，低抖动，高频率稳定性
  - 三级时钟级联架构设计，支持多节点分发
  - 第二级和第三级之间采用光纤连接，实现长距离传输
  - 高速、低噪声电路设计保障高精度
- 扇出数目
  - 最大可支持3000多路输出
  - 满足CEE实验需求

# 全局时间同步方案

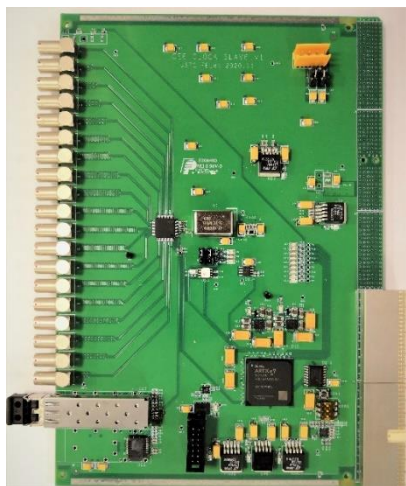


## 全局时间戳同步

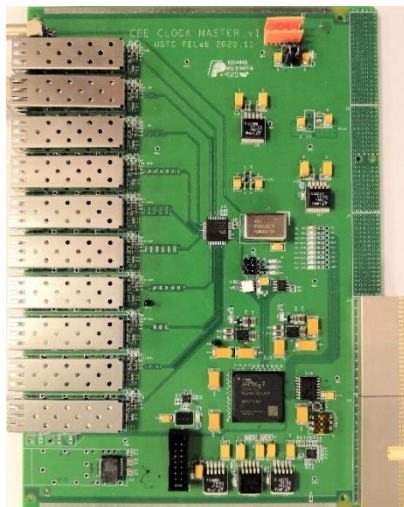
- 基于触发电子学链路定时下发时间戳信息
- 标定出下行链路延时
- 束流空窗期发送同步指令
- FEE收到时间戳后进行延时补偿
- 解析出得时间戳与本地的进行比对
- 若比对错误：更新后上报



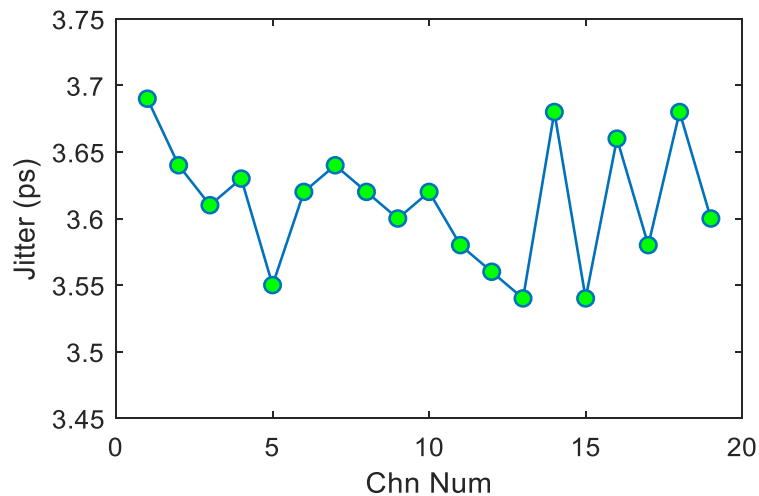
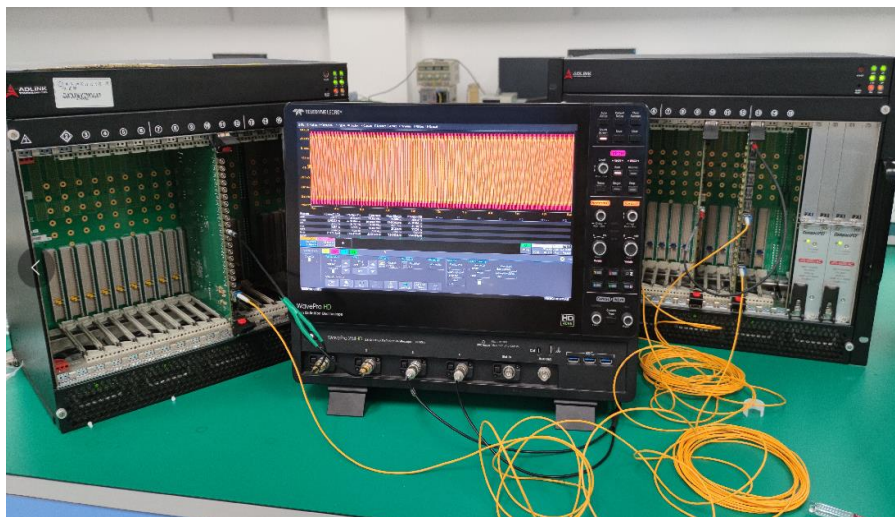
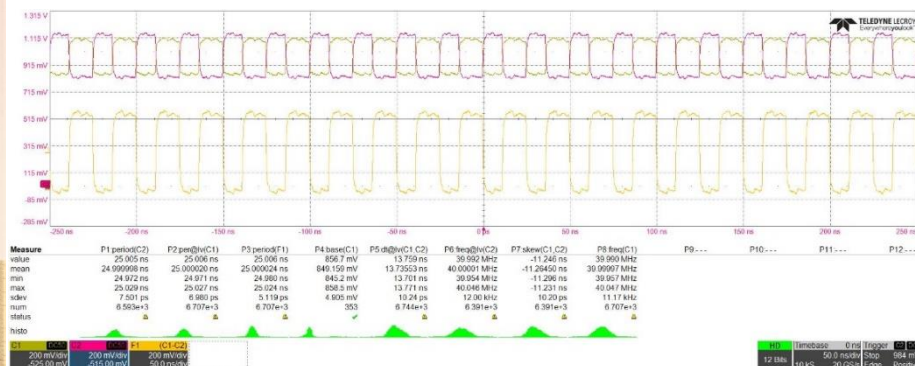
# 时钟系统电子学样机



第一（三）级时钟模块



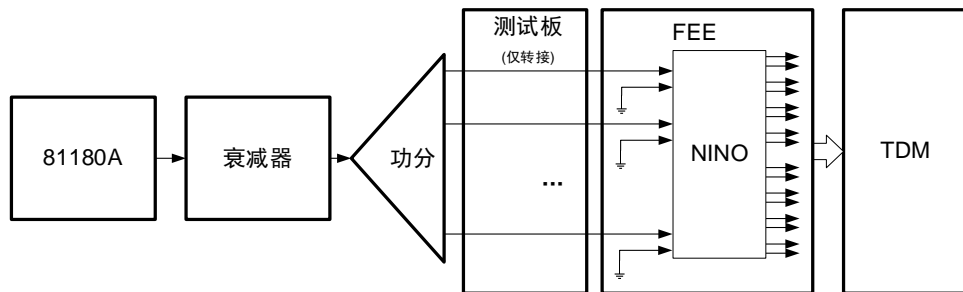
第二级时钟模块



时钟精度测试结果

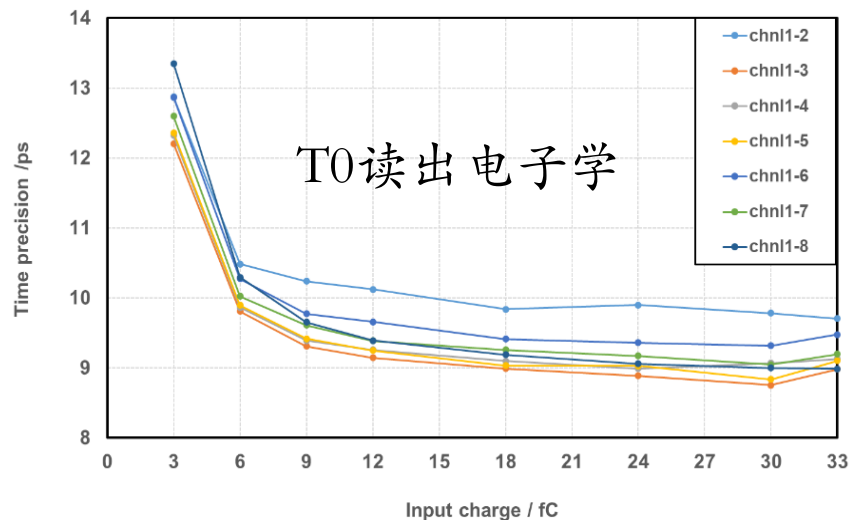
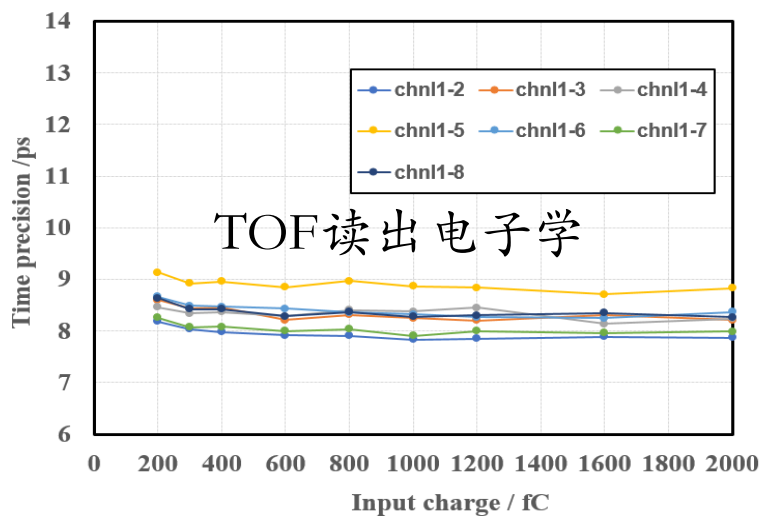


# TOF电子学性能测试

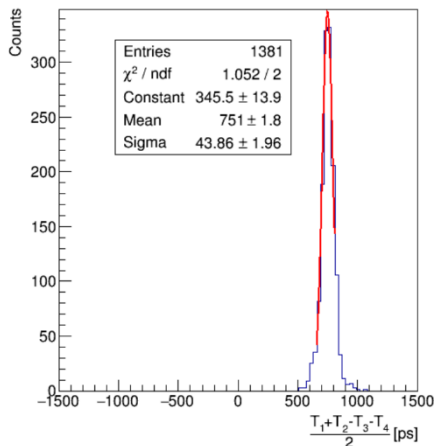
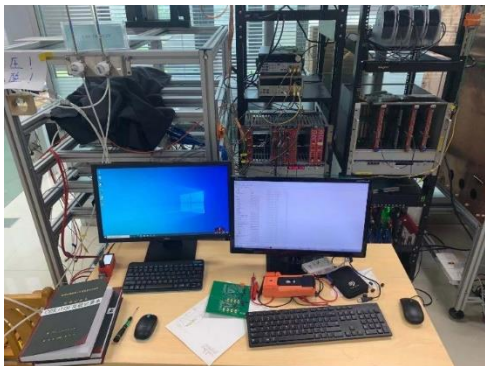


MRPC测试波形：上升沿0.5 ns，下降沿2 ns

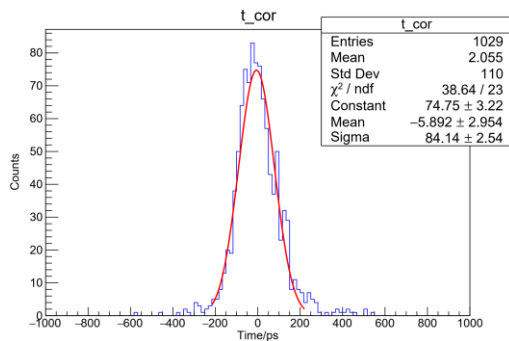
SiPM测试波形：上升沿2 ns，下降沿50 ns



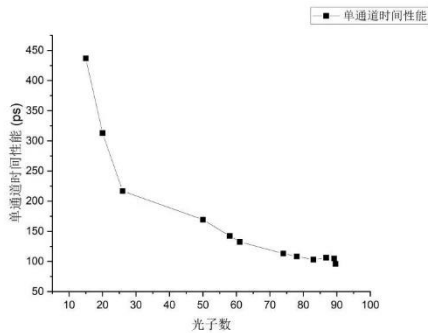
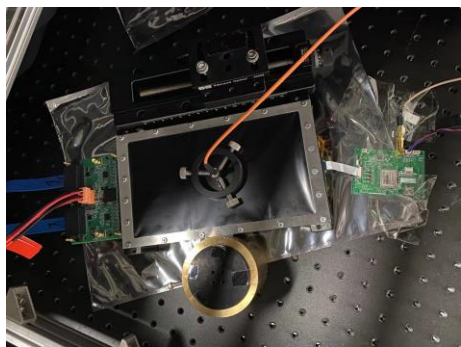
# 电子学与探测器联合测试



- 与iTOF探测器联调  
系统本征分辨达到 $\sim 30$  ps RMS



- 与eTOF探测器联调  
系统本征分辨达到 $\sim 60$  ps RMS

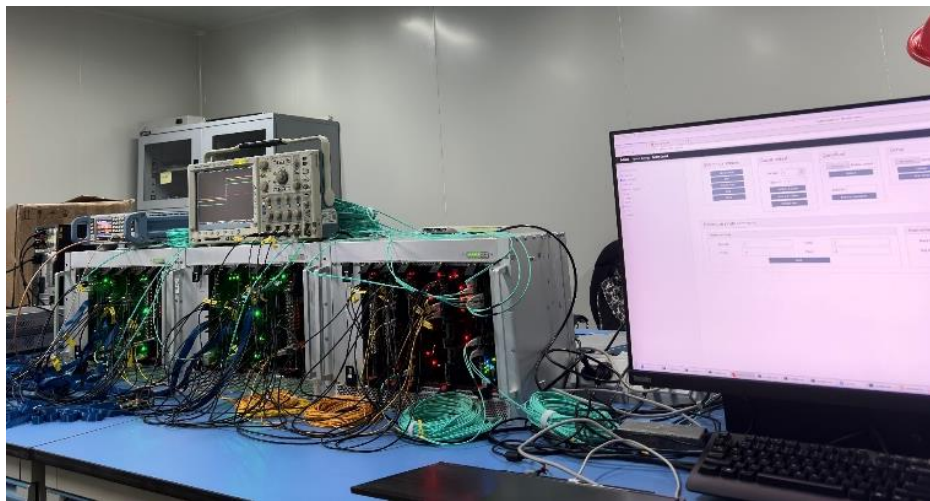


- 与T0探测器联调  
单通道好于200 ps (折合32通道  
好于36 ps)

# 兰州束流测试



- 完成了TOF读出电子学与DAQ、时钟、触发的联合测试，系统工作符合预期，性能稳定。
- 在近物所外靶实验现场的电子学平台构建，联合探测器开展了噪声测试、宇宙线测试和束流测试等一系列测试，初步重建了粒子飞行径迹。



电子学联合测试平台



束流测试安装现场

# 总结



- 针对CEE飞行时间探测器读出需求，完成了高精度时间测量电子学样机研制
- 采用放大甄别结合高精度时间数字变换技术路线
  - 前端放大甄别基于NINO芯片实现
  - FPGA TDC精度好于5 ps
- 完成高精度时钟系统设计
  - 三级级联结构
  - Period jitter好于5 ps
- TOF电子学精度好于10 ps @200 fC~2 pC
- 探测器与电子学联合测试达到设计指标要求
- 即将进入工程批产阶段

# 致谢



- 感谢清华大学CEE eTOF研制团队
- 感谢中科大CEE iTOF&T0研制团队
- 感谢触发、DAQ等其他分系统研制单位和参与人员

谢谢大家!