



原子能科学技术  
*Atomic Energy Science and Technology*  
ISSN 1000-6931, CN 11-2044/TL

## 《原子能科学技术》网络首发论文

题目： 基于导频的储存环束流位置测量处理器研制  
作者： 梁钰, 谢春杰, 朱文超, 唐雷雷, 卢平, 孙葆根, 王琳, 周泽然  
收稿日期： 2021-10-29  
网络首发日期： 2022-03-08  
引用格式： 梁钰, 谢春杰, 朱文超, 唐雷雷, 卢平, 孙葆根, 王琳, 周泽然. 基于导频的储存环束流位置测量处理器研制[J/OL]. 原子能科学技术.  
<https://kns.cnki.net/kcms/detail/11.2044.TL.20220304.1440.008.html>



**网络首发：**在编辑部工作流程中，稿件从录用到出版要经历录用定稿、排版定稿、整期汇编定稿等阶段。录用定稿指内容已经确定，且通过同行评议、主编终审同意刊用的稿件。排版定稿指录用定稿按照期刊特定版式（包括网络呈现版式）排版后的稿件，可暂不确定出版年、卷、期和页码。整期汇编定稿指出版年、卷、期、页码均已确定的印刷或数字出版的整期汇编稿件。录用定稿网络首发稿件内容必须符合《出版管理条例》和《期刊出版管理规定》的有关规定；学术研究成果具有创新性、科学性和先进性，符合编辑部对刊文的录用要求，不存在学术不端行为及其他侵权行为；稿件内容应基本符合国家有关书刊编辑、出版的技术标准，正确使用和统一规范语言文字、符号、数字、外文字母、法定计量单位及地图标注等。为确保录用定稿网络首发的严肃性，录用定稿一经发布，不得修改论文题目、作者、机构名称和学术内容，只可基于编辑规范进行少量文字的修改。

**出版确认：**纸质期刊编辑部通过与《中国学术期刊（光盘版）》电子杂志社有限公司签约，在《中国学术期刊（网络版）》出版传播平台上创办与纸质期刊内容一致的网络版，以单篇或整期出版形式，在印刷出版之前刊发论文的录用定稿、排版定稿、整期汇编定稿。因为《中国学术期刊（网络版）》是国家新闻出版广电总局批准的网络连续型出版物（ISSN 2096-4188，CN 11-6037/Z），所以签约期刊的网络版上网络首发论文视为正式出版。

# 基于导频的储存环束流位置测量处理器研制

梁 钰, 谢春杰, 朱文超, 唐雷雷, 卢 平, 孙葆根, 王 琳, 周泽然\*

(中国科学技术大学 国家同步辐射实验室, 安徽 合肥 230022)

**摘要:**稳定的束流轨道对于同步辐射光源的性能至关重要。规划中的合肥先进光源是第四代衍射极限储存环,其亚微米级的束流轨道稳定度需要束流位置测量精度达到 100 nm 级别。本文基于国产化芯片,研制了带有导频补偿机制的束流位置测量处理器,主要包括导频模块、模拟前端模块、数字处理模块和嵌入式工控模块。输入信号经过导频模块和模拟前端模块调理,在数字处理模块通过带通欠采样原理实现模数转换,数字信号在现场可编程门阵列(FPGA)内经过下变频、滤波抽取、坐标旋转数字计算(CORDIC)模块以及差比和算法等处理后获得束流位置信息,嵌入式工控模块实时传输束流位置信号,与加速器控制系统通信。目前设计的束流位置处理器完成了实验室离线测试和束流测试,测试结果表明,当输入信号幅度在 $-55\sim 5$  dBm 范围时,束流位置测量处理器的快获取数据(FA data)和慢获取数据(SA data)分辨率分别好于 120 nm 和 70 nm,满足设计要求。

**关键词:**束流位置测量处理器;数字信号处理算法;导频补偿;FPGA;国产化芯片

中图分类号:TL594

文献标志码:A

doi:10.7538/yzk.2021.youxian.0882

## Development of Pilot-tone Based BPM Processor of Storage Ring

LIANG Yu, XIE Chunjie, ZHU Wenchao, TANG Leilei, LU Ping,  
SUN Baogen, WANG Lin, ZHOU Zeran\*

(National Synchrotron Radiation Laboratory,

University of Science and Technology of China, Hefei 230022, China)

**Abstract:** Beam orbit stability is vital for the synchrotron radiation light source. Hefei Advanced Light Facility (HALF), the fourth generation diffraction limit storage ring now under preliminary research with sub-micron beam orbit stability, requires a beam position monitor (BPM) system with accuracy better than 100 nm. In this paper, a BPM processor with pilot tone was developed using domestic chips, which is composed of the pilot tone module, the analog front-end module, the digital processing module and the embedded control module. The input signals from BPM detector were adjusted in pilot tone module and analog front-end module, digitalized in digital processing module by band-pass sampling principle, and the digital signals were processed in FPGA (field programmable gate array) to obtain turn-by-turn data, fast acquisition data (FA data) at a 10 kHz rate, and slow acquisition data (SA data) at a 10 Hz rate. The embedded

control module transmitted the beam position information in real time and communicated with the accelerator control system. Thermal drifts of the channels and variations of the cables frequency response (due to changes in temperature or humidity) could introduce uncontrolled fluctuations in the position calculated. To enhance long-term stability of the BPM processor, a low phase-noise pilot tone was added to the beam signal as a reference to eliminate the effect of gain drifts of the individual channel on position calculation. The analog front end was customized with adjustable gain to increase the dynamic range of the system, and composed of four identical radio-frequency (RF) channels, each with several amplifiers, attenuators and filters to adjust the signals for ADC sampling. All beam position calculations were performed in the digital domain. The band-pass sampling technique was applied to convert narrow-band RF signals into intermediate-frequency (IF) digital signals. And then the IF signals were converted to the base-band in-phase and quadrature-phase (IQ) data through the digital down conversion method. CIC (cascaded integrator comb) and FIR (finite impulse response) decimation filters were used to avoid high-component signal aliasing and decimate the IQ data rate. CORDIC (coordinated rotation digital computer) module was implemented in pipeline structure to calculate the signal amplitudes from IQ data. With four BPM signal amplitudes, the beam position could be obtained by the difference-over-sum algorithm. These digital signal processing algorithms were integrated on one FPGA. At present, the laboratory offline tests and the beam tests of the designed beam position processor were carried out. The offline tests demonstrate the effectiveness of pilot tone in compensating for external changes and improving the long-term stability. The test results indicate that the resolutions of the FA data and SA data are better than 120 nm and 70 nm respectively with the input amplitudes ranging from  $-55$  dBm to 5 dBm, which meet the design requirements.

**Key words:** BPM processor; digital signal processing; pilot-tone; FPGA; domestic chip

束流轨道稳定度是同步辐射光源的关键指标,它直接影响光源性能以及实验线站同步光源的质量,束流位置测量(BPM)处理器根据 BPM 的电极感应信号计算束流实时位置,监测束流轨道变化,是轨道稳定系统不可或缺的组成部分<sup>[1-4]</sup>。合肥先进光源(HALF)是第 4 代真空紫外与软 X 射线衍射极限储存环,由中国科学技术大学国家同步辐射实验室承担其设计与预研工作<sup>[5]</sup>。衍射极限储存环亚微米量级的束流轨道稳定度给加速器 BPM 系统带来了新的挑战。

为满足合肥先进光源 BPM 系统的稳定性要求,本文设计并研制具有自主知识产权的基于导频的储存环 BPM 处理器。相比于目前在 HLS II 上应用的 IT 公司的商业化 BPM 处理器使用铰链开关补偿通道一致性,自研 BPM 处理器采用导频机制消除通道增益不一致的影

响。为提高研发的自主性和器件采购的灵活性,设计中采用国产化芯片。

## 1 BPM 处理器的总体架构和硬件设计

HALF 是周长为 480 m、能量为 2.2 GeV 的第 4 代衍射极限储存环,具有超低的发射度和极小的束团尺寸,其主要设计参数列于表 1。为满足超低发射度和超高亮度要求,束流轨道抖动不能超过束流尺寸的 10%,即水平方向不超过 500 nm、垂直方向不超过 200 nm,这就需要具有百纳米分辨率 BPM 系统实时监测轨道变化。目前 HALF 尚在预研阶段,为使研制的样机能在 HLS II 上进行束流实验验证,BPM 处理器的参数基于 HLS II 的参数设计。根据软件无线电技术<sup>[6]</sup>,在此设计上稍作修改即可适用于 HALF 储存环。HLS II 的高频频率为

204 MHz、回旋频率为 4.533 MHz,通过电缆输入 BPM 处理器的 BPM 感应信号是重复频率为 204 MHz 的窄脉冲信号<sup>[7]</sup>。为减小高频腔的干扰,设计中选择二次谐波(408 MHz)作为处理信号。

表 1 HALF 和 HLS II 储存环的主要参数

Table 1 Parameter of storage ring of HALF and HLS II

参数	数值	
	HALF	HLS II
周长, m	480	66
能量, GeV	2.2	0.8
高频频率, MHz	500	204
谐波数	800	45
电流, mA	>100	360
自然发射度, $\text{pm} \cdot \text{rad}$	85.1	<40 000
水平束流尺寸, $\mu\text{m}$	>5	>400
垂直束流尺寸, $\mu\text{m}$	>2	>83

BPM 处理器总体设计如图 1 所示,主要包括导频模块、模拟前端模块、数字处理模块和嵌入式工控模块。导频模块置于 BPM 电极附近,4 路 BPM 电极感应信号首先输入导频模块,分别与导频信号组合后经过同轴电缆传输到模拟前端模块。导频信号与 4 路输入信号经过相同的电缆和模拟通道,可消除因温度变化等因素导致的通道增益的不一致,进而维持 BPM 处理器的长时间稳定性。模拟前端模块包括 4 个相同的信号调理通道,完成输入信号的幅度调整与滤波功能,提高 BPM 处理器的动态范围。数字处理模块集成了 ADC、FPGA、DDR3 等,ADC 完成信号带通采样,FPGA 实现数字信号处理算法与数据传输逻辑,DDR3 用于数据存储。嵌入式工控模块集成了龙芯 2K1000、千兆以太网(GbE)、DDR3 等,通过 GbE 与数字处理模块通信,接收束流位置信息,并与加速器控制系统通信,提高系统的可拓展性。

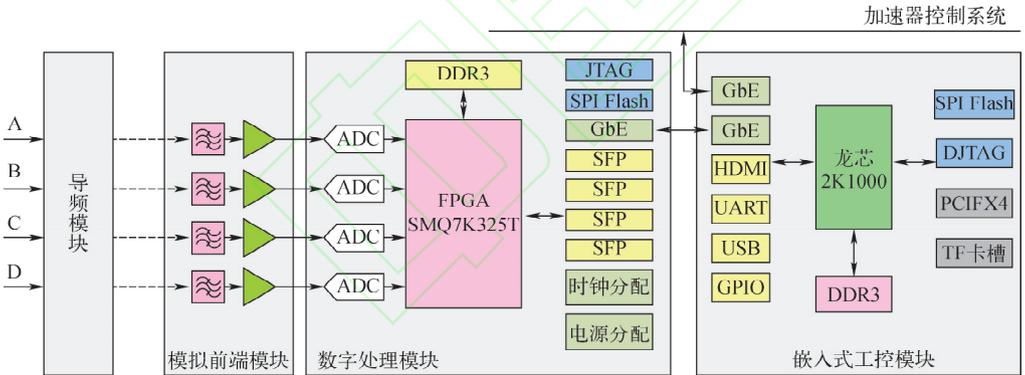


图 1 BPM 处理器总体设计

Fig. 1 Overall design of BPM processor

## 1.1 导频模块

导频模块在补偿通道不一致性、模块自检等方面有多种应用。参考 Elettra 的导频前端<sup>[8]</sup>,本研究导频模块的电路设计如图 2 所示。为有效补偿通道的不一致性,导频补偿信号由高稳低噪恒温晶振经过锁相环产生,幅度可调,频率为 410.975 MHz,在待测束流主频(408 MHz)的 TBT 数据带宽(4.533 MHz)之外,后续处理中可被滤除。BPM 电极感应信号首先进入一中心频率 408 MHz、带宽 10 MHz 的 LC 带通滤波器。该滤波器具有插入损耗低、远端带外抑制比良好、通带平坦、温漂系数小、承受功率

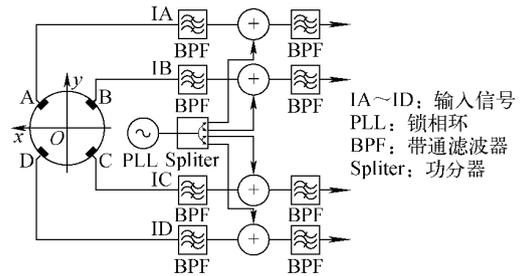


图 2 导频模块示意图

Fig. 2 Diagram of pilot-tone module

大等优点,用于滤除噪声信号成分。滤波后的输入信号与导频信号组合,经过中心频率为

408 MHz 的带通滤波器后,通过同轴电缆传输到远端的模拟前端模块。

## 1.2 模拟前端模块

模拟前端电路设计如图 3 所示,主要包括 4 路相同的信号调理通道,用来完成 4 路电极信号的幅度调整和滤波功能。来自导频模块的组合信号首先进入一中心频率 408 MHz、带宽 10 MHz 的 4 阶 LC 带通滤波器,用于滤除噪声信号成分。为提高 BPM 处理器的动态范围,每个信号调理通道设计了 2 级放大电路,即可选放大电路和固定放大电路。可选放大电路部分有 2 个可选分支,即放大电路分支和信号直通分支。放大支路包括 1 个增益约 32 dB 的放大器和 1 个低通滤波器,低通滤波器用于滤除由放大器引入的信号谐波。通过开关控制,大输入信号通过直通分支,而小信号通过放大分支得到约 30 dB 的增益。固定放大电路由 2 级放大器(每级增益为 22 dB)与 2 个 RFSA3715 数字步进衰减器组成。数字衰减器调节步进为 0.25 dB,单个动态可调范围为 0~31.75 dB,分别用于调整 4 通道之间的增益一致性和通道增益倍数。另外 2 个带通滤波器是声表滤波器,其中心频率为 408 MHz、带宽为 10 MHz,用于滤除射频通道的带外噪声和非线性失真。模拟前端模块采用 FR-4 四层复合材料制成,每个通道最大增益约为 63 dB、动态可调范围为 0~63 dB、分辨率为 0.25 dB。

## 1.3 数字处理模块

数字处理模块主要完成模拟信号的 ADC 采样、数据处理和数据传输。设计中的芯片全部选择国产芯片,主要芯片(型号)信息如下:FPGA

(SMQ7K325T-FFG900)、DDR3 (SM41J256M16M),深圳市国微电子有限公司;ADC(YA16D125),苏州云芯微电子科技有限公司;232 收发器(AST3232AE)、开关电源(AST4644I、AST51200-DRCR),深圳市雅创芯瀚电子科技有限公司;时钟芯片(GM4526C),成都振芯科技股份有限公司;千兆以太网芯片(JEM88E1111HV),中国电子科技集团公司第三十二研究所。

ADC 选用苏州云芯微电子科技有限公司的 YA16D125,是双通道、16 位、125MSPS 模数转换器,适合高频率、高动态范围的信号采样。ADC 采样信号由 FPGA 内集成的数字信号处理算法进一步处理获得数据速率分别为 4.533 MHz、10 kHz 和 10 Hz 的 TBT 数据、FA 数据和 SA 数据。FPGA 是数字处理模块最核心的元件,选用深圳市国微电子有限公司 SMQ7K325T-FFG900,内部可编程资源非常丰富,包括 840 个 DSP、326 080 个逻辑单元、445 个 BRAM 等,适合 BPM 处理器的高性能、大数量逻辑运算要求。此外,数字处理模块还集成了 SM41J256M16M 型 4Gb DDR3、AST25QU256MX 型 256Mb SPI Flash 等用于数据及代码存储;集成了 SFP 光口快速传输 FA 数据,可拓展应用到快轨道反馈系统;集成的千兆网口支持与嵌入式工控模块通信,可批量读取 ADC 原始数据和 TBT 数据用于物理分析,也可实时传输 SA 数据和控制信号等。

## 1.4 嵌入式工控模块

嵌入式工控模块通过千兆以太网(GbE)与数字处理模块通信,将得到的束流位置信息发送到加速器控制系统。其核心元件是基于 MIPS 架构的龙芯 2K1000 芯片,板载 SPI Flash 用于存

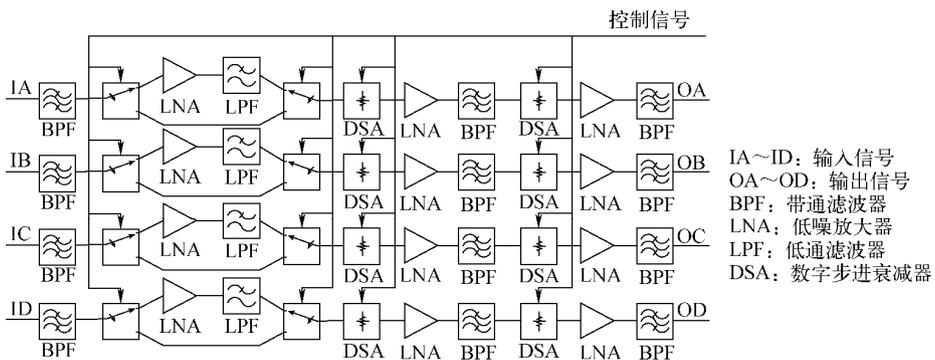


图 3 模拟前端模块示意图

Fig. 3 Diagram of analog front-end module

储代码,DDR3 用于存储代码和数据,2 个千兆网口分别与数字处理模块和加速器控制系统通信。EPICS 广泛应用于加速器控制系统,由于原生 EPICS 仅支持 VxWorks、x86、ARM 等架构,为适应 MIPS 架构,修改了 EPICS base 包的配置文件。并基于 EPICS 架构开发了 IOC 程序,与数字处理模块进行数据交互,提高了系统的可拓展性。

## 2 数字信号处理算法设计

位置测量的数字信号处理算法都集成在 FPGA 上。BPM 电极信号经过模拟前端处理后,得到的是 408 MHz 输入信号与 410.975 MHz 导频信号叠加的 4 路组合信号。为获得束流位置信息,4 路组合信号在数字模块的处理流程如

图 4 所示。输入信号经过 ADC 数字化后,在 FPGA 内经过数字下变频模块、滤波抽取模块、CORDIC(坐标旋转数字计算)模块、补偿模块、差分和算法等处理后得到 TBT 数据、FA 数据和 SA 数据。

### 1) ADC 采样

输入到 ADC 的信号是经过模拟前端调理后的射频带通信号,其中心频率为 408 MHz、带宽为 10 MHz,包含 410.975 MHz 的导频信号分量。本文采用带通采样处理射频带通信号,考虑到采样时钟需要是回旋频率的整数倍,采样频率  $f_s$  设计为 108.8 MHz。每路采样后,得到的是 27.2 MHz 与 24.225 MHz 组合的数字中频信号,带通采样的频谱折叠示意图如图 5 所示。

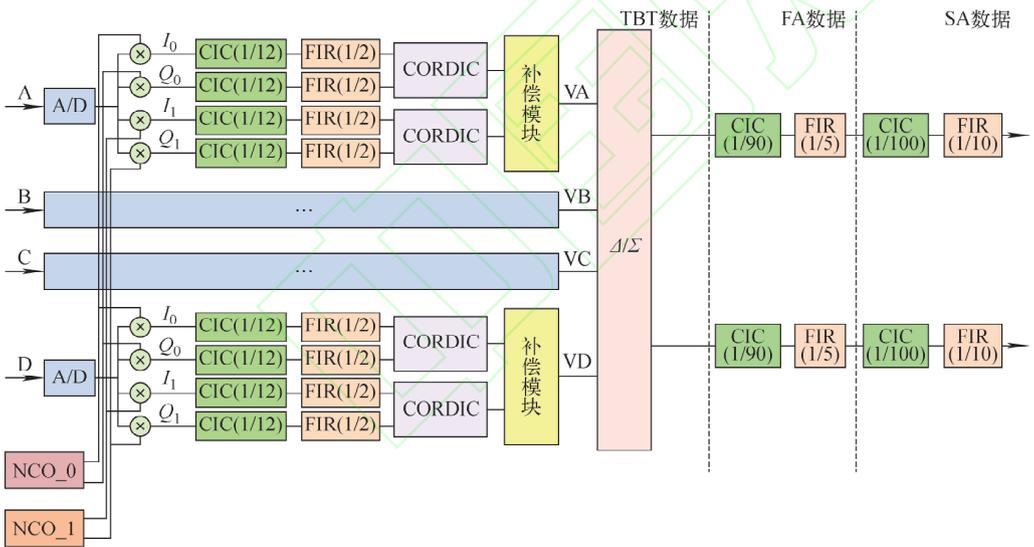


图 4 数字信号处理流程

Fig. 4 Diagram of digital signal processing

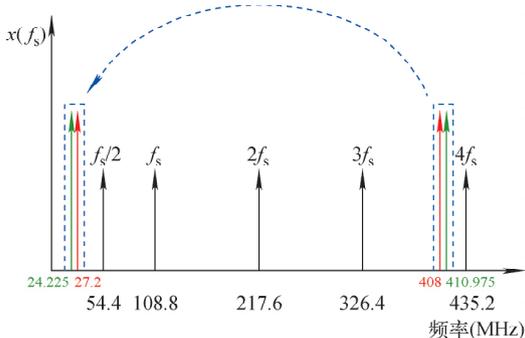


图 5 带通采样的频谱折叠示意图

Fig. 5 Spectrum aliasing diagram of bandpass sampling

### 2) 数字下变频

通过数控振荡器(NCO)产生 1 对正交信号,与中频信号混频,将信号的中心频率移动到基带,得到 2 路正交信号  $I、Q$ <sup>[9-10]</sup>。ADC 采样得到的数字中频信号的频率分量主要是 27.2 MHz 和 24.225 MHz,因此,本设计中需要 2 个 NCO,分别产生 27.2 MHz 和 24.225 MHz 两对正交信号。假设束流信号采样后 27.2 MHz 中频信号为  $A_0 \cos(\omega_0 t - \varphi_0)$ ,导频信号采样后 24.225 MHz 中频信号为  $A_1 \cos(\omega_1 t - \varphi_1)$ ,其中  $A_0、A_1$  是信号幅度, $-\varphi_0、-\varphi_1$  是初始相位, $\omega_0 = 27.2 \text{ MHz}$ 、

$\omega_1 = 24.225 \text{ MHz}$ , 则 ADC 原始数据可表示为  $A_0 \cos(\omega_0 t - \varphi_0) + A_1 \cos(\omega_1 t - \varphi_1)$ , 与 NCO\_0 产生的两路正交信号  $\cos(\omega_0 t)$ 、 $\sin(\omega_0 t)$  混频如下:

$$\begin{aligned} & (A_0 \cos(\omega_0 t - \varphi_0) + A_1 \cos(\omega_1 t - \varphi_1)) \cdot \\ \cos(\omega_0 t) &= \frac{A_0}{2} \cos \varphi_0 + \frac{A_1}{2} \cos((\omega_1 - \omega_0) \cdot \\ & t - \varphi_0) + \frac{A_1}{2} \cos((\omega_1 + \omega_0)t - \varphi_0) + \\ & \frac{A_0}{2} \cos(2\omega_0 t - \varphi_0) \end{aligned} \quad (1)$$

$$\begin{aligned} & (A_0 \cos(\omega_0 t - \varphi_0) + A_1 \cos(\omega_1 t - \varphi_1)) \cdot \\ \sin(\omega_0 t) &= \frac{A_0}{2} \sin \varphi_0 - \frac{A_1}{2} \sin((\omega_1 - \omega_0) \cdot \\ & t - \varphi_0) + \frac{A_1}{2} \sin((\omega_1 + \omega_0)t - \varphi_0) + \\ & \frac{A_0}{2} \sin(2\omega_0 t - \varphi_0) \end{aligned} \quad (2)$$

角频率为  $\omega_1 - \omega_0$ 、 $\omega_1 + \omega_0$  和  $2\omega_0$  的谐波成分, 在后续的滤波器中被滤除, 因而可获得束流信号的基带正交序列  $I_0 = \frac{A_0}{2} \cos \varphi_0$ 、 $Q_0 = \frac{A_0}{2} \sin \varphi_0$ 。同理, ADC 原始数据与 NCO\_1 产生的两路信号  $\cos(\omega_1 t)$ 、 $\sin(\omega_1 t)$  混频, 可得到导频信号的基带正交序列  $I_1 = \frac{A_1}{2} \cos \varphi_1$ 、 $Q_1 = \frac{A_1}{2} \sin \varphi_1$ 。

### 3) 滤波抽取

为提取数据中的有效频率成分并降低数据速率, 滤波抽取是 BPM 处理器数字信号处理不可或缺的一部分。由于采样频率是  $108.8 \text{ MHz}$ , 每个回旋周期有 24 点数据, 为满足 TBT 数据的数据速率要求, 数字下变频得到的零中频信号需要抽取 24 倍。为避免抽取过程中信号高频成分发生混叠, 在抽取前需要预滤波<sup>[11]</sup>。积分梳状(CIC)滤波器和有限长单位冲激响应(FIR)滤波器是最常用的抽取滤波器<sup>[12]</sup>。CIC 滤波器实现简单, 加法器就足够, 适合高速率大规模抽取场景, 常用作第 1 级抽取滤波器<sup>[13]</sup>。因此, 第 1 级采用 CIC 滤波器抽取 12 倍, 第 2 级选用 FIR 滤

波器抽取 2 倍。设计中 CIC 抽取滤波器采用 3 级 Hogenauer 结构, 如图 6 所示。

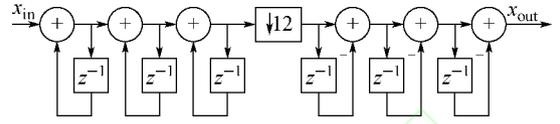


图 6 3 级 Hogenauer CIC 抽取滤波器结构示意图

Fig. 6 Schematic diagram of three-stage Hogenauer CIC decimation filter

### 4) CORDIC 模块

滤波抽取模块不仅降低了零中频正交信号的数据速率, 也滤除了数字下变频引入的其他谐波成分, 得到的是 2 对  $I$ 、 $Q$  正交信号。依据 CORDIC 在圆周坐标系的向量模式, 这 2 对正交信号可分别计算输入信号和导频信号的幅度, 至此 BPM 输入信号和导频信号又从组合信号中分离出来。CORDIC 算法通过基本的加和移位运算代替三角函数、乘法、开方、指数等复杂运算, 降低了硬件实现难度, 适合应用于 FPGA<sup>[14]</sup>。CORDIC 幅度计算流程图示于图 7。由于 CORDIC 算法适用于  $-99^\circ \sim 99^\circ$  之间矢量 ( $I$ 、 $Q$ ) 的幅度计算<sup>[15]</sup>, 象限调整模块将 ( $I$ 、 $Q$ ) 调整到第一、四象限, 然后是 7 级 CORDIC 迭代单元。在 FPGA 中, 7 级 CORDIC 迭代单元结合 23 位小数位长, 有效提高了幅度计算精度, 同时采用流水线结构提高了系统速度<sup>[16]</sup>。

### 5) 基于导频补偿的差比和算法

差比和算法常用于束流位置计算, 如式 (3)<sup>[17-18]</sup> 所示。

$$\begin{aligned} X &= K_x \frac{(V_A + V_D) - (V_B + V_C)}{V_A + V_B + V_C + V_D} + X_{\text{off}} \\ Y &= K_y \frac{(V_A + V_B) - (V_C + V_D)}{V_A + V_B + V_C + V_D} + Y_{\text{off}} \end{aligned} \quad (3)$$

其中:  $x$ 、 $y$  为位置坐标;  $K_x$ 、 $K_y$  为位置系数;  $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$  为 4 路 BPM 电极感应信号的

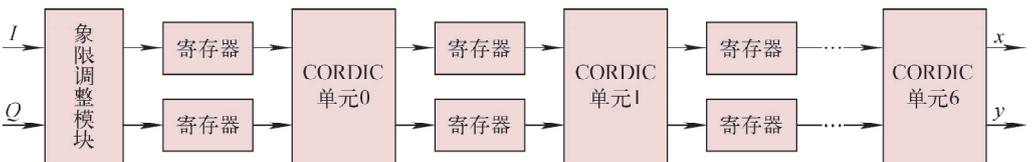


图 7 CORDIC 幅度计算流程图

Fig. 7 Flow of CORDIC amplitude calculation

幅度;  $X_{off}$ 、 $Y_{off}$  为位置偏移。设计中,引入导频信号,并使之与输入信号经过同一模拟通道。假设输入信号幅度分别为  $V_A$ 、 $V_B$ 、 $V_C$ 、 $V_D$ ,导频信号幅度为  $V_P$ ,4 路模拟通道的传递函数分别为  $H_1$ 、 $H_2$ 、 $H_3$ 、 $H_4$ ,模拟通道输出的信号幅度分别为  $V_{AO}$ 、 $V_{BO}$ 、 $V_{CO}$ 、 $V_{DO}$ ,4 个模拟通道输出的导频信号幅度为  $V_{AP}$ 、 $V_{BP}$ 、 $V_{CP}$ 、 $V_{DP}$ ,则有:

$$\begin{aligned} V_{AO} &= V_A H_1, V_{BO} = V_B H_2, \\ V_{CO} &= V_C H_3, V_{DO} = V_D H_4 \end{aligned} \quad (4)$$

$$H_1 = \frac{V_{AP}}{V_P}, H_2 = \frac{V_{BP}}{V_P}, H_3 = \frac{V_{CP}}{V_P}, H_4 = \frac{V_{DP}}{V_P} \quad (5)$$

$$\begin{aligned} X &= K_x \frac{(V_A + V_D) - (V_B + V_C)}{V_A + V_B + V_C + V_D} + X_{off} = \\ &K_x \frac{\left(\frac{V_{AO}}{V_{AP}} + \frac{V_{DO}}{V_{DP}}\right) - \left(\frac{V_{BO}}{V_{BP}} + \frac{V_{CO}}{V_{CP}}\right)}{\frac{V_{AO}}{V_{AP}} + \frac{V_{BO}}{V_{BP}} + \frac{V_{CO}}{V_{CP}} + \frac{V_{DO}}{V_{DP}}} + X_{off} \\ Y &= K_y \frac{(V_A + V_B) - (V_C + V_D)}{V_A + V_B + V_C + V_D} + Y_{off} = \\ &K_y \frac{\left(\frac{V_{AO}}{V_{AP}} + \frac{V_{BO}}{V_{BP}}\right) - \left(\frac{V_{CO}}{V_{CP}} + \frac{V_{DO}}{V_{DP}}\right)}{\frac{V_{AO}}{V_{AP}} + \frac{V_{BO}}{V_{BP}} + \frac{V_{CO}}{V_{CP}} + \frac{V_{DO}}{V_{DP}}} + Y_{off} \end{aligned} \quad (6)$$

由式(6)可见,导频补偿后的差比和算法可

消除通道增益不一致给位置计算带来的影响。

### 6) TBT、FA、SA 数据

基于前文 CORDIC 模块得到的射频信号幅度和导频信号幅度,采用导频补偿后的差比和算法,可计算 TBT 数据。TBT 数据的数据速率为 4 533 MHz,如图 4 所示,10 kHz 的 FA 数据由 TBT 数据抽取 450 倍获得,第 1 级选用 CIC 滤波器抽取 90 倍,第 2 级采用 FIR 滤波器抽取 5 倍;10 Hz 的 SA 数据由 FA 数据进一步抽取 1 000 倍得到,第 1 级选择 CIC 滤波器抽取 100 倍,第 2 级采用 FIR 滤波器抽取 10 倍。

为测试导频的补偿功能,设计了 1 个数字信号处理幅度测试本。其信号处理流程如图 8 所示,对于其中 1 个通道,前期处理与 BPM 处理器的数字信号处理算法相同,有数字下变频模块、滤波抽取模块、CORDIC 模块。对 CORDIC 模块得到的 RF 信号幅度和导频信号幅度分别进一步抽取 450 000 倍,得到数据速率为 10 Hz 的信号幅度,再计算该通道信号幅度补偿结果。此测试本直接以较低的数据速率(10 Hz)输出 RF 信号幅度、导频信号幅度和幅度补偿结果,方便数据存储以及分析导频补偿信号对长时间温漂的抑制效果。

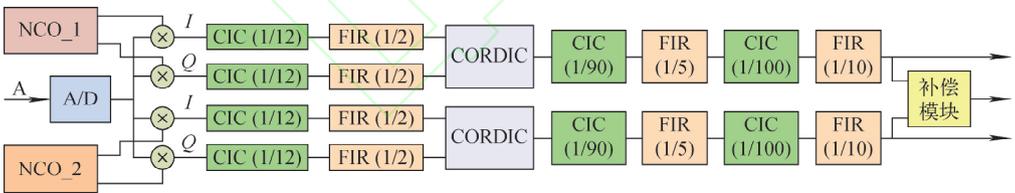


图 8 测试导频补偿功能的数字信号处理示意图

Fig. 8 Diagram of digital signal processing for pilot-tone test

## 3 测试

BPM 处理器测试包括离线测试与束流测试。离线测试包括模拟前端的性能测试、导频功能测试,以及 BPM 处理器分辨率测试,束流测试完成基于 HLS II 储存环的在线束流位置监测。

### 3.1 离线测试

#### 1) 模拟前端测试

图 9 为用网络分析仪 KeysightE5071C 测试的模拟前端通道 A 的 S21 参数,调节输入信号频率从 378 MHz 到 438 MHz,输出信号幅度归一化分析后可直观看到模拟前端电路的中

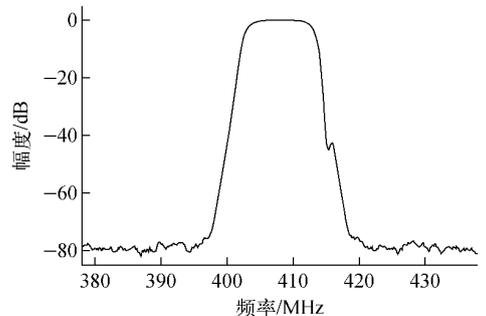


图 9 模拟前端通道 A 的幅频响应

Fig. 9 Amplitude-frequency response of channel A in RF front end

心频率是 408 MHz、带宽为 10 MHz、带外噪声抑制好于 75 dB。模拟前端的通道间隔度对导频补偿机制很重要,依次给其中 1 个通道输入频率 408 MHz、功率 -2 dBm 的信号而其他通道连接 50  $\Omega$  的匹配电阻,通过测量每个通道的输出结果来计算通道间隔度。测试结果列于表 2,通道间隔度好于 76 dB。

## 2) 导频功能测试

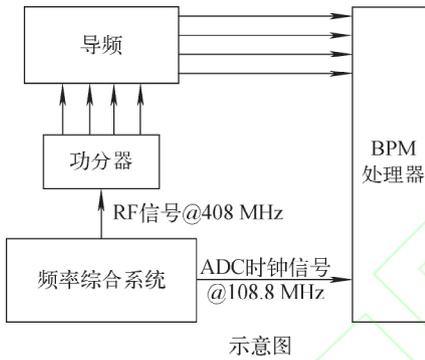
在实验室搭建了离线测试系统,如图 10 所示,以测试导频的补偿功能和 BPM 处理器的分辨率。频率综合系统提供 408 MHz 的 RF

信号和 108.8 MHz 的时钟信号,功分器将 RF 信号分成 4 路后作为导频模块的输入信号。

表 2 模拟前端电路通道间隔度

Table 2 Isolation between channels in RF front end

通道	通道间隔度			
	A	B	C	D
A		76.205	80.875	81.735
B	77.544		77.934	80.654
C	81.949	77.959		78.049
D	82.743	81.923	79.443	



示意图

实物图

图 10 离线测试系统

Fig. 10 Diagram of offline test system

为方便测试导频的补偿功能,前文设计了一个数字信号处理幅度测试本。基于该测试本,可分别获得输入信号、导频补偿信号的信号幅度以及补偿后的效果。调节实验室温度为 20~26  $^{\circ}\text{C}$ ,通道 A 的测试结果如图 11 所示,输入信号幅度变化 0.013,导频信号幅度变化 0.014,补偿后幅度变化 0.001。导频信号可有

效补偿温度对射频输入信号的影响,可抑制 92.308% 温度漂移带来的影响。调节实验室温度为 20~26  $^{\circ}\text{C}$ ,基于 BPM 处理器的数字信号处理算法,分别获得带有导频补偿算法和不带导频补偿算法的 SA 数据,结果如图 12 所示。带有导频补偿算法的  $x$ 、 $y$  方向 SA 数据位置分辨率分别为 65.268、58.075 nm,不带导频补偿算法的 SA 数据位置分辨率分别为 161.800、170.370 nm,导频补偿机制抑制了温漂对位置计算的影响,提高了 BPM 处理器的长期稳定性。

## 3) 分辨率测试

测试系统如图 10 所示,调节输入射频信号幅度从 -55 dBm 到 5 dBm,分别记录并分析 4.533 MHz TBT 数据(20 s)、10 kHz FA 数据(10 min)和 10 Hz SA 数据(8 h)。测试结果示于图 13。由图 13 可见,BPM 处理器位置系数  $K_x$ 、 $K_y$  取 8 mm 时,TBT 数据分辨率好于 400 nm,FA 数据分辨率好于 120 nm,SA 数据分辨率好于 70 nm,满足设计要求。

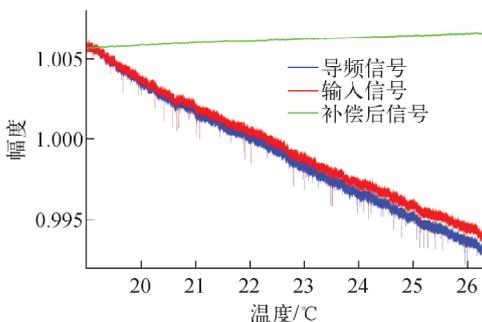


图 11 A 通道信号幅度随温度的变化

Fig. 11 Signal amplitude variation with temperature of channel A

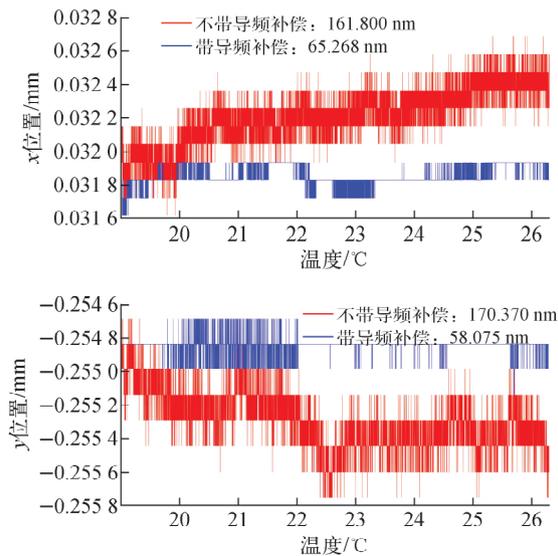


图 12 SA 数据随温度的变化

Fig. 12 SA data variation with temperature

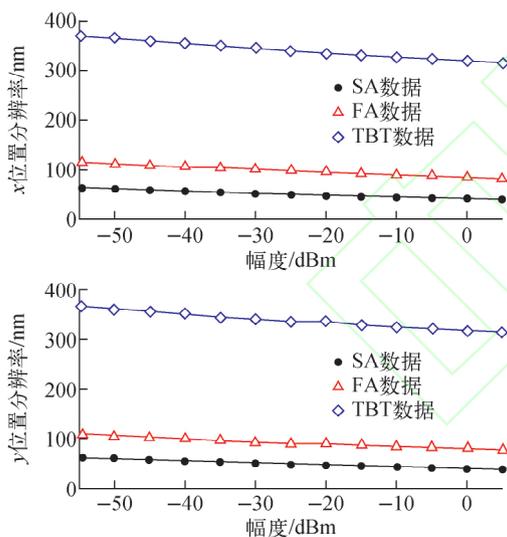


图 13 TBT、FA 和 SA 数据的位置分辨率

Fig. 13 Position resolutions of TBT data, FA data and SA data

### 3.2 束流测试

为验证 BPM 处理器在线监测储存环束流轨道的功能,基于 HLS II 储存环进行了束流实验。HLS II 运行在 top-off 模式,流强为 400 mA, BPM 位置系数  $K_x$ 、 $K_y$  分别为 20.088、16.381 mm<sup>[19]</sup>。将 HLS II 的备份 BPM 信号连接到自研 BPM 处理器,记录 8 h 的 SA 数据,并将测试结果与附近 IVU: BPM1 使用 IT 公司 libera brilliance + BPM 处理器的测量结

果进行对比。两者的测量结果及其分布直方图如图 14、15 所示。可见,自研 BPM 处理器测得的束流轨道在  $x$ 、 $y$  方向的抖动 RMS 分别为 743.290、418.910 nm; libera brilliance + BPM 处理器测得的束流轨道的抖动 RMS 分别为 784.810、660.690 nm。

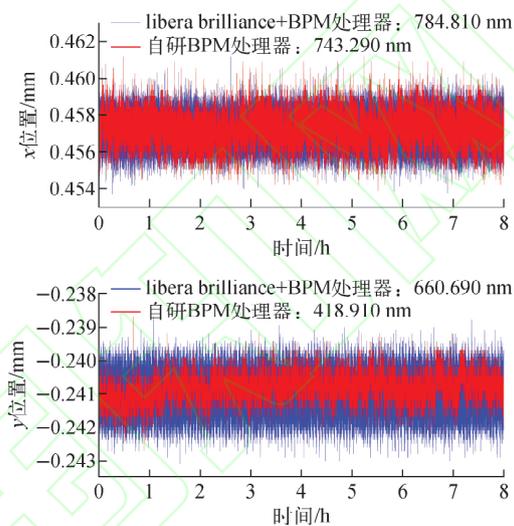


图 14 开启慢轨道反馈系统的 SA 数据测试结果

Fig. 14 Test result of SA data

with slow orbit feedback system on

机器研究期间,关闭 HLS II 储存环的慢轨道反馈系统,自研 BPM 处理器与 libera brilliance + BPM 处理器测量结果如图 16 所示。libera brilliance + 是 IVU: BPM1 的测量结果,自研 BPM 处理器是附近备用 BPM 的测量结果,可见两者束流的变化趋势与变化范围一致,进一步验证了自研 BPM 处理器在真实束流测试中可有效监测束流轨道变化。

## 4 结论

本文基于 HALF 的技术需求,自主设计研制了基于国产化芯片的带有导频补偿机制的 BPM 处理器,并完成了离线测试与束流测试。分辨率测试结果表明,输入信号在 -55 ~ 5 dBm 之间时, BPM 处理器的 FA 数据和 SA 数据的分辨率分别好于 120 nm 和 70 nm,满足 HALF 要求;离线测试结果表明,导频信号可有效补偿模拟通道之间的不一致性,提高 BPM 处理器的长期稳定性;基于 HLS II 的束流实

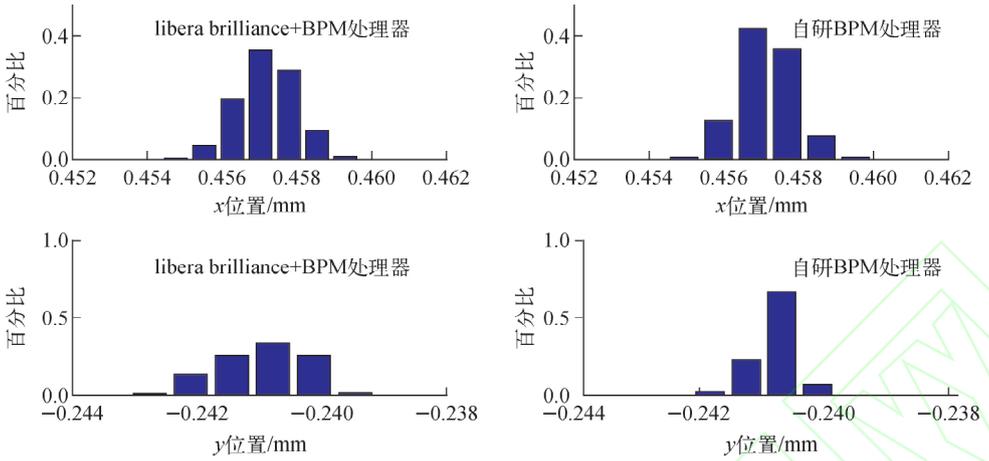


图 15 开启慢轨道反馈系统的 SA 数据分布直方图

Fig. 15 Distribution histogram of SA data with slow orbit feedback system on

验结果,验证了自研 BPM 处理器满足储存环束流位置监测的日常运行需求。自研 BPM 处理器基于国产化芯片开发,其经验为未来更多电子学系统国产化提供了思路和技术积累。此外,导频模块需置于 BPM 附近,因而下一步需继续优化提高导频模块的抗电磁干扰与抗辐射能力。

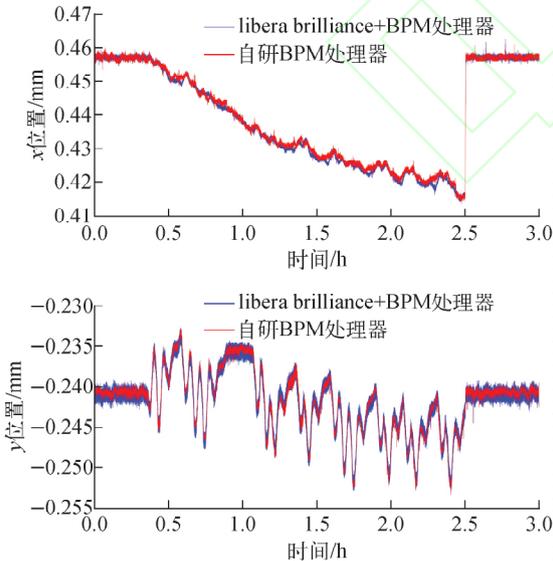


图 16 关闭慢轨道反馈系统的 SA 数据测试结果

Fig. 16 Test results of SA data

with slow orbit feedback system off

## 参考文献:

[1] 随艳峰,杜垚垚,叶强,等. 基于 BEPC II 数字束流位置测量系统电子学系统的设计与实现[J].

原子能科学技术,2020,54(1):172-178.

SUI Yanfeng, DU Yaoyao, YE Qiang, et al. Design and implementation of digital beam position measurement electronics system based on BEPC II [J]. Atomic Energy Science and Technology, 2020, 54(1): 172-178(in Chinese).

[2] LAI Longwei, LENG Yongbin, YAN Yingbing, et al. The development and applications of digital BPM signal processor on SSRF[C]//7th International Beam Instrumentation Conference. Shanghai: [s. n.], 2018: 147-149.

[3] 赖龙伟,冷用斌,阎映炳,等. 数字 BPM 信号处理器的研制进展[J]. 原子能科学技术,2015,49(增刊):607-610.

LAI Longwei, LENG Yongbin, YAN Yingbing, et al. Progress of digital BPM signal processor [J]. Atomic Energy Science and Technology, 2015, 49(Suppl.): 607-610(in Chinese).

[4] 赖龙伟,冷用斌,阎映炳,等. 自由电子激光装置数字化束流位置信号处理器研制及应用[J]. 核技术,2018,41(7):43-49.

LAI Longwei, LENG Yongbin, YAN Yingbing, et al. Development and application of digital beam position measurement processor for FEL [J]. Nuclear Techniques, 2018, 41(7): 43-49(in Chinese).

[5] WANG Lin, BAI Zhenghe, HU Nan, et al. Hefei advanced light source: A future soft X-ray diffraction-limited storage ring at NSRL[C]//9th International Particle Accelerator Conference (IPAC2018). Vancouver, Canada: [s. n.],

- 2018; 4 598-4 600.
- [6] 楼才义,徐建良,杨小牛. 软件无线电原理与应用[M]. 北京:电子工业出版社,2014.
- [7] ZHENG J, YANG Y, LIU X, et al. Applications of the tune measurement system of the HLS-II storage ring[C]//7th International Particle Accelerator Conference (IPAC2016). Busan, Korea; [s. n.], 2016; 2 892-2 894.
- [8] CARGNELUTTI M, LEBAN P, BASSANESE S, et al. Stability tests with pilot-tone based Elettra BPM RF front end and Libera electronics [C] // 7th International Beam Instrumentation Conference. Shanghai; [s. n.], 2018; 289-292.
- [9] 严家明,李瑾,胡楚锋. 基于正交混频的数字下变频技术研究[J]. 计算机测量与控制,2009,17(1):200-202.
- YAN Jiaming, LI Jin, HU Chufeng. Research on digital downconversion technology based on orthogonal mixing[J]. Computer Measurement and Control, 2009, 17(1): 200-202(in Chinese).
- [10] DU Y, YE X, LI Y, et al. Digital down-conversion design and implementation based on FPGA [C]//2016 8th IEEE International Conference on Communication Software and Networks (ICCSN). Beijing; [s. n.], 2016; 293-297.
- [11] 周云,冯全源. 数字下变频中抽取滤波器的设计及FPGA实现[J]. 电子技术应用,2015,41(12): 45-47,50.
- ZHOU Yun, FENG Quanyuan. Design and FPGA implementation of decimation filter in digital down conversion[J]. Application of Electronic Technology, 2015, 41(12): 45-47, 50(in Chinese).
- [12] SINHA D, KUMAR S. FIR filter compensator for CIC filter suitable for software defined radio [C]//2016 World Conference on Futuristic Trends in Research and Innovation for Social Welfare (Startup Conclave). Coimbatore, India; [s. n.], 2016; 1-7.
- [13] KWENTUS A Y, JIANG Zhongnong, WILLSON A N, et al. Application of filter sharpening to cascaded integrator-comb decimation filters [J]. IEEE Transactions on Signal Processing, 1997, 45(2): 457-467.
- [14] 孙悦,王传伟,康龙飞,等. 基于CORDIC的精确快速幅相解算方法[J]. 电子学报,2018,46(12): 2 978-2 984.
- SUN Yue, WANG Chuanwei, KANG Longfei, et al. High precision and speed amplitude and phase solving algorithm based on CORDIC[J]. Chinese Institute of Electronics, 2018, 46(12): 2 978-2 984(in Chinese).
- [15] WANG X. Design and implementation of CORDIC algorithm based on FPGA [C] // 2018 International Conference on Robots and Intelligent System. Changsha; [s. n.], 2018; 70-71.
- [16] BHAKTHAVATCHALU R, SINITH M, NAIR P, al. A comparison of pipelined parallel and iterative CORDIC design on FPGA [C] // 2010 5th International Conference on Industrial and Information Systems. Mangalore, India; [s. n.], 2010; 239-243.
- [17] YAN H, LIU S, CHEN K, et al. The design and initial testing of the beam position measurement system in SSRF based on fully digital signal processing[C]//IMEKO TC4 International Workshop on ADC Modelling, Testing and Data Converter Analysis and Design 2011, IWADC 2011 and IEEE 2011 ADC Forum. Orvieto, Italy; [s. n.], 2011; 282-287.
- [18] YAN H, ZHAO L, LIU S, et al. A beam position measurement system of fully digital signal processing at SSRF[J]. Nuclear Science and Techniques, 2012, 23(2): 75-82.
- [19] 马天骥,孙葆根,杨永良,等. 合肥光源钮扣型束流位置检测器的设计计算[J]. 原子能科学技术, 2010,44(增刊):517-521.
- MA Tianji, SUN Baogen, YANG Yongliang, et al. Design of button beam position monitor for Hefei Light Source[J]. Atomic Energy Science and Technology, 2010, 44(Suppl.): 517-521(in Chinese).